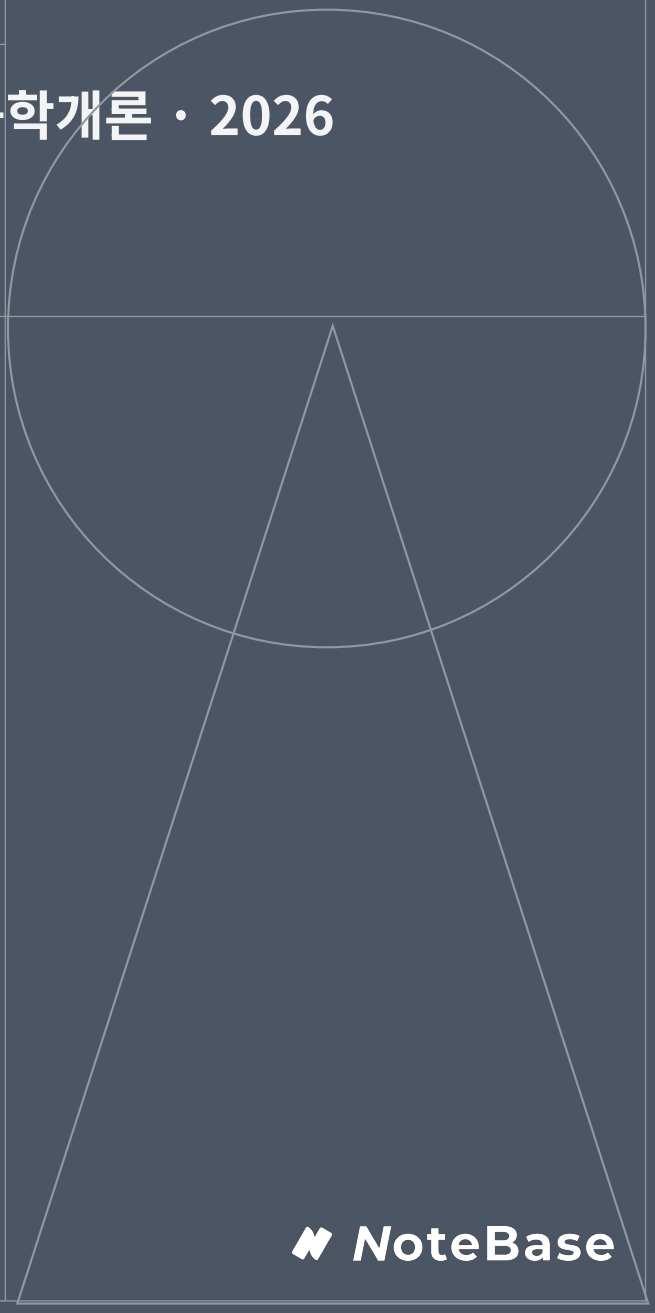
기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2026



NoteBase

기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2026

공무원/지방직/9급 · 전자공학개론 · 2026

문 1. 공통 베이스 증폭기에 대한 설명으로 옳지 않은 것은?

① 1보다 작은 전류 이득을 갖는다.

② 매우 작은 입력 저항을 갖는다.

③ 공통 컬렉터 증폭기보다 큰 출력 저항을 갖는다.

④ 입력은 컬렉터에 인가되고 출력은 이미터에서 얻는다.

정답 4번

간단한 해설

공통 베이스 증폭기는 베이스를 입출력의 공통 단자로 사용하며, **입력은 이미터에 인가하고 출력은 컬렉터에서 얻는다**. ④는 입력 단자와 출력 단자를 서로 바꾸어 설명했다.

선지별 해설

① O: 공통 베이스 증폭기의 전류 이득은 이미터 입력 전류에 대한 컬렉터 출력 전류의 비이다. 이미터 전류의 일부는 베이스 전류가 되고 나머지가 컬렉터 전류가 되므로, 전류 이득은 **1에 가깝지만 1보다 작다**.

② O: 입력을 이미터와 베이스 사이에 인가한다. 정상적인 증폭 동작에서 이미터–베이스 접합은 순방향 바이어스되어 있으므로, 작은 입력 전압 변화에도 이미터 전류가 크게 변한다. 따라서 입력에서 본 저항이 **매우 작다**.

③ O: 공통 베이스 증폭기는 컬렉터에서 출력을 얻으며, 컬렉터 전압이 변해도 컬렉터 전류의 변화는 비교적 작아 출력 저항이 크다. 반면 공통 컬렉터 증폭기는 이미터에서 출력을 얻는 이미터 팔로어로, 출력 전압의 변화가 베이스–이미터 전압을 변화시키는 음의 피드백에 의해 출력 저항이 작아진다. 따라서 공통 베이스 증폭기의 출력 저항이 **공통 컬렉터 증폭기보다 크다**.

④ X: 공통 베이스 증폭기에서 베이스는 입력 회로와 출력 회로의 공통 기준 단자이다. 입력은 이미터와 베이스 사이에 인가하고, 출력은 컬렉터와 베이스 사이에서 얻는다. 따라서 '입력은 컬렉터에 인가되고 출력은 이미터에서 얻는다'는 **'입력은 이미터에 인가되고 출력은 컬렉터에서 얻는다'**로 고쳐야 한다.

NoteBase

문 2. 논리식 $AB + ABC + \overline{A}BC + \overline{A}C$를 간략화하면?

① $AB + \overline{AC}$

② $AB + \overline{A}C$

③ $A\overline{B} + \overline{A}C$

④ $\overline{A}B + \overline{A}C$

정답 2번

간단한 해설

불 대수의 **흡수법칙**을 적용하면 ABC는 AB에, $\overline{A}BC$는 $\overline{A}C$에 흡수된다. 따라서 간략화한 식은 $AB + \overline{A}C$이다.

계산 과정

A, B, C는 0 또는 1의 값을 갖는 논리변수이다. 덧셈 기호는 OR, 곱은 AND, 윗줄은 NOT을 뜻한다. 불 대수에서는 $1 + Y = 1$이므로 $X + XY = X(1 + Y) = X$가 성립한다. 이 **흡수법칙**에 따라 다른 항에 포함되는 항을 없앤다.

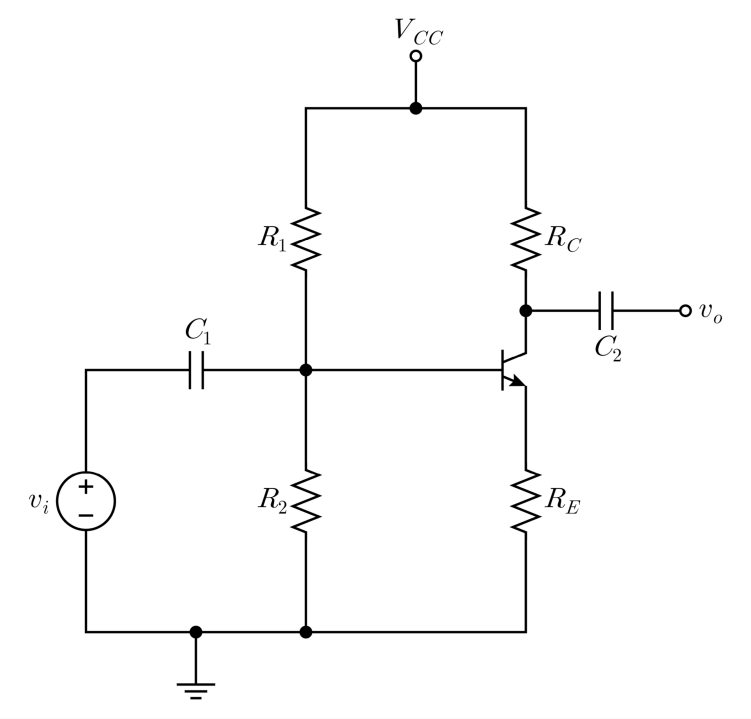
1. AB와 ABC를 묶는다. 공통인 AB를 인수로 꺼내면 $AB + ABC = AB(1 + C) = AB$이다. ABC가 1이면 AB도 반드시 1이므로, OR 연산에 ABC를 더해도 출력은 달라지지 않는다.

2. $\overline{A}BC$와 $\overline{A}C$를 묶는다. 공통인 $\overline{A}C$를 인수로 꺼내면 $\overline{A}C(B + 1)$이 된다. $B + 1 = 1$이므로 이 부분은 $\overline{A}C$로 줄어든다. 즉, $\overline{A}BC$는 $\overline{A}C$에 흡수된다.

두 부분의 결과를 합하면 $AB + \overline{A}C$이며, ②의 식과 일치한다.

NoteBase

문 3. 다음 공통 이미터 증폭기에 이미터 저항 R_E가 포함되어 나타나는 특성으로 옳지 않은 것은?



① 동작점이 안정화된다.

② 입력 저항이 작아진다.

③ 전압 이득이 감소한다.

④ 전압 이득이 안정화된다.

정답 2번

간단한 해설

이미터 저항은 전류 변화를 억제하는 **음의 되먹임**을 만들어, 같은 입력 전압 변화에 필요한 베이스 전류 변화를 줄인다. 따라서 입력 저항은 작아지는 것이 아니라 **커진다**.

NoteBase

선지별 해설

그림에서는 이미터와 접지 사이에 이미터 저항이 연결되어 있다. 이 저항은 전류가 증가하면 이미터 전압을 높여 베이스와 이미터 사이의 전압 증가를 억제하는 음의 되먹임을 만든다.

① O: 동작점은 입력 신호가 없을 때의 직류 전류와 전압 상태이다. 온도 상승 등으로 이미터 전류가 증가하면 이미터 저항의 전압 강하가 커진다. 베이스 전압이 거의 일정하면 베이스와 이미터 사이의 전압은 작아져 전류 증가를 억제하므로, **동작점의 변동이 줄어든다**.

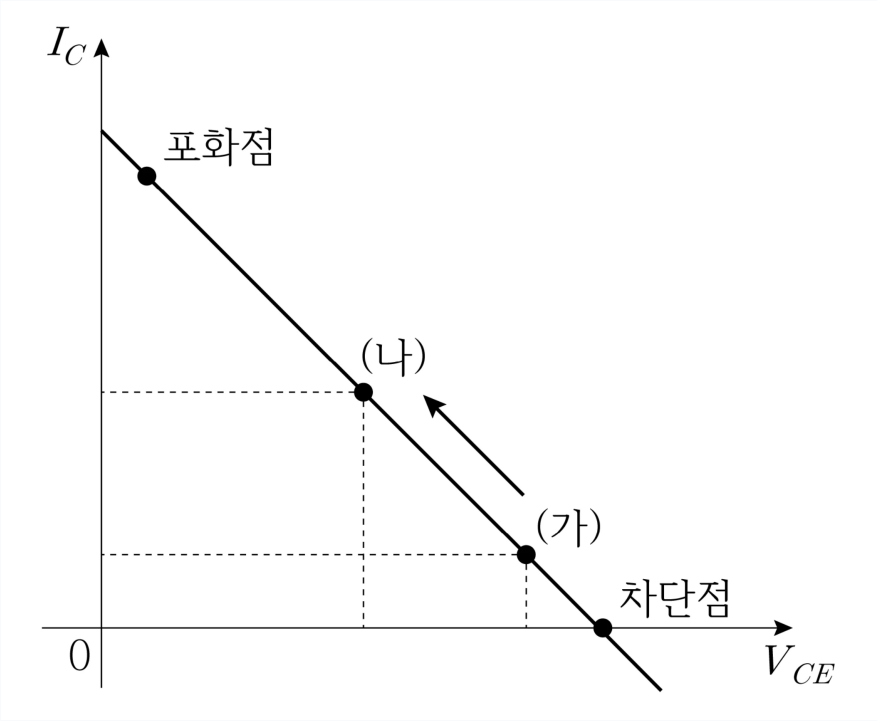
② X: 이미터 저항을 넣으면 트랜지스터의 베이스 쪽에서 본 입력 저항은 **커진다**. 입력 전압이 올라갈 때 이미터 전압도 함께 올라가므로 베이스와 이미터 사이에 걸리는 전압 변화가 줄어들고, 이에 따라 베이스 전류 변화도 작아지기 때문이다. 전체 증폭기의 입력 저항은 이 저항과 바이어스용 두 저항의 병렬 결합으로 정해지므로, 바이어스 저항이 작으면 증가 효과가 제한된다.

③ O: 그림의 이미터 저항에는 교류 신호가 저항을 우회하도록 하는 커패시터가 없으므로, 신호에 대해서도 음의 되먹임이 작용한다. 입력 전압 변화의 일부가 이미터 저항에 걸려 베이스와 이미터 사이의 전압 변화가 줄어들고, 컬렉터 전류 및 출력 전압의 변화도 작아진다. 따라서 같은 입력에 대한 **전압 이득의 크기가 감소한다**.

④ O: 트랜지스터의 특성 변화로 신호에 대한 전류 변화가 커지려 하면 이미터 저항의 전압 변화도 커져 이를 억제한다. 이 되먹임 때문에 전압 이득은 트랜지스터 자체 특성의 영향을 덜 받으며, 되먹임이 충분히 강하면 주로 컬렉터 저항과 이미터 저항의 비에 의해 정해진다. 따라서 **소자 특성 변화에 따른 전압 이득의 변동이 줄어든다**.

NoteBase

문 4. 다음 BJT 증폭회로의 직류 부하선에서 BJT의 동작점을 (가)에서 (나)로 변경할 경우 특성 변화로 옳은 것은?



① 출력 파형 왜곡: 감소, 전력 효율: 감소

② 출력 파형 왜곡: 감소, 전력 효율: 증가

③ 출력 파형 왜곡: 증가, 전력 효율: 감소

④ 출력 파형 왜곡: 증가, 전력 효율: 증가

정답 1번

간단한 해설

동작점을 차단점에 가까운 (가)에서 (나)로 옮기면 차단으로 파형이 잘리는 현상이 줄어 **출력 파형 왜곡이 감소**한다. 대신 신호가 없을 때도 흐르는 직류 전류가 커져 소비전력이 증가하므로 **전력 효율은 감소**한다.

NoteBase

구성 요소별 해설

동작점은 입력 신호가 없을 때의 컬렉터 전류와 컬렉터－이미터 전압을 나타낸다. 그림의 세로축은 컬렉터 전류, 가로축은 컬렉터－이미터 전압이다. (가)에서 (나)로 이동하면 컬렉터 전류는 증가하고 컬렉터－이미터 전압은 감소하며, 차단점에서 멀어져 부하선의 중앙 쪽으로 이동한다.

출력 파형 왜곡: 감소한다. (가)는 차단점에 가까워 입력 신호에 의해 컬렉터 전류가 감소할 때 쉽게 차단에 도달한다. 차단되면 전류가 더 감소할 수 없어 출력 파형의 일부가 잘린다. (나)에서는 **차단에 도달하기 전까지 전류가 감소할 수 있는 여유**가 커지므로, 같은 입력 신호에 대한 차단 왜곡이 줄어든다.

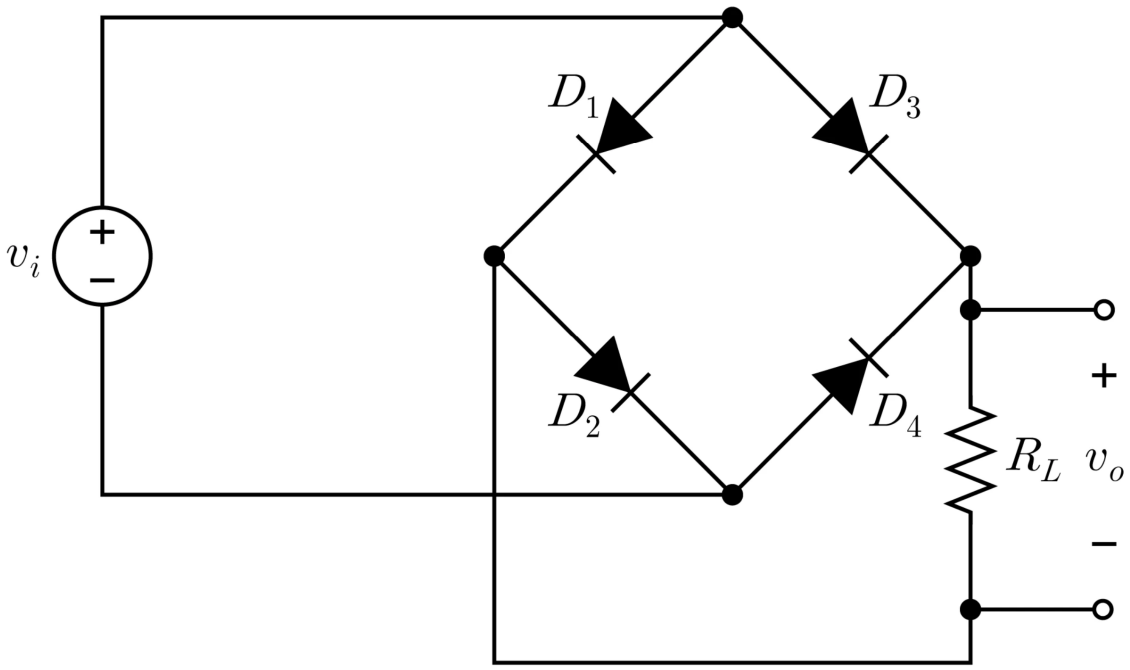
전력 효율: 감소한다. 전력 효율은 전원에서 공급받는 직류 전력 중 부하에 교류 출력으로 전달되는 전력의 비율이다. (나)에서는 무신호 컬렉터 전류가 더 크므로 **입력 신호가 없어도 소비하는 전력**이 증가한다. 바이어스 전류를 늘려 왜곡을 줄이는 대신 이러한 전력 소모가 커지므로 전력 효율이 낮아진다.

따라서 출력 파형 왜곡과 전력 효율이 모두 감소하는 조합인 ①에 해당한다.

NoteBase

문 5. 브릿지 정류회로에서 (가), (나)에 해당하는 다이오드와 주파수가 바르게 연결된 것은? (단, 다이오드는 이상적인 소자이고 입력 전압 v_i의 주파수는 60 [Hz]이다)

(가) 잘못된 방향으로 연결된 다이오드
(나) 연결이 올바를 때 출력 전압 v_o의 주파수 [Hz]



① (가): D_1, (나): 120
② (가): D_2, (나): 60
③ (가): D_3, (나): 120
④ (가): D_4, (나): 60

정답 1번

간단한 해설

브릿지 정류회로에서는 두 반주기 모두 부하 전류가 같은 방향으로 흘러야 하므로, 그림의 D_1은 **왼쪽 접점에서 위쪽 접점으로 도통하도록** 방향을 바꾸어야 한다. 올바르게 연결하면 **전파 정류**되어 입력 한 주기마다 출력 맥동이 두 번 나타나므로 출력 주파수는 120 Hz이다.

NoteBase

빈칸별 해설

(가) D_1: 이상적인 다이오드는 순방향에서 애노드에서 캐소드로 전류를 흘리며, 기호의 막대 쪽이 캐소드이다. 그림의 D_1은 막대가 왼쪽 접점 쪽에 있어 위쪽에서 왼쪽으로 도통하는 방향이다. 이를 **애노드가 왼쪽 접점, 캐소드가 위쪽 접점**이 되도록 뒤집어야 한다. 그러면 입력의 위쪽 단자가 양(+)인 반주기에는 위쪽 접점 → D_3 → 부하 저항 → D_2 → 아래쪽 접점으로 전류가 흐른다. 아래쪽 단자가 양(+)인 반주기에는 아래쪽 접점 → D_4 → 부하 저항 → D_1 → 위쪽 접점으로 전류가 흐른다. 두 경우 모두 부하 전류는 출력의 +단자에서 −단자 쪽으로 흐른다.

(나) 120 Hz: 다이오드를 올바르게 연결하면 양의 반주기와 음의 반주기를 모두 같은 극성의 출력으로 바꾸는 전파 정류가 이루어진다. 따라서 출력 파형은 **입력 반주기마다 반복**되어 주기가 입력의 절반이 되고, 주파수는 입력의 두 배가 된다. 입력 주파수를 f_i, 출력 주파수를 f_o라 하면 $f_o = 2f_i = 2 \cdot 60 = 120\text{Hz}$이다.

(가)는 D_1, (나)는 120 Hz이므로 ①의 조합과 일치한다.

NoteBase

문 6. 일반 정류 다이오드의 특성으로 옳은 것은?

① 입력 신호를 증폭하는 기능만 수행한다.

② 전하를 저장하여 전압 변화를 완만하게 한다.

③ 전류의 크기를 항상 일정하게 유지하는 소자이다.

④ 전류가 한쪽 방향으로는 잘 흐르고, 반대 방향으로는 항복전압에 이르기 전까지 거의 흐르지 않는다.

정답 4번

간단한 해설

일반 정류 다이오드는 **순방향으로 전류를 잘 흘리고 역방향으로는 거의 차단**한다. 다만 역방향 전압이 항복전압에 이르면 역방향 전류도 급격히 증가하므로, 차단 특성에는 항복전압 미만이라는 조건이 붙는다.

핵심 풀이

④ O: 순방향: 다이오드의 애노드 전위를 캐소드보다 높게 하고 충분한 순방향 전압을 가하면 전류가 잘 흐른다. 이러한 방향에 따른 전도 특성을 이용하여 교류에서 한쪽 방향의 전류를 통과시키는 것이 **정류**이다.

역방향: 애노드 전위가 캐소드보다 낮으면 항복전압에 이르기 전까지는 작은 누설전류만 흐른다. 따라서 역방향 전류는 완전히 0이라기보다 **거의 흐르지 않는다**고 표현한다. 역방향 전압이 항복전압에 이르면 전류가 급격히 증가하므로, 일반 정류 다이오드는 보통 이 영역을 피하여 사용한다.

② X: 다른 기능과의 구별: 전하를 저장하여 전압 변화를 완만하게 하는 것은 **축전기**의 역할이다.

① X: 일반 정류 다이오드의 기본 기능은 신호 증폭이나 일정한 전류 유지가 아니라 방향에 따른 전류의 통과·차단이다.

③ X: 흐르는 전류의 크기는 인가 전압과 외부 회로에 따라 달라진다.

NoteBase

문 7. 전기회로에 대한 설명으로 옳은 것은?

① 저항이 병렬로 연결된 경우, 총저항은 증가한다.

② 인덕터가 병렬로 연결된 경우, 총인덕턴스는 증가한다.

③ 커패시터가 병렬로 연결된 경우, 총커패시턴스는 증가한다.

④ 굵기가 일정한 전선의 저항은 길이와 단면적에 비례한다.

정답 3번

간단한 해설

커패시터를 병렬로 연결하면 각 커패시터에 같은 전압이 걸리고 저장 전하량이 더해진다. 따라서 합성 커패시턴스는 **각 커패시턴스의 합**이 된다.

선지별 해설

① X: 저항을 병렬로 추가하면 전류가 흐를 경로가 늘어나므로 **합성 저항은 감소한다**. 각 저항에 같은 전압이 걸리고 전체 전류는 각 가지 전류의 합이므로, 두 저항의 합성 저항은 $\frac{1}{R_{\text{eq}}} = \frac{1}{R_1} + \frac{1}{R_2}$를 만족한다. 양의 저항을 병렬로 연결한 합성 저항은 각 저항보다 작다.

② X: **상호 인덕턴스를 무시하는** 이상적인 인덕터를 병렬로 연결하면 합성 인덕턴스는 감소한다. 각 인덕터에 같은 전압이 걸리고 전체 전류가 각 가지 전류의 합이므로, 두 인덕터에서는 $\frac{1}{L_{\text{eq}}} = \frac{1}{L_1} + \frac{1}{L_2}$가 성립한다. 인덕턴스가 단순히 더해지는 것은 상호 인덕턴스를 무시한 직렬 연결이다.

③ O: 병렬 연결된 커패시터에는 같은 전압 V가 걸린다. 각 커패시터의 전하량은 $Q_1 = C_1 V$, $Q_2 = C_2 V$이고, 전체 전하량은 $Q = Q_1 + Q_2 = (C_1 + C_2)V$이다. 따라서 **같은 전압에서 저장하는 전체 전하량이 늘어나므로** 합성 커패시턴스는 $C_{\text{eq}} = C_1 + C_2$가 되어 증가한다.

④ X: 재질과 온도가 같고 단면적이 일정한 균일한 전선의 저항은 $R = \rho\frac{\ell}{A}$이다. 여기서 ρ는 비저항, ℓ은 길이, A는 단면적이다. 따라서 저항은 **길이에 비례하고 단면적에 반비례한다**. 길이가 길면 전류가 통과할 경로가 길어지고, 단면적이 넓으면 전류가 흐를 수 있는 통로가 넓어지기 때문이다.

NoteBase

문 8. 단일 패리티 검사부호에 대한 설명으로 옳지 않은 것은?

① 1비트 오류뿐만 아니라 2비트 오류도 검출할 수 있다.

② 3비트 이상의 데이터에 대해서는 비트 오류를 정정할 수 없다.

③ 패리티 비트를 추가하여 데이터 전송 과정에서 발생한 오류를 검출할 수 있다.

④ 짝수(even) 패리티 방식은 패리티 비트를 추가하여 전체 부호어(codeword)의 1의 개수가 짝수가 되도록 맞춘다.

정답 1번

간단한 해설

단일 패리티 검사부호는 **홀수 개의 비트 오류를 검출**하지만, 2비트처럼 짝수 개의 비트가 바뀌면 1의 개수의 홀짝이 유지되어 오류를 검출하지 못한다.

선지별 해설

① X: 단일 패리티 검사는 부호어 전체에서 1의 개수의 홀짝이 약속된 값과 일치하는지 확인한다. 1비트가 바뀌면 홀짝이 달라지지만, **2비트가 바뀌면 홀짝이 유지**된다. 예를 들어 짝수 패리티 부호어 0000이 1100으로 바뀌어도 1의 개수는 여전히 짝수이므로 오류를 검출하지 못한다. 따라서 '2비트 오류도 검출할 수 있다'는 '홀수 개의 비트 오류를 검출할 수 있다'로 고친다.

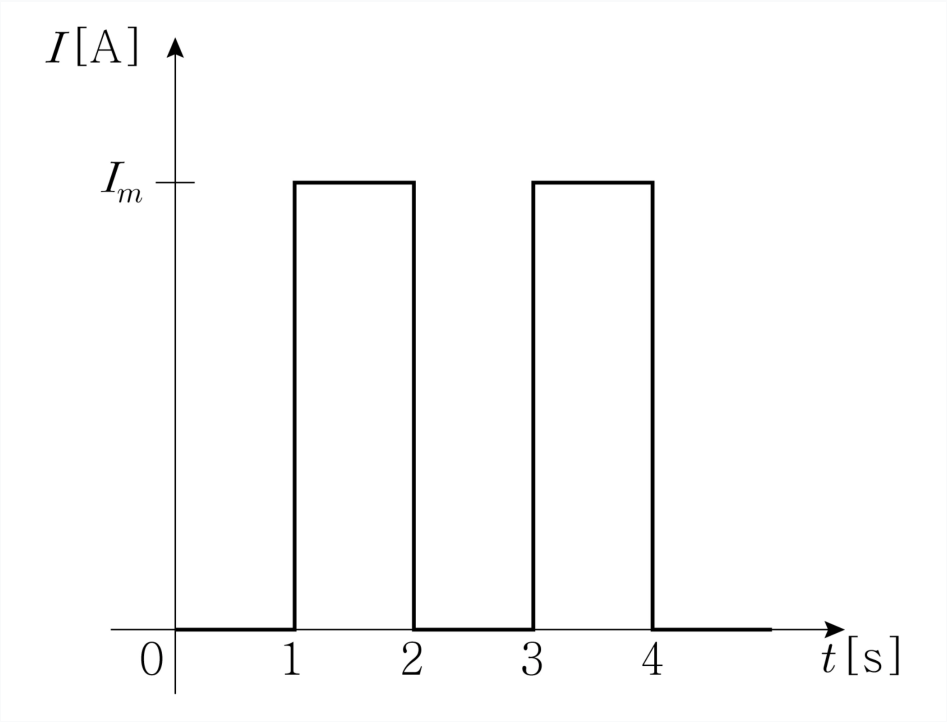
② O: 단일 패리티 검사 결과는 홀짝 조건의 충족 여부만 알려 주며, **어느 비트가 잘못되었는지는 알려 주지 않는다**. 따라서 3비트 이상의 데이터에서도 오류를 정정할 수 없다. 이는 오류가 3비트 이상일 때만 정정하지 못한다는 뜻이 아니며, 단일 패리티 검사만으로는 1비트 오류도 정정할 수 없다.

③ O: 송신 측은 데이터에 패리티 비트를 추가하고, 수신 측은 패리티 비트를 포함한 부호어의 홀짝 조건을 검사한다. 조건이 어긋나면 전송 중 오류가 발생했음을 알 수 있다. 다만 검출 가능한 것은 **홀수 개의 비트 오류**이며, 모든 오류를 검출하는 것은 아니다.

④ O: 짝수 패리티 방식은 **데이터와 패리티 비트를 합친 전체 부호어**에서 1의 개수가 짝수가 되도록 한다. 데이터의 1의 개수가 이미 짝수이면 패리티 비트를 0으로, 홀수이면 1로 정한다.

NoteBase

문 9. 다음 파형에서 전류의 평균값이 10 [A]일 때 실횻값[A]은?



① 5
② $\frac{10}{\sqrt{2}}$
③ 10
④ $10\sqrt{2}$

정답 4번

간단한 해설

파형은 한 주기의 **절반 동안만 전류가 흐르는** 직사각파이므로, 평균값이 10 A이면 최대값은 20 A이다. 실효값은 최대값을 $\sqrt{2}$로 나눈 $10\sqrt{2}$ A이다.

NoteBase

계산 과정

파형의 조건: 0~1초에는 전류가 0이고, 1~2초에는 최대값 I_m이 흐른다. 이후 같은 모양이 반복되므로 주기는 2초이고, 전류가 흐르는 시간은 한 주기당 1초이다. 따라서 **듀티비는 50%**이다.

최대값 계산: 평균값은 한 주기 동안의 전류를 시간에 따라 평균한 값이다. 전류가 흐르는 시간과 흐르지 않는 시간이 같으므로 $I_{avg} = \frac{I_m \cdot 1 + 0 \cdot 1}{2} = \frac{I_m}{2}$이다. 평균값 10 A를 대입하면 $I_m = 2 \cdot 10 = 20\text{A}$이다. 이 20 A는 전류가 흐르는 구간의 높이를 뜻한다.

실효값 계산: 실효값은 **전류를 제곱하여 한 주기 평균을 구한 뒤 제곱근을 취한 값**이다. 이 파형은 한 주기의 절반 동안 전류가 0이므로 $I_{rms} = \sqrt{\frac{I_m^2}{2}}$ 이다. 최대값 20 A를 대입하면 $I_{rms} = \frac{20}{\sqrt{2}} = 10\sqrt{2}\,\text{A}$이다.

따라서 실효값은 $10\sqrt{2}\,\text{A}$이며, ④의 값에 해당한다.

NoteBase

문 10. 하틀리 발진기에서 출력 신호 주파수를 결정하는 것은?

① PLL의 귀환경로

② 수정진동자의 크기

③ 트랜지스터의 이득

④ 귀환회로의 커패시턴스와 인덕턴스

정답 4번

간단한 해설

하틀리 발진기는 코일과 커패시터로 이루어진 **LC 공진회로**를 사용한다. 이 회로의 **인덕턴스와 커패시턴스**가 공진 주파수를 정하므로 출력 신호의 주파수도 이에 따라 결정된다.

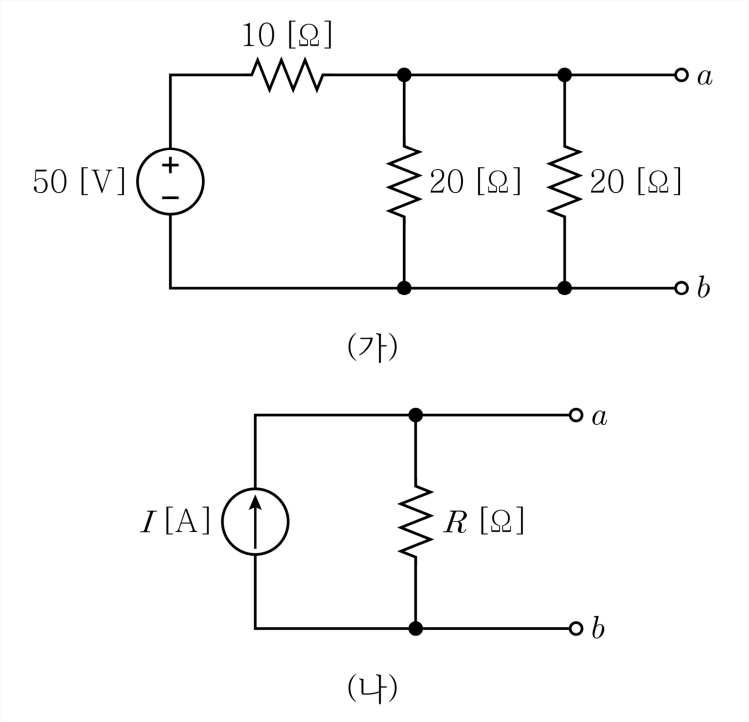
핵심 풀이

하틀리 발진기는 두 코일 또는 중간 탭이 있는 코일과 커패시터로 공진회로를 구성한다. 코일의 자기장과 커패시터의 전기장 사이에서 에너지가 주기적으로 교환되며, **LC 공진회로가 주파수를 선택**한다. 공진회로의 유효 인덕턴스를 L, 커패시턴스를 C라 하면 이상적인 공진 주파수는 $f_0 = \frac{1}{2\pi\sqrt{LC}}$이다. 따라서 L이나 C가 커지면 주파수는 낮아진다. 이 관계가 선지의 '귀환회로의 커패시턴스와 인덕턴스'에 해당한다.

트랜지스터는 공진회로의 손실을 보충하여 진동을 유지하도록 증폭한다. 따라서 트랜지스터의 이득은 **발진을 시작하고 유지하는 조건**에 관계하며, 주파수를 선택하는 LC 값과 역할이 다르다. PLL의 귀환경로나 수정진동자의 크기는 하틀리 발진기의 주파수 결정 요소에 해당하지 않는다.

NoteBase

문 11. 다음 회로 (가)와 (나)가 등가회로가 되기 위한 전류원의 크기 *I*[A]와 저항 *R*[Ω]은?



① I: 2.5, R: 5

② I: 2.5, R: 10

③ I: 5, R: 5

④ I: 5, R: 10

정답 3번

간단한 해설

노턴 등가회로의 전류원 크기는 **단자 a–b의 단락전류**이다. 단락하면 두 20 Ω 저항에는 전류가 흐르지 않아 $I = \frac{50}{10} = 5$A이고, 전압원을 단락한 뒤 단자에서 본 저항은 10 Ω·20 Ω·20 Ω의 병렬값인 5 Ω이다.

NoteBase

계산 과정

(나)는 전류원과 저항을 병렬로 연결한 노턴 등가회로이다. 두 회로가 단자 a–b에서 같은 전압·전류 관계를 가지려면, I는 (가)의 단락전류와 같고 R은 독립 전원을 제거한 뒤 단자에서 본 등가저항과 같아야 한다.

전류원 I: (가)의 a와 b를 도선으로 연결하면 **두 20 Ω 저항의 양단 전압이 0 V**가 되어 두 저항에는 전류가 흐르지 않는다. 따라서 50 V 전압원이 10 Ω 저항을 통해 공급하는 전류가 모두 단락 도선으로 흐르므로 $I = \frac{50}{10} = 5\text{A}$ 이다. 이 전류는 외부 단락 도선에서 a → b로 흐르므로, (나)의 전류원은 그림처럼 b에서 a로 전류를 공급한다.

저항 R: 등가저항을 구할 때는 **독립 이상 전압원을 0 V로 두어 단락**한다. 그러면 10 Ω 저항의 왼쪽 끝이 b와 연결되어, 10 Ω·20 Ω·20 Ω이 모두 a–b 사이에 병렬로 놓인다. 병렬저항은 각 저항의 역수를 더하므로 $\frac{1}{R} = \frac{1}{10} + \frac{1}{20} + \frac{1}{20} = \frac{1}{5}$이고, R = 5 Ω이다.

따라서 I = 5 A, R = 5 Ω이며, 이 값의 조합은 ③에 해당한다.

NoteBase

문 12. 정현파 발진회로에 대한 설명으로 옳은 것만을 모두 고르면?

ㄱ. 귀환 루프의 위상천이가 90°이어야 한다.
ㄴ. 직류 전원으로부터 교류를 발생시킨다.
ㄷ. 발진 개시 후 루프 이득은 1이 된다.

① ㄱ
② ㄴ
③ ㄱ, ㄷ
④ ㄴ, ㄷ

정답 4번

간단한 해설

정현파 발진회로는 **직류 전원의 에너지로 교류 신호를 발생**시킨다. 발진을 시작할 때는 루프 이득의 크기가 1보다 커야 하지만, 진폭이 일정하게 유지되는 **정상상태에서는 1**이 된다.

보기별 해설

ㄱ. X: 발진 주파수에서 증폭부와 귀환망을 모두 포함한 루프 전체의 위상천이는 **0° 또는 360°의 정수배**이어야 한다. 그래야 한 바퀴 돌아온 신호가 원래 신호와 같은 위상이 되어 신호를 보강한다. 따라서 '90°'를 '0° 또는 360°의 정수배'로 고쳐야 한다.

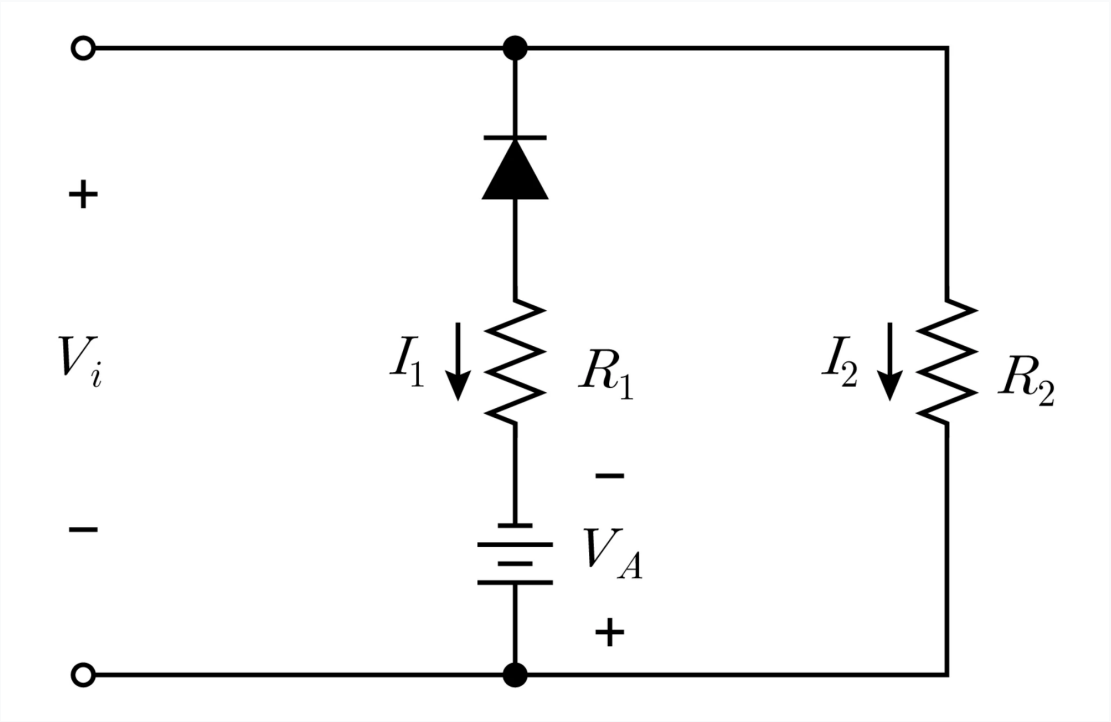
ㄴ. O: 발진회로는 **외부에서 교류 신호를 가하지 않아도** 직류 전원의 에너지를 이용하여 교류 신호를 만든다. 능동소자가 전원에서 에너지를 공급받아 회로의 손실을 보충하고, 귀환 작용으로 주기적인 정현파 출력을 유지한다.

ㄷ. O: 루프 이득은 증폭부의 이득과 귀환율의 곱이며, 그 크기는 신호가 루프를 한 바퀴 돌 때 진폭이 몇 배가 되는지를 나타낸다. 발진 초기에는 미세한 신호가 성장하도록 그 크기를 1보다 크게 한다. 이후 진폭 제한이나 이득 조절 작용으로 **정상상태의 루프 이득 크기가 1**이 되면 진폭이 일정하게 유지된다. 계속 1보다 크면 진폭이 커지고, 1보다 작으면 진폭이 줄어들므로 ㄷ은 발진이 안정된 상태의 조건을 설명한 것이다.

옳은 보기는 ㄴ, ㄷ이므로 ④의 조합에 해당한다.

NoteBase

문 13. 다음 회로에 대한 설명으로 옳은 것은? (단, 다이오드는 이상적인 소자이고 $V_A > 0$이다)



① $V_i > -V_A$이면 $I_1 = -\frac{V_i - V_A}{R_1}$
② $V_i > -V_A$이면 $I_2 = -\frac{V_i}{R_1 \parallel R_2}$
③ $V_i < -V_A$이면 $I_1 = \frac{V_i + V_A}{R_1}$
④ $V_i < -V_A$이면 $I_2 = -\frac{V_i}{R_2}$

정답 3번

간단한 해설

$V_i < -V_A$이면 다이오드가 **도통**하고, 그림의 아래 방향을 기준으로 $I_1 = \frac{V_i + V_A}{R_1}$이다. 이 값이 음수인 것은 실제 전류가 **위쪽으로 흐른다**는 뜻이다.

NoteBase

선지별 해설

아래 공통 노드의 전위를 0으로 잡으면 위 공통 노드는 V_i, 전원 V_A의 위쪽 단자는 $-V_A$이다. 다이오드는 막대가 있는 위쪽이 캐소드이고 아래쪽이 애노드이므로, 순방향 전류는 아래에서 위로 흐른다. 이상적인 다이오드는 도통하면 전압 강하가 0이고, 차단되면 전류가 흐르지 않는다. 그림의 I_1, I_2는 모두 아래 방향을 양의 기준으로 삼는다.

① X: $V_i > -V_A$에서는 다이오드가 **역바이어스되어 차단**된다. 이때 R_1에는 전류가 흐르지 않아 전압 강하가 없으므로 애노드 전위는 $-V_A$이고, 캐소드 전위 V_i보다 낮다. 따라서 선지의 전류식 대신 $I_1 = 0$으로 고쳐야 한다.

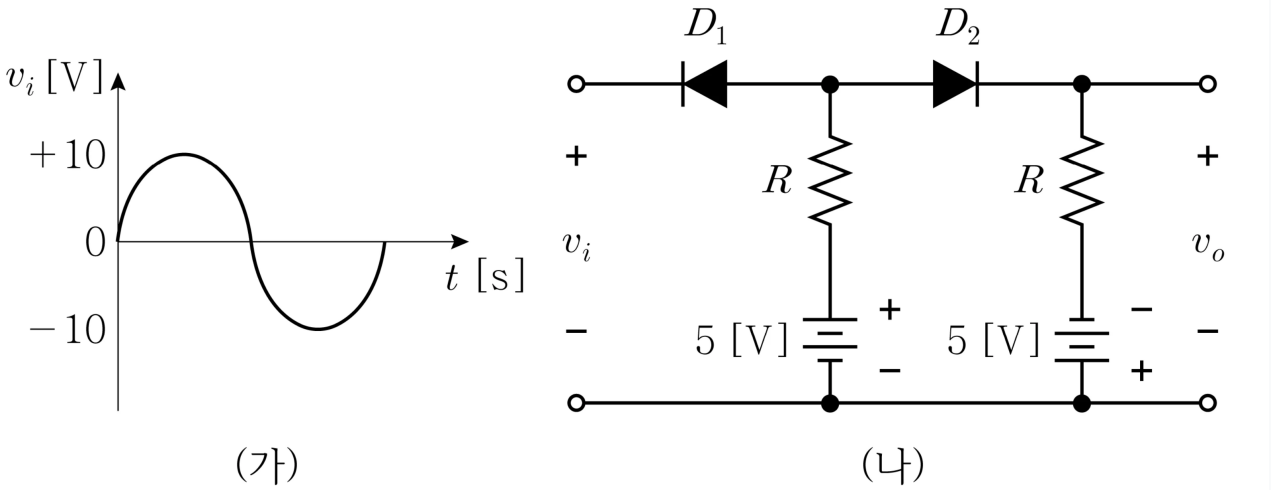
② X: $V_i > -V_A$이면 다이오드가 차단되어 가운데 가지는 개방된다. R_2는 입력의 위아래 공통 노드에 직접 연결되어 있으므로, 아래 방향의 전류는 옴의 법칙에 따라 $I_2 = \frac{V_i}{R_2}$이다. **가운데 가지가 개방**되어 있으므로 $R_1 \parallel R_2$를 적용할 수 없고, 전류식 앞에 음의 부호를 붙일 이유도 없다.

③ O: $V_i < -V_A$이면 다이오드가 순방향으로 도통한다. 이상적인 다이오드의 전압 강하가 0이므로 R_1의 위쪽 전위는 V_i, 아래쪽 전위는 $-V_A$이다. 아래 방향을 기준으로 저항 양단의 전위차는 $V_i - (-V_A) = V_i + V_A$이므로 $I_1 = \frac{V_i + V_A}{R_1}$이다. 이 조건에서는 $I_1 < 0$이며, 이는 **기준 화살표와 반대로** 실제 전류가 위로 흐른다는 뜻이다.

④ X: R_2는 다이오드의 도통 여부와 관계없이 입력 양단에 직접 연결되어 있으므로 $I_2 = \frac{V_i}{R_2}$이다. $V_i < -V_A$에서는 $V_i < 0$이므로 I_2도 음수이고 실제 전류는 위로 흐른다. 선지의 식은 아래 방향 기준 전류가 아니라 **반대 방향 전류의 값**에 해당하므로, 식 앞의 음의 부호를 빼야 한다.

NoteBase

문 14. (가)의 입력 v_i를 (나) 회로에 인가했을 때, 출력 전압 v_o의 최솟값[V]은? (단, 다이오드는 이상적인 소자이다)



① −10

② −5

③ 0

④ 5

정답 2번

간단한 해설

출력 쪽 저항의 아래 단자는 −5 V이며, 다이오드가 차단되면 저항에 전류가 흐르지 않아 출력도 **−5 V**가 된다. 입력이 −10 V일 때 이 상태가 성립하고, 다이오드가 도통할 때는 출력이 −5 V보다 낮아질 수 없다.

NoteBase

공통 해설

아래쪽 공통선을 0 V로 잡으면 왼쪽 5 V 전원의 위 단자는 +5 V, 오른쪽 5 V 전원의 위 단자는 −5 V이다. 이상적인 다이오드는 도통할 때 전압 강하가 0이고, 차단될 때 전류가 흐르지 않는다.

출력 쪽 다이오드 D_2의 애노드는 가운데 접점, 캐소드는 출력 단자에 연결되어 있다. D_2가 차단되면 출력 쪽 저항에 전류가 흐르지 않으므로 저항의 전압 강하는 0이고, 출력 전압은 −5 V이다. 도통하면 전류는 가운데 접점에서 출력 단자를 거쳐 오른쪽 저항으로 흐르므로, 출력은 저항 아래 단자의 −5 V 이상이다. 따라서 **출력의 하한은 −5 V**이다.

입력이 최솟값인 −10 V에 도달하면, 가운데 접점에서 입력 쪽으로 전류를 흘리는 D_1이 도통하여 가운데 접점도 −10 V가 된다. 이때 D_2의 애노드는 −10 V, 캐소드는 −5 V이므로 역바이어스되어 차단된다. 실제로 출력이 하한에 도달하므로, 요구한 출력 전압의 최솟값은 −5 V이다.

NoteBase

문 15. 단측파대(SSB) 변조의 특징으로 옳지 않은 것은?

① 진폭 변조(AM) 방식에 속한다.

② 변조 후 상측파대와 하측파대 중 한쪽 신호만 남는다.

③ 점유 주파수 대역폭은 변조할 신호가 가지는 대역폭의 2배이다.

④ 반송파 억압 양측파대(DSB-SC) 변조 방식에 비해 송신기의 소비 전력이 적다.

정답 3번

간단한 해설

SSB는 두 측파대 중 하나만 전송하므로 점유 주파수 대역폭이 **변조할 신호의 대역폭과 같다**. '2배'는 상측파대와 하측파대를 모두 전송하는 양측파대 방식의 특성이다.

선지별 해설

① O: SSB는 **진폭 변조 계열**에 속한다. 정보 신호에 따라 진폭을 변화시키는 변조에서 생긴 측파대 중 하나를 전송하는 방식이다.

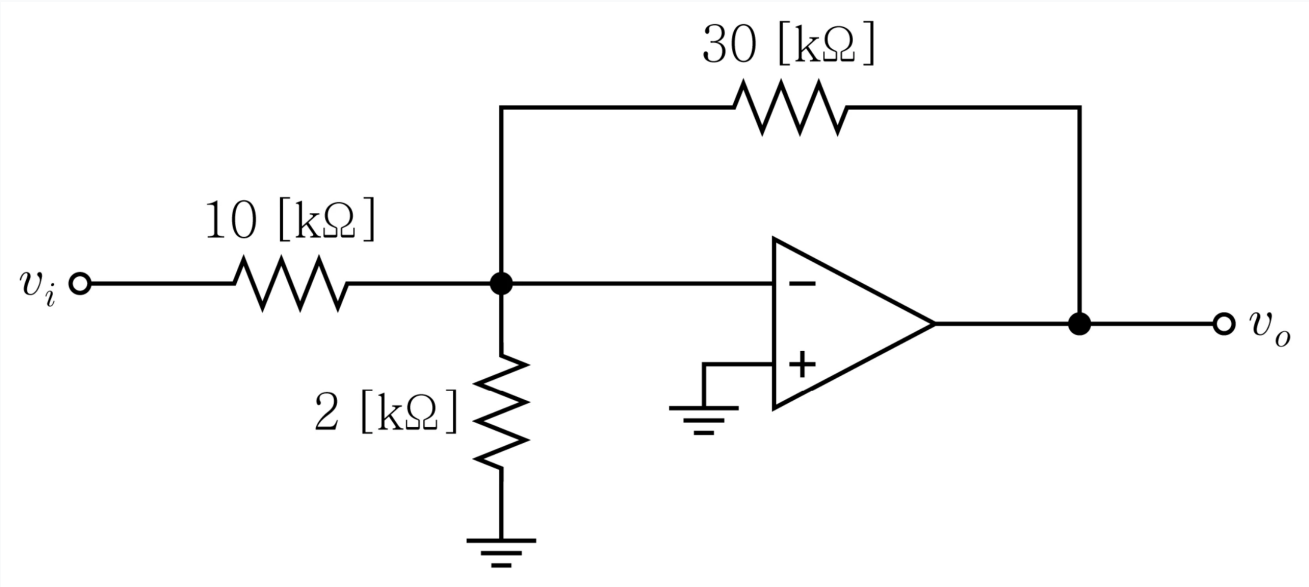
② O: 상측파대는 반송파 주파수보다 높은 쪽에, 하측파대는 낮은 쪽에 생긴다. SSB는 이 중 **한쪽 측파대만 전송**하며, 어느 쪽을 선택하더라도 원래 정보를 전달할 수 있다.

③ X: 양측파대 방식은 원래 신호의 대역폭만큼 차지하는 상측파대와 하측파대를 모두 보내므로 전체 대역폭이 2배가 된다. SSB는 그중 하나만 보내므로 점유 주파수 대역폭은 **원래 신호의 대역폭과 같다**. 따라서 '2배'를 '같다'로 고쳐야 한다.

④ O: DSB-SC는 반송파를 억압하지만 두 측파대는 모두 전송한다. 두 측파대에는 같은 정보가 담겨 있으므로 SSB는 **중복되는 한쪽 측파대의 송신 전력**을 절약한다. 같은 정보 전송 조건에서 필요한 송신 전력이 줄어들어 송신기의 소비 전력을 줄일 수 있다.

NoteBase

문 16. 다음 회로의 전압 이득 $A_v = \frac{v_o}{v_i}$와 입력 저항 R_{in} [kΩ]은? (단, 연산증폭기는 이상적이다)



① A_v: −15, R_{in}: $\frac{5}{3}$

② A_v: −15, R_{in}: 10

③ A_v: −3, R_{in}: $\frac{5}{3}$

④ A_v: −3, R_{in}: 10

정답 4번

간단한 해설

이상적인 연산증폭기의 음의 되먹임으로 반전 입력 단자가 **가상 접지**가 되어 2 kΩ 저항에는 전류가 흐르지 않는다. 따라서 전압 이득은 $A_v = -\frac{30}{10} = -3$이고, 입력에서 보이는 저항은 **10 kΩ**이다.

NoteBase

계산 과정

회로 조건: 출력이 30 kΩ 저항을 거쳐 반전 입력 단자로 되돌아오는 음의 되먹임 회로이다. 이상적인 연산증폭기가 선형 동작하므로 두 입력 단자의 전압이 같고, 입력 단자로 들어가는 전류는 0이다. 비반전 입력 단자가 접지되어 있으므로 반전 입력 단자도 0 V인 **가상 접지**가 된다. 따라서 반전 입력 단자와 접지 사이에 연결된 2 kΩ 저항의 양단 전압은 0 V이고, 이 저항에는 전류가 흐르지 않는다.

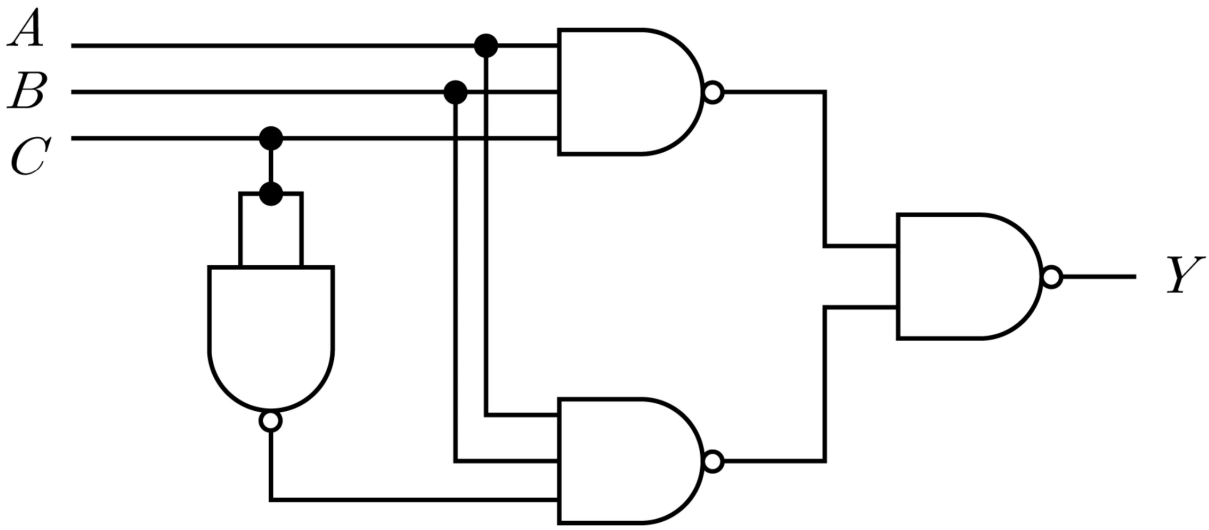
전압 이득: 10 kΩ 저항을 통해 들어온 전류는 연산증폭기 입력이나 2 kΩ 저항으로 흐르지 않고 **모두 30 kΩ 되먹임 저항으로 흐른다**. 반전 입력 단자의 전압이 0 V이므로 두 저항의 전류 관계는 $\frac{v_i}{10\text{k}\Omega} = \frac{-v_o}{30\text{k}\Omega}$이다. 이를 정리하면 $A_v = \frac{v_o}{v_i} = -\frac{30}{10} = -3$이다. 전압 이득은 무차원이며, 음수 부호는 출력이 입력에 대해 반전됨을 뜻한다.

입력 저항: 입력 전류를 i_i라 하면, 10 kΩ 저항의 오른쪽 끝이 가상 접지이므로 $i_i = \frac{v_i}{10\text{k}\Omega}$이다. 따라서 $R_{in} = \frac{v_i}{i_i} = 10\text{k}\Omega$이다. 입력 저항은 **입력 전압을 입력 전류로 나눈 값**으로 구하며, 이 회로의 10 kΩ과 2 kΩ을 단순히 병렬로 합성해서 구하지 않는다.

전압 이득 −3과 입력 저항 10 kΩ의 조합은 ④에 해당한다.

NoteBase

문 17. 다음 논리회로에서 출력 Y의 논리식은?



① $AB + \overline{C}$

② $\overline{A}B + \overline{C}$

③ AB

④ $AB\overline{C}$

정답 3번

간단한 해설

마지막 NAND 게이트에 드모르간 법칙을 적용하면 $Y = ABC + AB\overline{C}$가 된다. **서로 보수인 두 입력의 OR은 1**이므로 $Y = AB(C + \overline{C}) = AB$이며, 출력은 C의 값에 영향을 받지 않는다.

NoteBase

계산 과정

회로의 게이트는 모두 **AND 결과를 반전하는 NAND 게이트**이다. 출력 쪽의 작은 원은 반전을 뜻한다. A, B, C는 각각 0 또는 1인 논리 입력이며, 식에서 붙여 쓴 문자는 AND, +는 OR, 윗줄은 NOT을 나타낸다.

C의 반전: 왼쪽 아래 NAND 게이트는 두 입력이 모두 C에 연결되어 있다. 따라서 그 출력은 $\overline{CC} = \overline{C}$이며, 이 신호가 아래쪽 3입력 NAND 게이트로 들어간다.

위쪽 경로: 위쪽 3입력 NAND 게이트에는 A, B, C가 들어간다. 이 게이트의 출력을 P라 두면 $P = \overline{ABC}$이다.

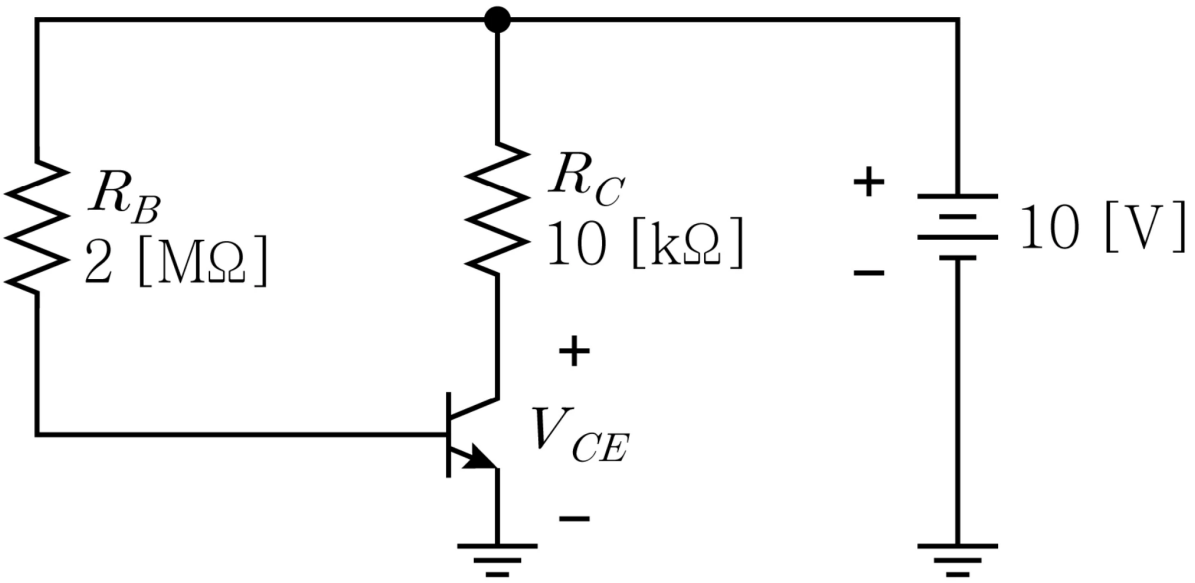
아래쪽 경로: 아래쪽 3입력 NAND 게이트에는 A, B와 앞에서 만든 $\overline{C}$가 들어간다. 이 게이트의 출력을 Q라 두면 $Q = \overline{AB\overline{C}}$이다.

마지막 게이트: P와 Q를 NAND 연산하므로 $Y = \overline{PQ}$이다. **드모르간 법칙**으로 $Y = \overline{P} + \overline{Q}$가 되고, P와 Q를 대입하여 이중 부정을 없애면 $Y = ABC + AB\overline{C}$가 된다.

논리식 정리: 공통 인수 AB를 묶으면 $Y = AB(C + \overline{C})$이다. C가 0이든 1이든 둘 중 하나는 1이므로 $C + \overline{C} = 1$이다. 따라서 $Y = AB$로 정리되며, 이는 ③의 식과 일치한다.

NoteBase

문 18. 다음 BJT 증폭회로에서 컬렉터-이미터 양단전압 V_{CE} [V]는?
(단, 다이오드의 순방향 전압강하는 0.7 [V], 직류 전류 이득 β_{DC}는 100이고 저항성분은 무시한다)



① 5.35
② 7.35
③ 8.65
④ 9.65

정답 1번

간단한 해설

베이스 저항에 걸리는 전압은 10 − 0.7 = 9.3 V이므로 베이스 전류는 4.65 μA, 컬렉터 전류는 0.465 mA이다. 컬렉터 저항의 전압강하 4.65 V를 전원전압에서 빼면 **컬렉터-이미터 전압은 5.35 V**이다.

NoteBase

계산 과정

회로의 전원전압은 $V_{CC} = 10\text{V}$, 베이스 저항은 $R_B = 2\text{M}\Omega$, 컬렉터 저항은 $R_C = 10\text{k}\Omega$이다. 이미터는 접지되어 있으므로 이미터 전압은 0 V이다. 베이스-이미터 접합의 순방향 전압강하를 $V_{BE} = 0.7\text{V}$로 두고 계산한다.

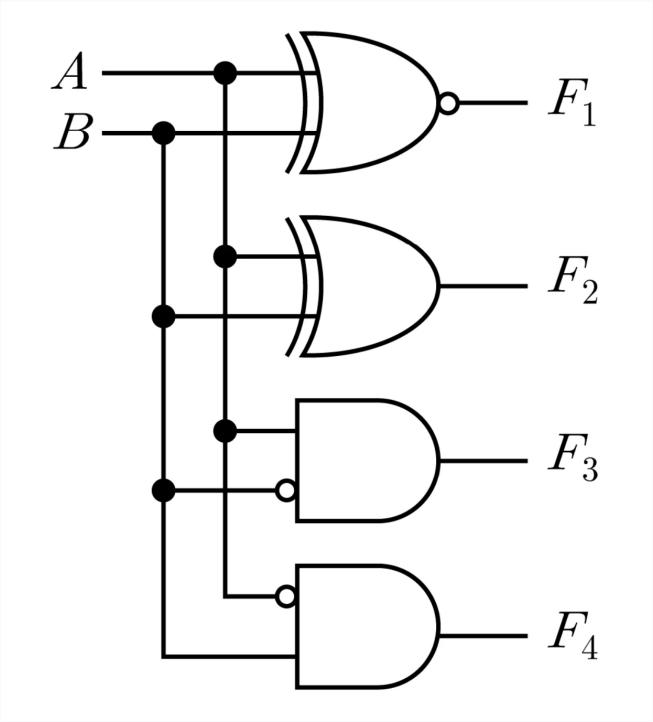
베이스 전류: 전원에서 베이스 저항과 베이스-이미터 접합을 거쳐 접지로 이어지는 경로에서 **접합 전압강하를 뺀 전압이 베이스 저항에 걸린다**. 따라서 $I_B = \frac{V_{CC} - V_{BE}}{R_B}$이고, $I_B = \frac{10 - 0.7}{2 \times 10^6}\text{A} = 4.65\mu\text{A}$이다.

컬렉터 전류: 활성영역에서는 직류 전류 이득이 컬렉터 전류와 베이스 전류의 비이므로 $I_C = \beta_{DC} I_B$를 적용한다. 따라서 $I_C = 100 \times 4.65\mu\text{A}$, 즉 465 μA = 0.465 mA이다. 이 전류가 컬렉터 저항을 흐르므로 저항의 전압강하는 $I_C R_C = 0.465\text{mA} \times 10\text{k}\Omega = 4.65\text{V}$이다.

컬렉터-이미터 전압: **이미터가 접지되어 있으므로** 컬렉터의 접지 기준 전압이 곧 V_{CE}이다. 전원전압에서 컬렉터 저항의 전압강하를 빼면 $V_{CE} = V_{CC} - I_C R_C$이므로 10 − 4.65 = 5.35 V이다. 컬렉터 전압 5.35 V가 베이스 전압 0.7 V보다 높아 베이스-컬렉터 접합은 역바이어스되므로, 활성영역을 전제로 한 계산과도 일치한다. 계산값 5.35 V는 ①에 해당한다.

NoteBase

문 19. 다음 비교기에서 출력 F_1, F_2, F_3, F_4의 기능으로 옳은 것은?



① F_1: $A \neq B$

② F_2: $A = B$

③ F_3: $A \geq B$

④ F_4: $A < B$

정답 4번

간단한 해설

F_4는 A를 반전한 값과 B를 AND 연산하므로 **A가 0이고 B가 1일 때만** 1이 된다. 이는 1비트 입력에서 $A < B$인 조건이다.

NoteBase

선지별 해설

A와 B는 각각 0 또는 1인 1비트 입력이며, 각 출력이 1이 되는 조건을 비교한다. 회로 기호의 작은 원은 논리 반전을 뜻한다. 아래 식에서 윗줄은 NOT, ·는 AND, ⊕는 XOR 연산을 나타낸다.

① X: F_1은 입력 쪽에 곡선이 하나 더 있는 XOR 기호의 출력에 반전 원이 붙은 XNOR 게이트이다. 따라서 $F_1 = \overline{A \oplus B}$이며, 두 입력이 모두 0이거나 모두 1일 때 출력이 1이다. 기능은 $A \neq B$가 아니라 **두 입력이 같은지 판별**하는 $A = B$이다.

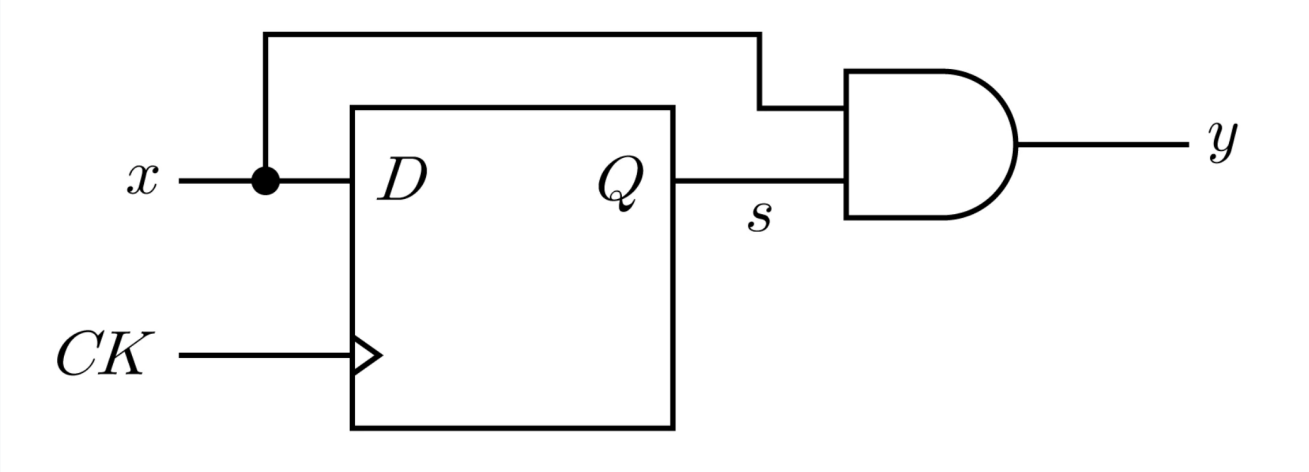
② X: F_2는 출력에 반전 원이 없는 XOR 게이트이다. $F_2 = A \oplus B$이므로 입력이 (0, 1) 또는 (1, 0)일 때 1이 된다. 기능은 $A = B$가 아니라 **두 입력이 다른지 판별**하는 $A \neq B$이다.

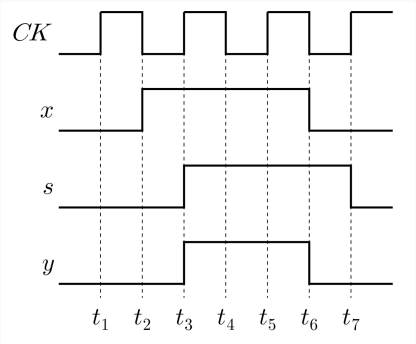
③ X: F_3은 B가 들어가는 아래쪽 입력에만 반전 원이 있는 AND 게이트이므로 $F_3 = A \cdot \overline{B}$이다. A가 1이고 B가 0일 때만 1이 되어 $A > B$를 나타낸다. **두 입력이 같으면 출력이 0**이므로, 같을 때까지 포함하는 $A \geq B$로 해석할 수 없다.

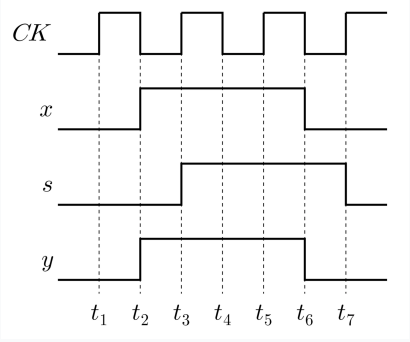
④ O: F_4는 A가 들어가는 위쪽 입력에만 반전 원이 있는 AND 게이트이므로 $F_4 = \overline{A} \cdot B$이다. **A가 0이고 B가 1일 때만** 출력이 1이다. 1비트 입력에서 이 경우에만 $A < B$이므로 선지의 기능과 일치한다.

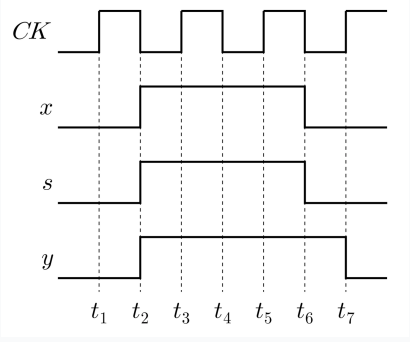
NoteBase

문 20. 다음 논리회로에서 타이밍도가 옳은 것은? (단, D-플립플롭과 AND 게이트에서 전파지연은 없다고 가정한다)



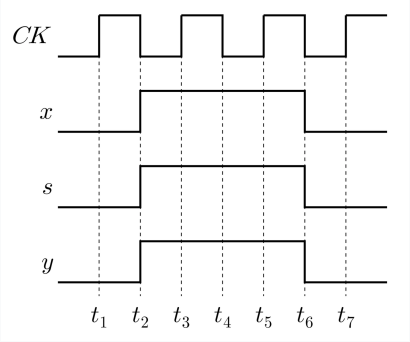
① 

② 

③ 

NoteBase

④



정답 1번

간단한 해설

D-플립플롭의 출력 s는 **클록의 상승에지에서만** x를 저장하므로 t_3에서 1이 되고 t_7에서 0이 된다. 출력 y는 x와 s가 모두 1일 때만 1이므로, t_3**부터** t_6 **직전까지** 1이다.

공통 해설

회로에서 D 입력에는 x가 연결되고, Q 출력이 s이다. 클록 입력의 삼각형에 반전 표시가 없으므로 D-플립플롭은 **CK가 0에서 1로 바뀌는 상승에지**에서 x를 s에 저장하고 다음 상승에지까지 유지한다. AND 게이트에는 x와 s가 입력되므로 $y = x \cdot s$이며, 두 신호가 모두 1인 구간에서만 y가 1이다. 전파지연은 없으므로 신호 변화가 출력에 반영되는 시간 지연은 고려하지 않는다.

CK의 상승에지는 t_1, t_3, t_5, t_7이다. t_1에서는 x가 0이므로 s가 0이 된다. t_2에서 x가 1로 바뀌어도 그때는 CK의 하강에지이므로 s는 그대로 0이다. 다음 상승에지인 t_3에서 x의 값 1이 저장되어 s가 1이 되고, t_5에서도 x가 1이므로 그 상태를 유지한다.

t_6에서 x가 0으로 바뀌어도 상승에지가 아니므로 s는 여전히 1이다. t_7의 상승에지에서 x의 값 0을 저장하면서 s가 0으로 바뀐다. 따라서 s는 t_3부터 t_7 직전까지 1이다.

출력 y는 t_3 전까지 x와 s 중 적어도 하나가 0이므로 0이다. t_3에서 s가 1이 되면 x도 1이므로 y가 1로 바뀐다. t_6에서는 s가 아직 1이더라도 **x가 0이 되어 AND 출력은 즉시 0**이 된다. 따라서 y가 1인 구간은 t_3부터 t_6 직전까지이다.

NoteBase