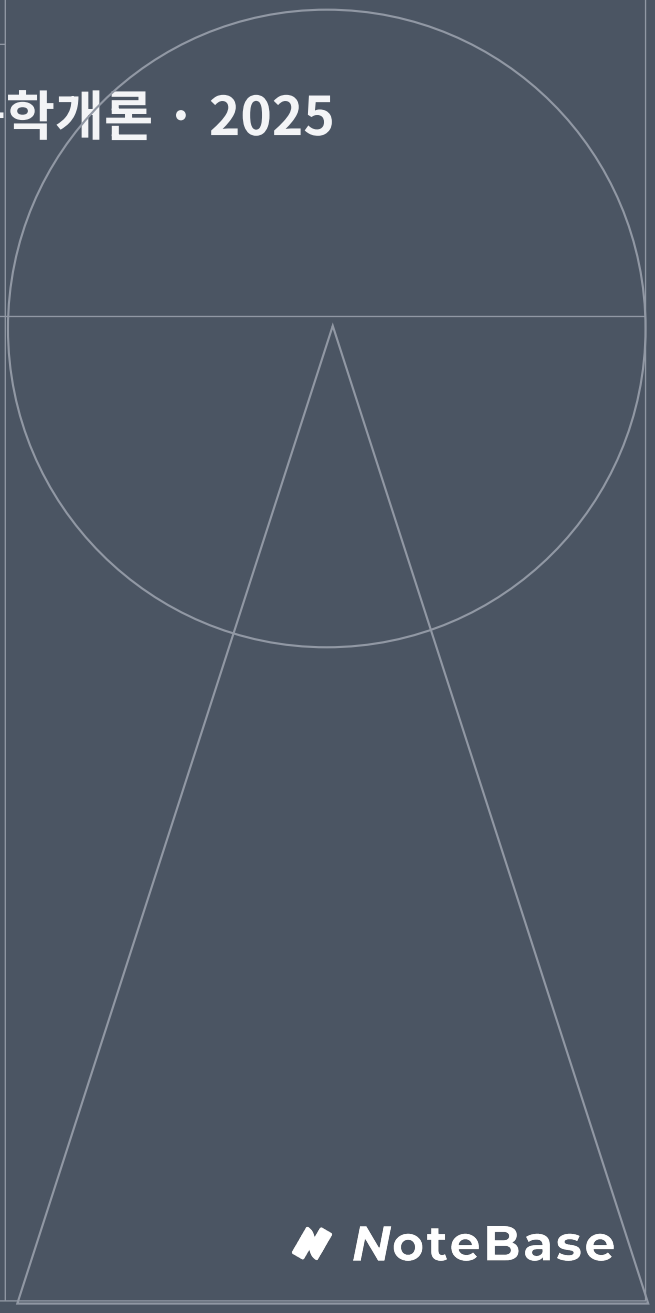
기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2025



NoteBase

기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2025

공무원/지방직/9급 · 전자공학개론 · 2025

문 1. 다음 진리표를 가지는 논리 게이트는?

입력		출력
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

① AND 게이트

② NAND 게이트

③ NOR 게이트

④ XOR 게이트

정답 4번

간단한 해설

진리표에서 두 입력이 **서로 다를 때만 출력이 1**이고, 같을 때는 0이다. 이는 배타적 논리합인 XOR 게이트의 동작이다.

NoteBase

핵심 풀이

진리표의 입력 A, B와 출력 F를 보면, 입력이 (0, 0)과 (1, 1)일 때 출력은 0이고, (0, 1)과 (1, 0)일 때 출력은 1이다.

XOR는 배타적 논리합으로, 두 입력 중 **정확히 하나만 1일 때** 출력이 1이 된다. 두 입력이 모두 1이면 출력이 0이므로, 주어진 진리표는 ④ XOR 게이트에 해당한다.

AND는 두 입력이 모두 1일 때만 출력이 1이므로 표의 (1, 1) 행과 다르다.

NAND는 AND의 출력을 반전한 것으로, 두 입력이 모두 1인 경우를 제외하면 출력이 1이므로 표의 (0, 0) 행과 다르다.

NOR는 두 입력이 모두 0일 때만 출력이 1이므로 역시 표의 (0, 0) 행과 다르다.

NoteBase

문 2. JK 플립플롭에서 출력 Q의 동작으로 옳지 않은 것은? (단, 클록 신호는 계속 인가된다)

① $J = 1,\ K = 0$일 때 Q는 1이 된다.

② $J = 0,\ K = 1$일 때 Q는 0이 된다.

③ $J = 0,\ K = 0$일 때 Q는 현재 값을 유지한다.

④ $J = 1,\ K = 1$일 때 Q는 현재 값을 유지한다.

정답 4번

간단한 해설

JK 플립플롭에서 $J = 1,\ K = 1$이면 출력은 현재 값을 유지하지 않고 클록이 동작할 때마다 **반전(토글)**된다. 현재 값을 유지하는 입력 조건은 $J = 0,\ K = 0$이다.

선지별 해설

JK 플립플롭은 1비트의 상태를 저장하며, 클록의 유효 에지에서 입력 J와 K에 따라 다음 출력 상태가 결정된다.

① O: $J = 1,\ K = 0$이면 **세트(set)** 동작을 한다. 클록이 동작하면 이전 출력이 0이든 1이든 다음 출력은 1이 된다.

② O: $J = 0,\ K = 1$이면 **리셋(reset)** 동작을 한다. 클록이 동작하면 이전 출력과 관계없이 다음 출력은 0이 된다.

③ O: $J = 0,\ K = 0$이면 **상태 유지** 동작을 한다. 클록이 계속 인가되어도 출력이 0이면 0을, 1이면 1을 그대로 유지한다.

④ X: $J = 1,\ K = 1$이면 '현재 값 유지'가 아니라 **반전(토글)** 동작을 한다. 다음 출력은 현재 출력의 반대 값이므로, 현재 출력이 0이면 1로, 1이면 0으로 바뀐다. 이 입력 조건이 유지되고 클록이 계속 인가되면 출력은 클록이 동작할 때마다 0과 1을 번갈아 갖는다.

NoteBase

문 3. 01101101을 저장하고 있던 8비트 순환 시프트 레지스터에 좌측 시프트 제어 신호가 세 번 연속 들어왔을 때, 시프트 레지스터의 변경된 저장 값은?

① 01101000

② 10110101

③ 01101011

④ 10101101

정답 3번

간단한 해설

좌측 순환 시프트는 **맨 왼쪽 비트를 맨 오른쪽으로 되돌리는** 연산이다. 세 번 적용하면 처음의 앞 세 비트 011이 뒤로 이동하여 저장 값은 01101011이 된다.

계산 과정

8비트 좌측 순환 시프트에서는 각 비트가 왼쪽으로 한 자리씩 이동하고, **맨 왼쪽에서 빠져나온 비트가 맨 오른쪽에 다시 들어간다**. 따라서 비트 수는 8개로 유지되며, 제어 신호가 들어올 때마다 직전 저장 값에 같은 연산을 적용한다.

1회: 처음 값 01101101에서 맨 왼쪽 0을 떼어 나머지 1101101의 오른쪽에 붙이면 11011010이 된다.

2회: 직전 값 11011010에서 맨 왼쪽 1을 떼어 나머지 1011010의 오른쪽에 붙이면 10110101이 된다.

3회: 직전 값 10110101에서 맨 왼쪽 1을 떼어 나머지 0110101의 오른쪽에 붙이면 01101011이 된다.

세 번의 좌측 순환 시프트 후 저장 값은 01101011이며, ③과 일치한다.

NoteBase

문 4. 부귀환(negative feedback)을 갖는 연산증폭기 회로의 특성으로 옳지 않은 것은?

① 잡음이 감소한다.

② 대역폭이 감소한다.

③ 비선형 왜곡이 감소한다.

④ 안정적으로 조절 가능한 전압 이득을 제공한다.

정답 2번

간단한 해설

②의 '대역폭이 감소한다'는 설명은 이득과 대역폭의 변화를 혼동한 것이다. 부귀환은 전압 이득을 낮추는 대신, 일정한 이득으로 증폭할 수 있는 주파수 범위인 **대역폭을 넓힌다**.

선지별 해설

부귀환은 출력의 일부를 입력에서 빼는 방향으로 되돌려 출력 오차를 줄이는 방식이다. 다음 특성은 회로가 안정된 부귀환 상태에서 선형적으로 동작하고, 해당 주파수에서 충분한 루프 이득을 갖는 경우를 전제로 한다.

① O: 귀환 루프 내부에서 발생하여 출력에 더해지는 잡음은 출력 오차로 검출된다. 부귀환은 이 오차를 상쇄하는 방향으로 작용하여 **출력에 나타나는 내부 잡음의 영향을 줄인다**. 다만 입력 신호에 이미 섞여 들어온 잡음까지 신호와 구별하여 제거하는 것은 아니다.

② X: 부귀환은 이득을 낮추지만 **대역폭은 넓힌다**. 일반적인 단일 지배극 연산증폭기에서는 부귀환으로 낮아진 이득을 더 높은 주파수까지 유지할 수 있으므로, 귀환이 없을 때보다 증폭 가능한 주파수 범위가 넓어진다. 따라서 '대역폭이 감소한다'는 '대역폭이 증가한다'로 고친다.

③ O: 비선형 왜곡은 입력에 비례해야 할 출력의 파형이 증폭 소자의 비선형성 때문에 변형되는 현상이다. 부귀환은 출력에 생긴 왜곡 성분도 입력 쪽으로 되돌려 **왜곡을 상쇄하는 방향**으로 증폭기를 구동하므로 비선형 왜곡을 줄인다.

④ O: 개방루프 이득을 A, 출력 중 입력으로 되돌리는 비율인 귀환율을 β라 하면 폐루프 이득은 $A_f = \frac{A}{1 + A\beta}$이다. 루프 이득이 충분히 커서 $A\beta \gg 1$이면 $A_f \approx \frac{1}{\beta}$이므로, 이득은 증폭기 자체의 변동보다 **외부 귀환 저항의 비율**에 주로 좌우된다. 이 비율을 바꾸어 전압 이득을 조절할 수 있고, 온도 등에 따른 개방루프 이득의 변화에도 폐루프 이득은 비교적 일정하게 유지된다.

NoteBase

문 5. 저항 $R = 10[\Omega]$, 커패시터 $C = 4[\mu F]$인 RLC 직렬회로에 각주파수가 $10^5[rad/sec]$인 정현파 전압이 인가될 때, 공진이 발생하기 위한 인덕터 $L[\mu H]$은?

① 25

② 50

③ 100

④ 250

정답 1번

간단한 해설

RLC 직렬회로는 **유도성 리액턴스와 용량성 리액턴스가 같아질 때** 공진한다. 공진 조건 $\omega L = \frac{1}{\omega C}$에 주어진 각주파수와 커패시턴스를 대입하면 인덕턴스는 25 μH이다.

계산 과정

주어진 값은 저항 R = 10 Ω, 커패시턴스 $C = 4 \cdot 10^{-6}$F, 각주파수 $\omega = 10^5$rad/s이다. 각주파수가 직접 주어졌으므로 주파수에 2π를 곱하는 변환은 필요하지 않다.

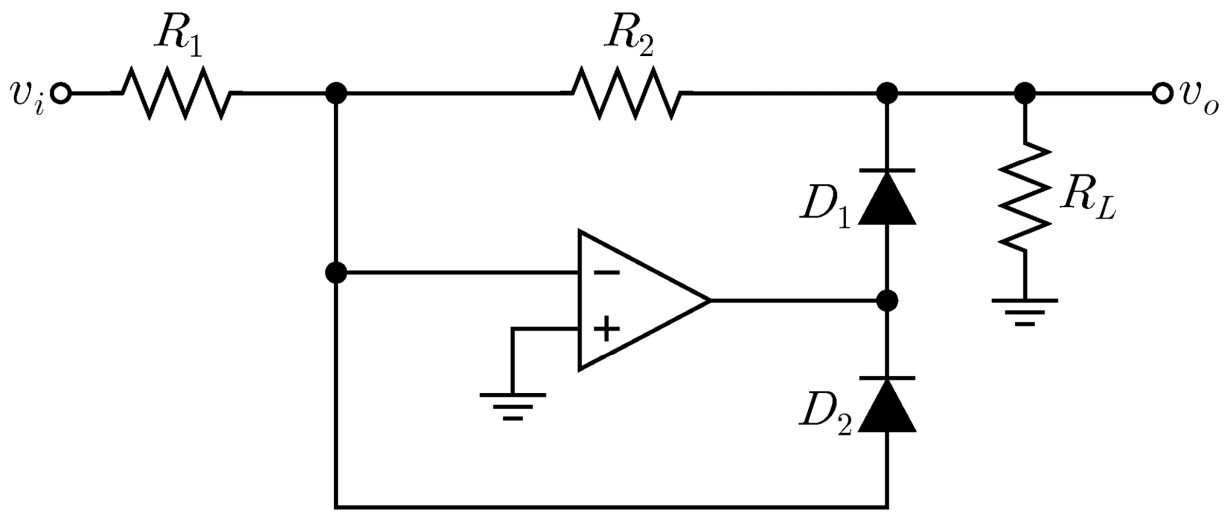
직렬회로에서 유도성 리액턴스 $X_L = \omega L$과 용량성 리액턴스 $X_C = \frac{1}{\omega C}$는 서로 반대 부호로 작용한다. 공진하려면 **두 리액턴스의 크기가 같아 서로 상쇄**되어야 하므로 $\omega L = \frac{1}{\omega C}$이다. 이때 임피던스에는 저항 성분만 남으며, 저항값 10 Ω은 이 공진 조건에 들어가지 않는다.

먼저 주어진 각주파수에서 용량성 리액턴스를 구하면 $X_C = \frac{1}{10^5 \cdot 4 \cdot 10^{-6}} = 2.5\Omega$이다. 따라서 인덕터도 같은 각주파수에서 2.5 Ω의 유도성 리액턴스를 가져야 한다.

$L = \frac{X_C}{\omega} = \frac{2.5}{10^5}$H이므로 $L = 25 \cdot 10^{-6}$H이다. **H를 μH로 환산**하면 25 μH이며, 이는 ①의 값에 해당한다.

NoteBase

문 6. 다음 회로의 출력특성을 나타내는 회로는? (단, 다이오드와 연산 증폭기는 이상적이다)



① 클램프회로

② 정전압회로

③ 전파정류회로

④ 반파정류회로

정답 4번

간단한 해설

입력의 **음의 반주기만 양의 출력으로 반전**되고, 양의 반주기에서는 출력이 0이 된다. 한쪽 반주기만 출력에 나타나므로 반파정류 특성을 갖는다.

NoteBase

도식 해설

회로의 비반전 입력(+)은 접지되어 있고, 반전 입력(−)에는 입력 저항 R_1과 되먹임 저항 R_2가 연결되어 있다. 이상적인 연산 증폭기는 입력 전류가 0이며, 다이오드가 도통하여 음의 되먹임이 형성되면 반전 입력 전압도 0 V가 되는 **가상 접지**가 성립한다. 출력은 연산 증폭기 자체의 출력 단자가 아니라 부하 R_L의 위쪽 단자 v_o에서 읽는다.

입력이 음수일 때: 연산 증폭기의 출력이 양의 방향으로 변하여 D_1은 도통하고 D_2는 차단된다. 이때 D_1과 R_2를 거쳐 음의 되먹임이 형성되므로 반전 증폭기로 동작한다. 반전 입력으로 전류가 흐르지 않으므로 R_1과 R_2를 흐르는 전류의 관계는 $\frac{v_i}{R_1} + \frac{v_o}{R_2} = 0$이다. 따라서 $v_o = -\frac{R_2}{R_1} v_i$이며, 음의 입력이 **양의 출력으로 반전**된다.

입력이 양수일 때: 연산 증폭기의 출력이 음의 방향으로 변하려 하면 D_2가 도통하여 반전 입력으로 직접 음의 되먹임을 형성하고, D_1은 차단된다. 반전 입력은 가상 접지 상태이므로 R_2의 왼쪽 끝 전압은 0 V이다. 오른쪽 출력 단자도 R_L을 통해 접지되어 있어 **출력 전압은 0 V**가 된다.

교류 입력의 두 반주기 중 음의 반주기에서만 출력이 나타나므로 이 회로는 반파정류회로이다. 전파정류회로는 두 반주기를 모두 같은 극성의 출력으로 바꾼다는 점에서 구별된다.

NoteBase

문 7. 차동증폭기의 특성으로 옳지 않은 것은?

① 연산증폭기의 입력단으로 사용된다.

② 공통모드 이득이 클수록 증폭기의 성능이 우수하다.

③ 두 개의 입력단에 유입되는 잡음을 제거하는 효과가 있다.

④ 공통모드 제거비(CMRR)는 차동모드 이득과 공통모드 이득의 비이다.

정답 2번

간단한 해설

공통모드 이득은 두 입력에 똑같이 들어온 신호가 출력에 반영되는 정도이다. 차동증폭기는 이 신호를 억제해야 하므로, 차동모드 이득이 같다면 **공통모드 이득이 작을수록** 공통 잡음 제거 성능이 우수하다.

선지별 해설

① O: 차동증폭기는 **두 입력 전압의 차**를 증폭하는 회로이다. 연산증폭기도 반전 입력과 비반전 입력 사이의 전압차를 증폭하므로, 차동증폭기를 입력단으로 사용한다.

② X: 공통모드 이득은 두 입력에 같은 크기와 위상으로 가해진 신호를 얼마나 증폭하는지를 나타낸다. 이 이득이 크면 공통으로 유입된 잡음도 출력에 크게 반영된다. 따라서 차동모드 이득이 같다면 공통모드 이득이 **작을수록 공통 잡음 제거 성능이 우수하다**로 고쳐야 한다.

③ O: 두 입력단에 **같은 크기와 위상으로 유입되는 잡음**은 공통모드 신호이다. 두 입력의 차를 구하면 이 잡음 성분이 상쇄되므로 잡음을 제거하는 효과가 있다. 실제 회로에서는 공통모드 이득이 완전히 0이 아니어서 일부가 남을 수 있으며, 두 입력에 서로 다르게 유입된 잡음까지 모두 제거되는 것은 아니다.

④ O: 차동모드 이득을 A_d, 공통모드 이득을 A_c라 하면 공통모드 제거비는 CMRR $= \left|\frac{A_d}{A_c}\right|$이다. 즉, **공통모드 이득에 대한 차동모드 이득의 크기 비**이며, 값이 클수록 원하는 차동 신호에 비해 공통모드 신호가 출력에 적게 반영된다.

NoteBase

문 8. 면적이 S, 거리가 d인 평행 전극판 사이에 유전율 ε의 유전체를 채운 커패시터에 전압 V를 인가했을 때, 커패시터에 저장되는 전하량을 증가시키는 방법으로 옳지 않은 것은?

① ε을 증가시킨다.

② d를 증가시킨다.

③ S를 증가시킨다.

④ V를 증가시킨다.

정답 2번

간단한 해설

평행판 커패시터의 저장 전하량은 $Q = \frac{\varepsilon SV}{d}$이므로, 다른 조건이 같을 때 **전극판 사이의 거리를 늘리면 전하량은 감소**한다. 전하량을 늘리려면 거리를 줄여야 한다.

선지별 해설

가장자리 효과를 무시하는 평행판 커패시터의 정전용량은 $C = \frac{\varepsilon S}{d}$이다. 정전용량은 단위 전압당 저장할 수 있는 전하량을 뜻하며, 각 전극판에 저장되는 전하량의 크기는 $Q = CV = \frac{\varepsilon SV}{d}$이다. 각 선지는 나머지 조건을 일정하게 두고 판단한다.

① O: 유전율 ε을 증가시키면 정전용량이 커진다. 같은 전압에서 저장 전하량은 **유전율에 비례하여 증가**한다.

② X: 전극판 사이의 거리 d를 증가시키면 정전용량이 작아져 저장 전하량이 감소한다. 전하량은 거리에 반비례하므로, 전하량을 늘리려면 **거리를 감소**시켜야 한다. 예를 들어 다른 조건이 같을 때 거리를 2배로 하면 전하량은 절반이 된다.

③ O: 서로 마주 보는 전극판의 면적 S를 증가시키면 정전용량이 커진다. 같은 전압에서 저장 전하량은 **면적에 비례하여 증가**한다.

④ O: 정전용량이 일정할 때 $Q = CV$이므로, 인가 전압 V를 증가시키면 저장 전하량은 **전압에 비례하여 증가**한다.

NoteBase

문 9. 필터회로 출력신호를 측정했을 때 직류전압이 100 [V], 교류 맥동 전압이 $10\sqrt{2}\cos(\omega t)$ [V]인 경우, 이 신호의 맥동률(ripple factor)[%]은? (단, ω는 각주파수이다)

① 5

② 10

③ 14

④ 15

정답 2번

간단한 해설

맥동률은 **교류 맥동 전압의 실효값을 직류전압으로 나눈 비율**이다. 주어진 정현파의 실효값은 10 V이므로, 직류전압 100 V에 대한 맥동률은 10%이다.

계산 과정

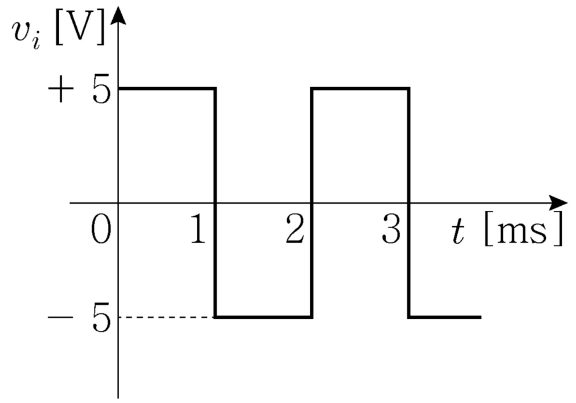
맥동률의 정의: 직류 출력에 교류 성분이 얼마나 포함되어 있는지를 나타내며, 교류 성분의 실효값을 $V_{\text{ac, rms}}$, 직류전압을 V_{dc}라 하면 $r = \frac{V_{\text{ac, rms}}}{V_{\text{dc}}} \times 100\%$이다. 이 문제에서 직류전압은 100 V이다.

교류 성분의 실효값: 주어진 $10\sqrt{2}\cos(\omega t)$ V는 정현파이므로 $10\sqrt{2}$ V는 **최댓값**이다. 정현파의 실효값은 최댓값을 $\sqrt{2}$로 나눈 값이므로 $V_{\text{ac, rms}} = \frac{10\sqrt{2}}{\sqrt{2}} = 10\text{V}$이다. 맥동률의 분자에는 이 **실효값**을 사용한다.

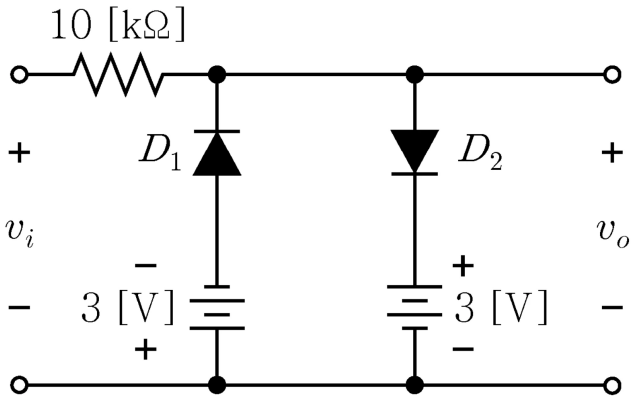
맥동률 계산: $r = \frac{10}{100} \times 100\% = 10\%$이다. 교류 성분의 실효값이 직류전압의 10%라는 뜻이며, ②의 10에 해당한다.

NoteBase

문 10. 다음 (가) 입력 v_i를 (나) 회로에 인가했을 때, 출력전압 v_o의 최솟값[V]과 최댓값[V]은? (단, D_1, D_2는 이상적인 다이오드이다)



(가)



(나)

① 최솟값: −2, 최댓값: +2

② 최솟값: −2, 최댓값: +3

③ 최솟값: −3, 최댓값: +2

④ 최솟값: −3, 최댓값: +3

정답 4번

간단한 해설

이상적인 다이오드는 도통할 때 **전압강하가 0 V**이므로, 출력이 각 가지의 기준 전압인 −3 V와 +3 V에서 제한된다. 입력이 ±5 V여도 출력의 최솟값은 −3 V, 최댓값은 +3 V이다.

NoteBase

공통 해설

이 회로는 다이오드가 도통하면 출력을 직류 전원의 기준 전압에 묶어 두는 제한 회로이다. 이상적인 다이오드는 애노드 전위가 캐소드 전위보다 높아지려 하면 도통하고, 도통 상태에서는 **양단 전압이 0 V**가 된다. 아래쪽 공통 배선을 0 V로 보면, 왼쪽 3 V 전원의 위쪽 단자는 −3 V이고 오른쪽 3 V 전원의 위쪽 단자는 +3 V이다.

왼쪽 D_1의 애노드는 −3 V 단자에, 캐소드는 출력에 연결되어 있다. 출력이 −3 V보다 낮아지려 하면 D_1이 도통하여 출력을 −3 V로 제한한다.

반대로 오른쪽 D_2의 애노드는 출력에, 캐소드는 +3 V 단자에 연결되어 있다. 출력이 +3 V보다 높아지려 하면 D_2가 도통하여 출력을 +3 V로 제한한다.

(가)의 입력이 +5 V일 때는 D_2가 도통하고 D_1은 차단되어 출력은 +3 V이다.

입력이 −5 V일 때는 D_1이 도통하고 D_2는 차단되어 출력은 −3 V이다. 10 kΩ 저항은 도통 시 전류를 제한하며, 출력의 제한 전압은 도통한 다이오드와 연결된 전원이 정한다. 따라서 출력전압의 최솟값은 −3 V, 최댓값은 +3 V이다.

NoteBase

문 11. 고역차단주파수가 200 [kHz], 이득이 100인 연산증폭기로 귀환율(feedback factor)이 0.005인 부귀환(negative feedback) 회로를 설계했을 때, 이 회로의 고역차단주파수[kHz]는?

① 100

② 200

③ 300

④ 400

정답 3번

간단한 해설

부귀환 회로의 고역차단주파수는 귀환 전보다 **이득 감소 배율만큼 증가**한다. 이 배율은 $1 + A\beta = 1.5$이므로, 고역차단주파수는 $200 \times 1.5 = 300$ kHz이다.

계산 과정

귀환 전 이득은 $A = 100$, 고역차단주파수는 $f_H = 200$kHz, 귀환율은 $\beta = 0.005$이다. 여기서는 연산증폭기의 고주파 응답을 **하나의 지배적 극으로 근사**하고, 귀환율은 주파수에 따라 변하지 않는 것으로 본다.

이 조건에서 부귀환을 걸면 이득은 $A_f = \frac{A}{1 + A\beta}$로 감소하고, 이득과 대역폭의 곱은 일정하게 유지된다. 따라서 고역차단주파수는 이득이 감소한 배율만큼 증가하여 $f_{Hf} = (1 + A\beta) f_H$가 된다.

루프 이득은 $A\beta = 100 \times 0.005 = 0.5$이므로, 고역차단주파수의 **확대 배율**은 $1 + A\beta = 1.5$이다.

이를 대입하면 $f_{Hf} = 1.5 \times 200 = 300$kHz이다. 따라서 부귀환 회로의 고역차단주파수는 300 kHz로, ③의 값과 일치한다.

NoteBase

문 12. 제너 다이오드에 대한 설명으로 옳지 않은 것은?

① 순방향 전압에서는 전류가 흐르지 않는다.

② 항복 영역에서 제너 전압은 거의 일정하다.

③ 전압 조정기(regulator) 회로를 구현하는 데 사용된다.

④ 항복 전압을 줄이기 위해 불순물 도핑 농도를 크게 한다.

정답 1번

간단한 해설

제너 다이오드도 일반 다이오드처럼 **순방향 전압이 충분히 커지면 전류가 흐른다**. 역방향에서는 항복 전압에 도달한 뒤 전류가 크게 증가하면서 전압이 거의 일정하게 유지된다.

선지별 해설

① X: 제너 다이오드도 PN 접합 소자이므로 순방향 전압을 가하면 접합의 전위 장벽이 낮아지고, 전압이 충분히 커지면 **순방향 전류가 흐른다**. 따라서 '순방향 전압에서는 전류가 흐르지 않는다'는 설명은 잘못이다.

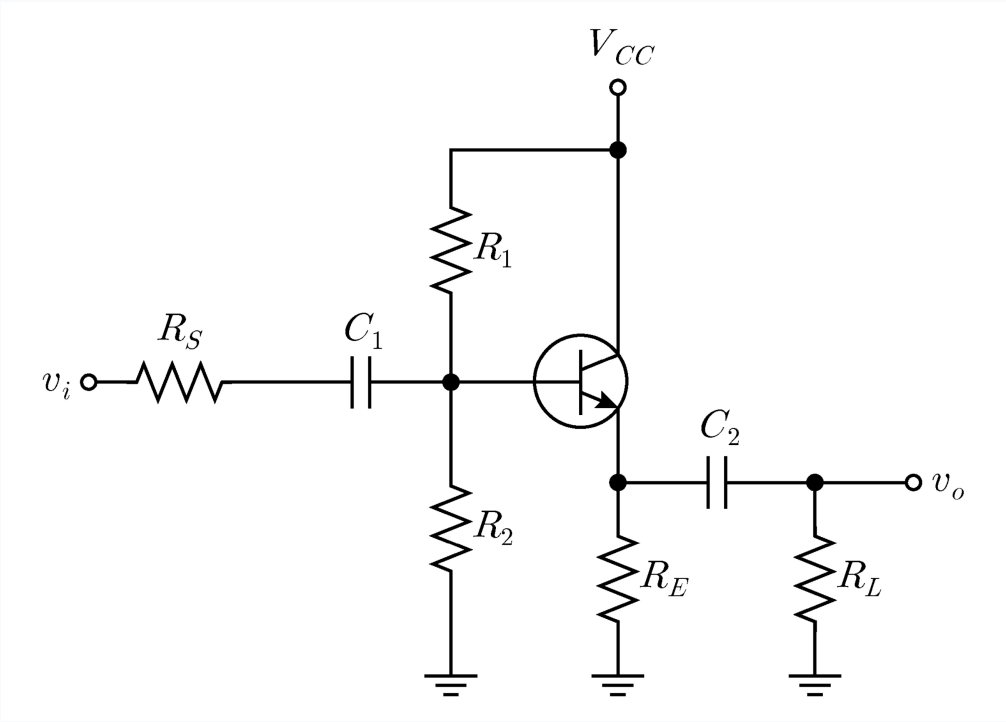
② O: 역방향 전압이 항복 전압에 도달하면 전류가 크게 증가해도 양단 전압의 변화는 작다. 이 영역에서 유지되는 전압이 제너 전압이며, **완전히 일정한 것이 아니라 거의 일정**하다는 점이 중요하다.

③ O: 역방향 항복 영역에서 전압이 거의 일정하게 유지되는 특성을 이용해 전압 조정기 회로를 구성한다. 대표적으로 제너 다이오드를 부하와 병렬로 연결하면 입력 전압이나 부하 전류가 변할 때 제너 전류가 변하여 부하 전압을 안정시킨다. 이때 **제너 전류가 조정 가능한 범위에 있도록** 직렬 저항 등으로 전류를 제한하고 정격 전력을 넘지 않게 해야 한다.

④ O: 불순물 도핑 농도를 높이면 PN 접합의 **공핍층 폭이 좁아져** 같은 역방향 전압에서도 접합 내부의 전기장이 강해진다. 따라서 더 낮은 역방향 전압에서 항복이 일어나도록 만들 수 있다.

NoteBase

문 13. 다음 회로에 대한 설명으로 옳지 않은 것은?



① 입력 임피던스가 매우 작다.

② 전압 이득 $\frac{V_o}{V_i}$는 1보다 작다.

③ 이미터 팔로워(emitter follower) 회로이다.

④ 출력전압 V_o의 위상이 입력전압 V_i의 위상과 같다.

정답 1번

간단한 해설

베이스로 입력하고 이미터에서 출력하는 공통 컬렉터 회로는 **입력 임피던스가 크다**. 작은 베이스 전류로 부하에 필요한 이미터 전류를 제어하므로 입력 신호원에서 끌어오는 전류가 작다.

NoteBase

선지별 해설

그림에서는 컬렉터가 전원에 직접 연결되고, 입력은 베이스로 들어가며 출력은 이미터에서 나온다. 전원은 소신호 해석에서 교류 접지이므로 공통 컬렉터 회로이다. 트랜지스터가 활성 영역에서 동작하고, 결합 커패시터의 리액턴스를 무시할 수 있는 중간 주파수 대역의 소신호 특성을 기준으로 판단한다.

① X: 입력 임피던스는 매우 작은 것이 아니라 **크다**. 베이스 전류는 이미터 전류보다 훨씬 작으므로, 이미터에 연결된 부하를 베이스 쪽에서 보면 큰 임피던스로 보게 된다. 따라서 입력 신호원에 주는 부하가 작다. 실제 전체 입력 임피던스에는 바이어스 저항 R_1, R_2의 병렬 효과도 반영된다.

② O: 이미터 전압은 베이스 전압의 변화를 대부분 따라가지만, 전류를 변화시키려면 베이스-이미터 전압에도 작은 변화가 필요하다. 따라서 베이스에서 이미터까지의 소신호 전압 이득은 **1에 가깝지만 1보다 작다**. 그림의 신호원 저항 R_S에 의한 입력 감쇠까지 포함한 $\frac{v_o}{v_i}$도 1보다 작다.

③ O: 입력을 베이스에 가하고 **출력을 이미터에서 얻으며**, 이미터 전압이 베이스 전압의 변화를 따라가므로 이미터 팔로워라고 한다. 그림의 C_2는 이미터의 교류 신호를 부하 R_L로 전달하고 직류 성분을 차단한다.

④ O: 입력 전압이 증가하면 베이스 전압과 이미터 전류가 증가하고, 이미터 저항에 걸리는 전압도 증가한다. 입력이 감소할 때는 출력도 감소하므로 **위상 반전이 없다**. 따라서 중간 주파수 대역에서 출력전압 v_o는 입력전압 v_i와 같은 위상이다.

NoteBase

문 14. 변조에 대한 설명으로 옳지 않은 것은?

① 변조를 하면 수신 안테나의 길이를 줄일 수 있다.

② 변조를 하면 주파수 분할 다중 통신을 할 수 있다.

③ 변조지수는 정보신호 진폭과 반송파 진폭의 합이다.

④ 변조는 반송파의 진폭, 주파수, 또는 위상 등에 정보 신호를 실어 보내는 것이다.

정답 3번

간단한 해설

변조지수는 정보 신호 진폭과 반송파 진폭의 **합이 아니라 변조의 정도를 나타내는 무차원량**이다. 표준 진폭변조(AM)에서는 정보 신호 진폭을 반송파 진폭으로 나눈 비로 나타낸다.

선지별 해설

① O: 안테나의 길이는 사용하는 전파의 파장과 관련된다. 전파 속도를 c, 주파수를 f라고 하면 파장은 $\lambda = \frac{c}{f}$ 이므로, 저주파 정보 신호를 고주파 반송파에 실으면 파장이 짧아진다. 따라서 같은 형태의 안테나를 사용할 때 **필요한 안테나 길이를 줄일 수 있다**.

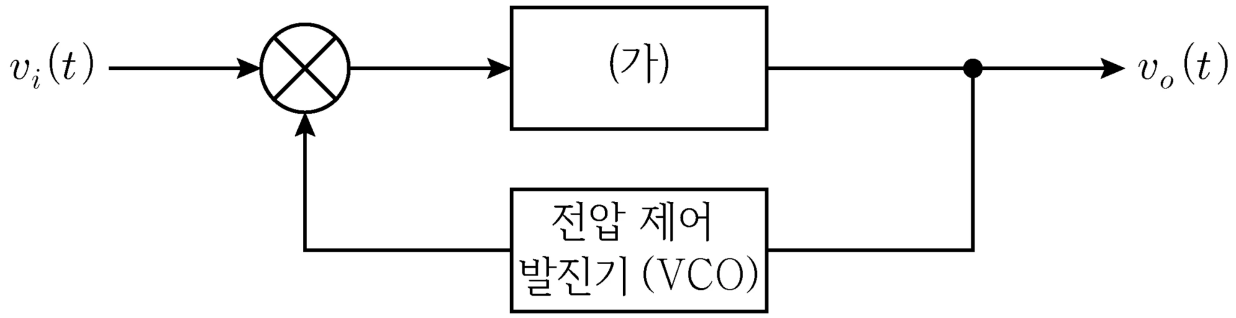
② O: 각 정보 신호를 서로 다른 주파수의 반송파로 변조하면 신호들이 서로 다른 주파수 대역을 차지하게 할 수 있다. 이때 **각 신호의 점유 대역이 겹치지 않도록** 배치하면 하나의 전송로로 여러 신호를 동시에 보내고, 수신 측에서 필터로 원하는 대역을 분리할 수 있다. 이것이 주파수 분할 다중 통신이다.

③ X: 변조지수는 반송파가 정보 신호에 의해 얼마나 변조되는지를 나타내는 무차원량이며, 두 진폭의 합이 아니다. 단일 정현파로 표준 진폭변조(AM)를 할 때 정보 신호의 진폭을 A_m, 반송파의 진폭을 A_c라 하면 변조지수는 $m = \frac{A_m}{A_c}$이다. 즉, **반송파 진폭에 대한 정보 신호 진폭의 비**로 고쳐야 한다. 이 비가 클수록 반송파 진폭에 대한 상대적인 진폭 변화가 커진다.

④ O: 변조는 **정보 신호에 따라 반송파의 특정 성질을 변화**시켜 정보를 전달하는 과정이다. 반송파의 진폭을 변화시키면 진폭변조(AM), 주파수를 변화시키면 주파수변조(FM), 위상을 변화시키면 위상변조(PM)이다.

NoteBase

문 15. 다음 위상동기루프(phase-locked loop)에서 (가)에 알맞은 회로는?



① 대역차단필터
② 저역통과필터
③ 고역통과필터
④ 대역통과필터

정답 2번

간단한 해설

위상검출기 출력에서 VCO 제어에 필요한 것은 **직류 또는 저주파 성분**이다. (가)는 이 성분을 통과시키고 고주파 성분을 줄이는 **저역통과필터**이다.

도식 해설

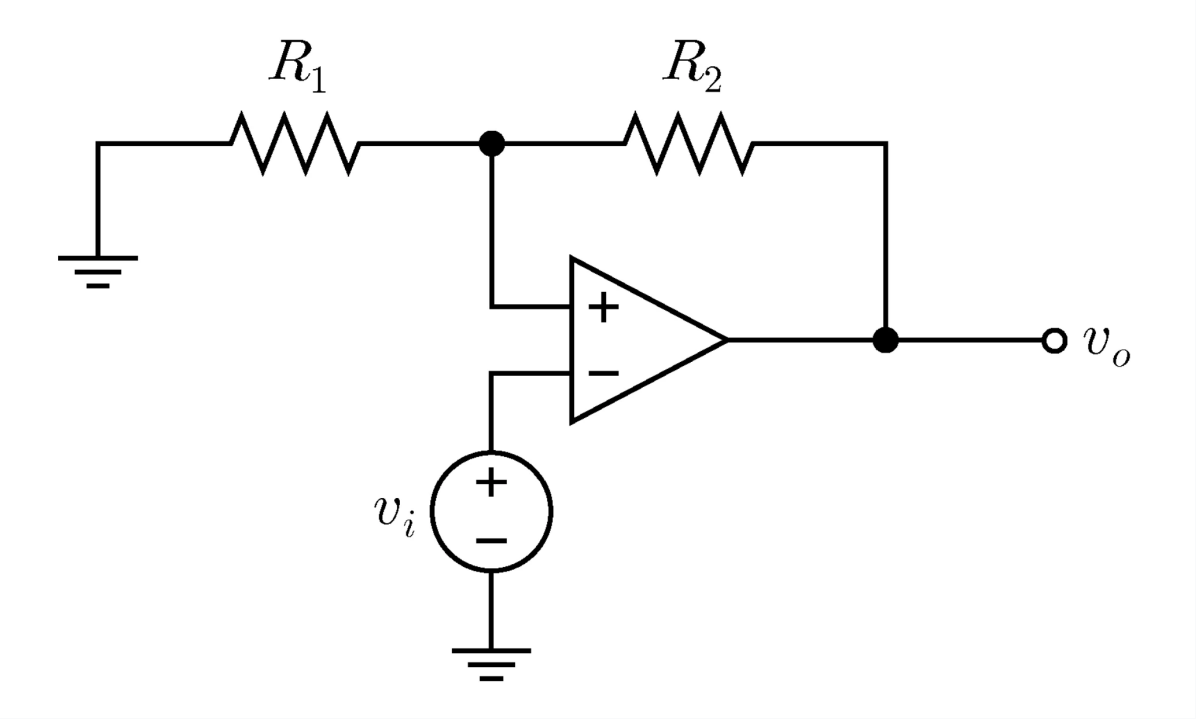
그림에서 (가)는 입력 신호와 전압 제어 발진기(VCO)의 출력 신호를 곱하는 위상검출기 뒤에 있다. (가)의 출력은 오른쪽으로 나가는 동시에 VCO에 제어전압으로 들어가고, VCO의 출력은 다시 위상검출기로 되먹임된다.
따라서 (가)는 검출기 출력을 VCO를 조절할 수 있는 신호로 다듬는 회로이다.

두 신호를 곱하면 두 주파수의 합과 차에 해당하는 성분이 생긴다. 두 신호의 주파수가 가까워지면 차주파수 성분은 저주파가 되고, 주파수가 같아지면 위상 차에 따라 크기가 정해지는 직류 성분이 된다. 반면 합주파수 성분은 고주파이므로, **저주파 제어 성분을 남기고 고주파 성분을 억제**해야 한다. 이 역할을 하는 저역통과필터가 (가)에 들어간다.

고역통과필터는 필요한 직류·저주파 성분을 차단하므로 적합하지 않다. 대역통과필터와 대역차단필터는 각각 특정 주파수 대역을 통과시키거나 차단하는 회로로, 이 위치에서 요구하는 **직류부터 저주파까지 통과시키는 특성**과 구별된다.

NoteBase

문 16. 다음 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



① 단안정 멀티바이브레이터 회로이다.

② 정귀환(positive feedback) 루프를 가진다.

③ 히스테리시스(hysteresis) 특성을 가진다.

④ 귀환율(feedback factor)은 $\frac{R_1}{R_1+R_2}$이다.

정답 1번

간단한 해설

출력의 일부가 비반전(+) 입력으로 되돌아가는 **슈미트 트리거** 회로이다. 두 출력 상태를 유지할 수 있는 **쌍안정 회로**이므로 '단안정 멀티바이브레이터'라는 설명은 맞지 않는다.

NoteBase

선지별 해설

① X: 이 회로는 정귀환을 이용하는 반전형 슈미트 트리거로, **쌍안정 회로**이다. 두 전환 문턱 사이의 입력에서는 이전 상태에 따라 높은 출력이나 낮은 출력을 유지할 수 있다. 단안정 멀티바이브레이터는 안정 상태가 하나이며, 외부 자극으로 다른 상태가 되더라도 일정 시간이 지나면 원래의 안정 상태로 돌아온다는 점에서 다르다.

② O: 출력은 R_2를 거쳐 **비반전(+) 입력으로 귀환**된다. 출력이 증가하면 비반전 입력 전압도 증가하여 출력을 더 증가시키는 방향으로 작용하므로 정귀환 루프이다. 입력 신호 v_i는 반전(−) 입력에 연결되어 있다.

③ O: 비반전 입력의 기준 전압은 출력 상태에 따라 달라진다. 입력 전압이 상승할 때는 높은 출력 상태에서 정해지는 문턱을 넘으면 출력이 낮아지고, 하강할 때는 낮은 출력 상태에서 정해지는 문턱보다 낮아지면 출력이 높아진다. 이처럼 **상승 시와 하강 시의 전환 문턱이 서로 다른** 특성이 히스테리시스이다. 두 문턱 사이에서는 같은 입력 전압이어도 이전 출력 상태에 따라 출력이 달라질 수 있다.

④ O: 이상적 연산증폭기의 입력 전류는 0이므로, R_2와 R_1은 출력과 접지 사이의 전압 분배기를 이룬다. 비반전 입력 전압 v_+는 **접지 쪽 저항에 걸리는 전압**이므로 $v_+ = \frac{R_1}{R_1+R_2} v_o$이다. 따라서 출력 중 귀환되는 비율은 $\beta = \frac{v_+}{v_o} = \frac{R_1}{R_1+R_2}$이다.

NoteBase

문 17. 데이터 통신에서 디지털 신호의 보드율(baud rate)에 대한 설명으로 옳은 것은?

① 신호의 반송파 주파수

② 신호의 비트 오류율

③ 신호의 초당 비트 수

④ 신호의 초당 심벌(symbol) 수

정답 4번

간단한 해설

보드율은 디지털 신호가 1초 동안 전송하는 **심벌 수**이다. 심벌 하나에 여러 비트를 담을 수 있으므로 초당 비트 수인 비트율과 구별한다.

개념 구분

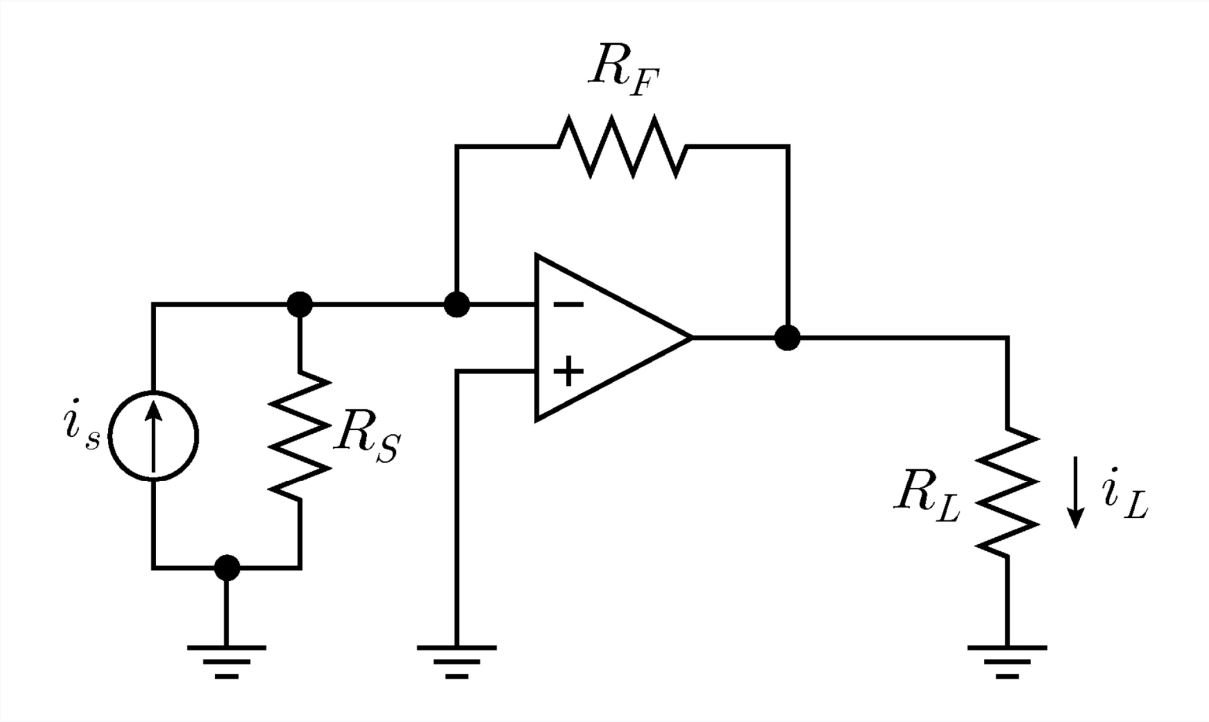
보드율(baud rate): 심벌은 데이터를 표현하는 하나의 신호 단위이며, 보드율은 **1초 동안 전송되는 심벌의 수**를 뜻한다. 단위는 baud이고, 1000 baud는 초당 1000개의 심벌을 전송한다는 의미이다. 이는 ④의 '신호의 초당 심벌(symbol) 수'에 해당한다.

비트율과의 구분: ③의 초당 비트 수는 비트율이며 단위는 bit/s 또는 bps이다. **심벌 하나가 몇 비트를 나타내는지**에 따라 같은 보드율에서도 비트율이 달라진다. 예를 들어 심벌 하나가 2비트를 나타내고 초당 1000개의 심벌을 전송한다면 비트율은 $1000 \times 2 = 2000$ bit/s이다. 심벌 하나가 1비트를 나타낼 때에는 두 전송률의 수치가 같다.

다른 지표와의 구분: ①의 반송파 주파수는 데이터를 실어 보내는 반송파가 1초 동안 진동하는 횟수로, 단위는 Hz이다. ②의 비트 오류율은 전체 전송 비트 중 오류가 발생한 비트의 비율이다. 이들은 각각 반송파의 진동과 전송 오류를 나타내므로, 초당 전송 심벌 수를 나타내는 보드율과 다르다.

NoteBase

문 18. 다음 회로의 전류 이득 $\frac{i_L}{i_s}$은? (단, 연산증폭기는 이상적이다)



① $\frac{R_F}{R_L}$
② $\frac{R_F}{R_S}$
③ $-\frac{R_F}{R_L}$
④ $-\frac{R_F}{R_S}$

정답 3번

간단한 해설

이상적 연산증폭기의 음귀환으로 반전 입력은 **가상 접지**가 되어, 입력 전류가 모두 피드백 저항을 통해 흐른다. 출력 전압은 입력 전류와 부호가 반대이므로 전류 이득은 $-\frac{R_F}{R_L}$이다.

NoteBase

공통 해설

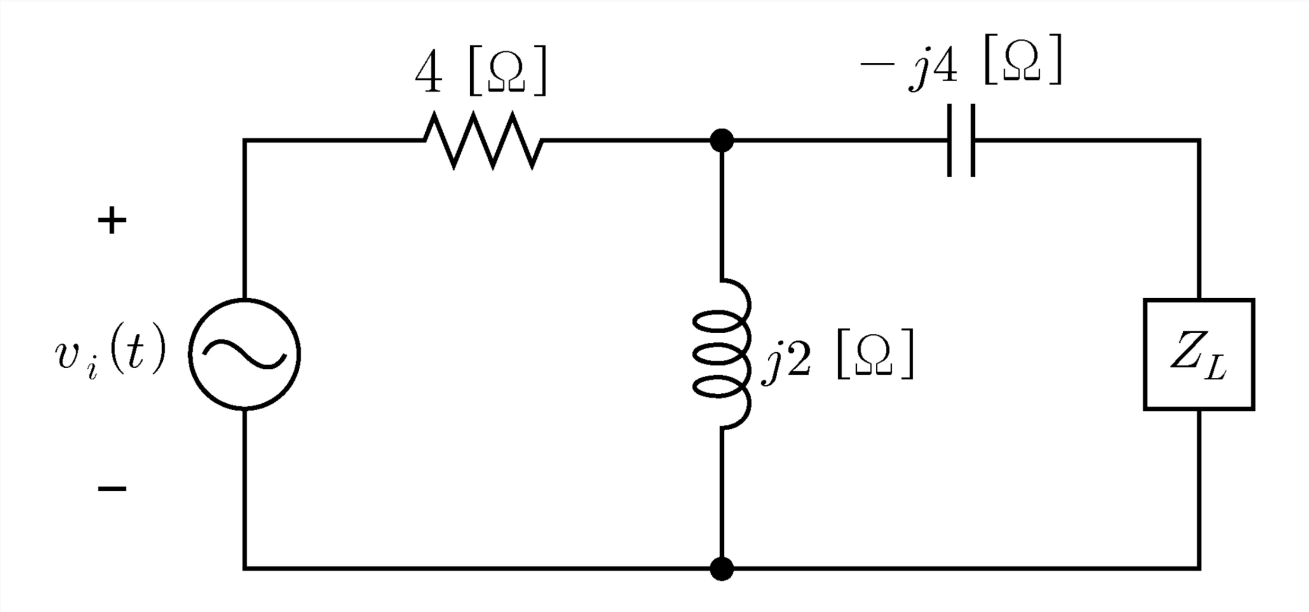
이 회로는 입력 전류를 출력 전압으로 바꾸는 반전형 전류–전압 변환 회로이다. 이상적 연산증폭기에 음귀환이 걸리면 두 입력 단자의 전위가 같고 입력 단자로 들어가는 전류는 0이다. 비반전 입력이 접지되어 있으므로 반전 입력도 0 V인 가상 접지가 된다. 따라서 R_S의 양단 전압은 0 V이고, R_S**에는 전류가 흐르지 않는다**.

전류원에서 반전 입력 쪽으로 공급된 i_s는 모두 R_F를 거쳐 출력 쪽으로 흐른다. 출력 전압을 접지 기준 v_o라 하면, R_F의 왼쪽 전위가 0 V이므로 $i_s = \frac{0 - v_o}{R_F}$이다. 즉 $v_o = -i_s R_F$이며, 양의 입력 전류에 대해 출력 전압은 음수가 된다.

그림의 i_L은 출력에서 접지로 향하는 아래쪽을 기준으로 하므로 $i_L = \frac{v_o}{R_L}$이다. 이 회로의 공통 전류 이득 관계는 $\frac{i_L}{i_s} = -\frac{R_F}{R_L}$이다. 분모에는 입력 쪽 병렬 저항이 아니라 **출력 전압이 걸리는 부하 저항**이 들어간다. 음의 부호는 양의 입력 전류에 대해 실제 부하 전류가 그림의 아래쪽 화살표와 반대 방향임을 뜻한다.

NoteBase

문 19. 다음 회로에서 부하 Z_L에 최대 평균 전력을 전달하기 위한 Z_L의 임피던스[Ω]는?



① $4 + j2$

② $4 - j2$

③ $0.8 + j2.4$

④ $0.8 - j2.4$

정답 3번

간단한 해설

최대 평균 전력 전달 조건은 부하 임피던스가 전원 측 테브난 임피던스의 **켤레복소수**가 되는 것이다. 부하에서 본 임피던스가 $0.8 - j2.4\ \Omega$이므로, $Z_L = 0.8 + j2.4\ \Omega$으로 맞춘다.

NoteBase

계산 과정

1. 부하에서 본 회로: 부하 Z_L을 분리하고 **독립 전압원을 단락**하여 테브난 임피던스 Z_{Th}를 구한다. 그러면 4 Ω 저항과 $j2\ \Omega$ 인덕터가 같은 두 노드 사이에 연결되어 병렬이 되고, 이 병렬회로에 $-j4\ \Omega$ 커패시터가 직렬로 연결된다.

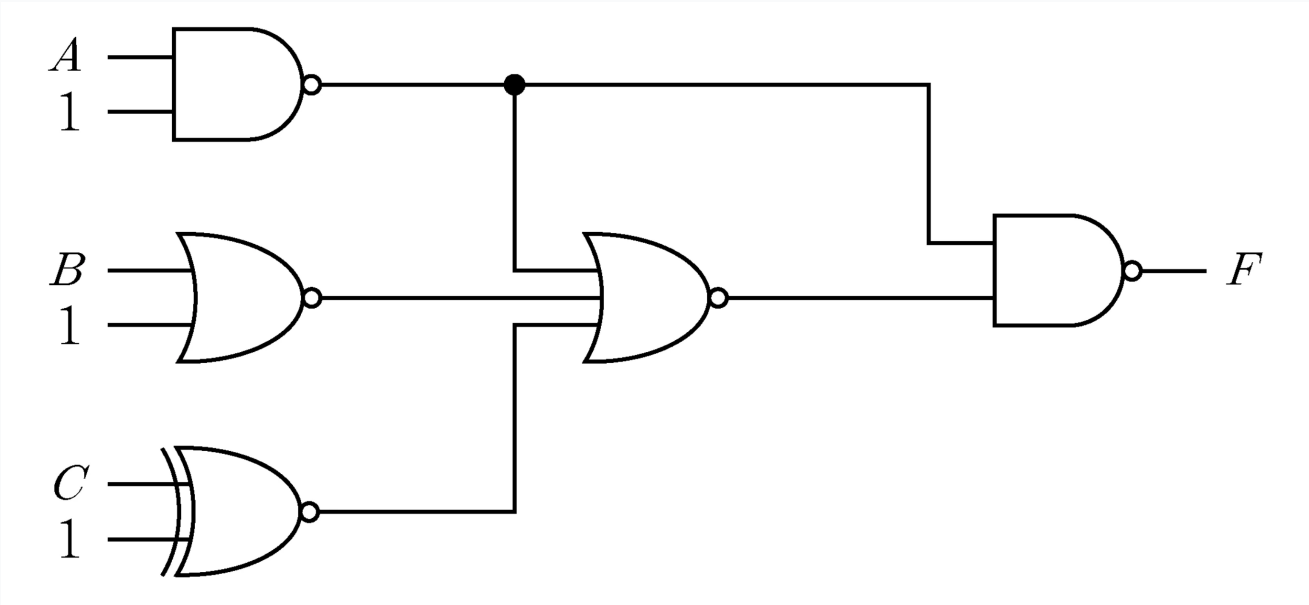
2. 병렬 부분의 합성: 병렬 임피던스는 두 임피던스의 곱을 합으로 나누어 구한다. 따라서 $Z_p = \frac{4 \cdot j2}{4 + j2} = \frac{16 + j32}{20} = 0.8 + j1.6\ \Omega$이다. 여기서 0.8 Ω은 병렬 부분의 등가 저항, $j1.6\ \Omega$은 등가 유도성 리액턴스이다.

3. 테브난 임피던스: 직렬인 커패시터의 임피던스를 더하면 $Z_{\text{Th}} = Z_p - j4 = 0.8 - j2.4\ \Omega$이다. 부하에서 본 전원 측 회로의 등가 저항은 0.8 Ω, 리액턴스는 −2.4 Ω이다.

4. 최대 평균 전력 조건: 부하의 저항과 리액턴스를 모두 조절할 수 있는 교류 회로에서는 **부하 저항을 테브난 저항과 같게 하고 리액턴스는 서로 상쇄**해야 한다. 즉 $Z_L = Z_{\text{Th}}^{*}$이므로 $Z_L = 0.8 + j2.4\ \Omega$이며, 이는 ③의 값과 같다.

NoteBase

문 20. 다음 논리 회로에서 출력 F의 논리식은?



① 0

② 1

③ $\overline{C}$

④ $\overline{AB}$

정답 2번

간단한 해설

마지막 NAND 게이트에는 $\overline{A}$와 $A\overline{C}$가 입력되므로 **두 입력이 동시에 1이 될 수 없다.** 따라서 입력값과 관계없이 출력은 $F = 1$이다.

NoteBase

계산 과정

논리값은 0 또는 1이며, +는 OR, ·는 AND, 윗줄은 NOT을 뜻한다. 출력 쪽의 작은 원은 반전을 나타내므로, 그림의 AND 모양 게이트는 NAND, OR 모양 게이트는 NOR이다. 왼쪽 아래처럼 입력 쪽에 곡선이 하나 더 있는 게이트는 XOR 모양이며, 출력 반전까지 있으므로 XNOR이다.

왼쪽 위: 입력이 A와 1인 NAND의 출력을 X라 두면 $X = \overline{A \cdot 1} = \overline{A}$이다. 이 신호는 접속점에서 갈라져 가운데 NOR와 마지막 NAND에 함께 전달된다.

왼쪽 가운데: 입력이 B와 1인 NOR의 출력을 Y라 두면 $Y = \overline{B + 1} = 0$이다. OR는 **어느 한 입력이 1이면 출력이 1**이므로, 이를 반전한 출력은 B와 관계없이 0이다.

왼쪽 아래: 입력이 C와 1인 XNOR의 출력을 Z라 두면 $Z = \overline{C \oplus 1} = C$이다. XNOR는 두 입력이 같으면 1, 다르면 0이므로, 다른 입력을 1로 고정하면 출력이 C를 그대로 따른다.

가운데: 세 입력 NOR의 출력을 T라 두면 $T = \overline{X + Y + Z}$이다. 앞의 결과를 대입하고 드모르간 법칙을 적용하면 $T = \overline{\overline{A} + C} = A\overline{C}$가 된다. 즉, 이 신호가 1이 되려면 **A가 1이고 C가 0**이어야 한다.

마지막: NAND의 두 입력은 $X = \overline{A}$와 $T = A\overline{C}$이다. 두 입력의 AND는 $X \cdot T = \overline{A} \cdot A\overline{C} = 0$이며, 이는 $\overline{A} \cdot A = 0$이기 때문이다. NAND는 이 값을 반전하므로 $F = \overline{0} = 1$이다. 따라서 출력은 항상 논리값 1이며 ②의 식과 일치한다.