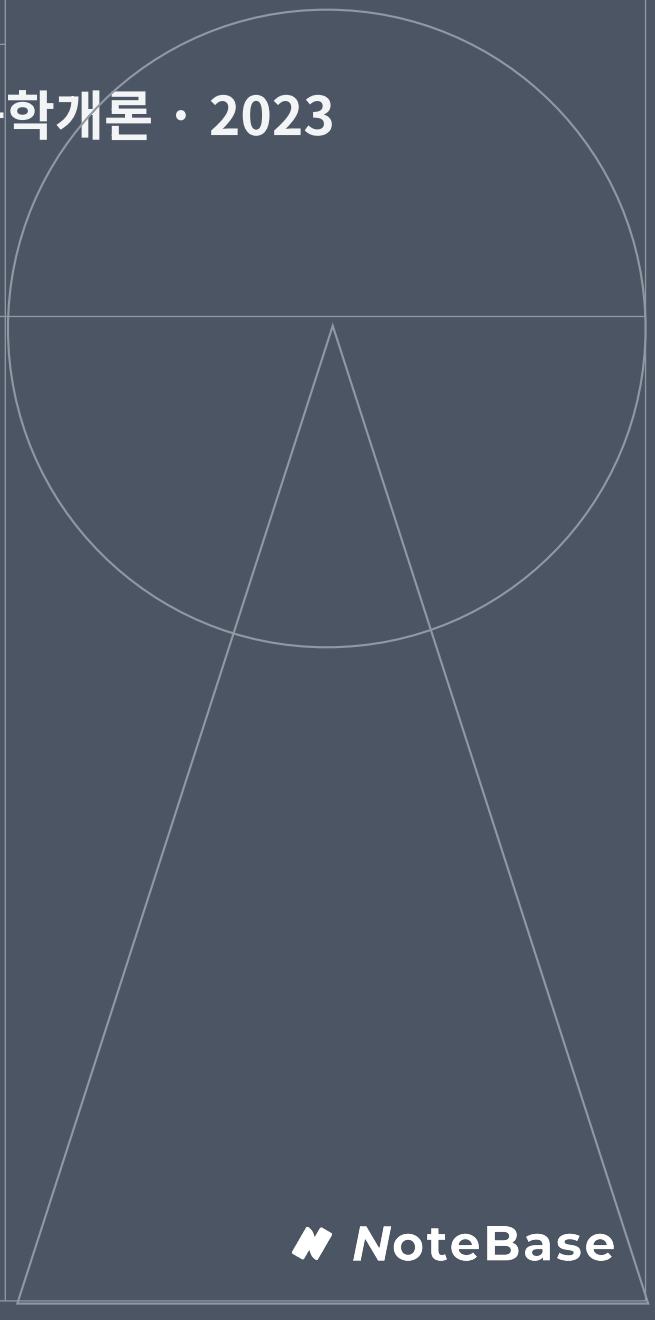
# 기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2023



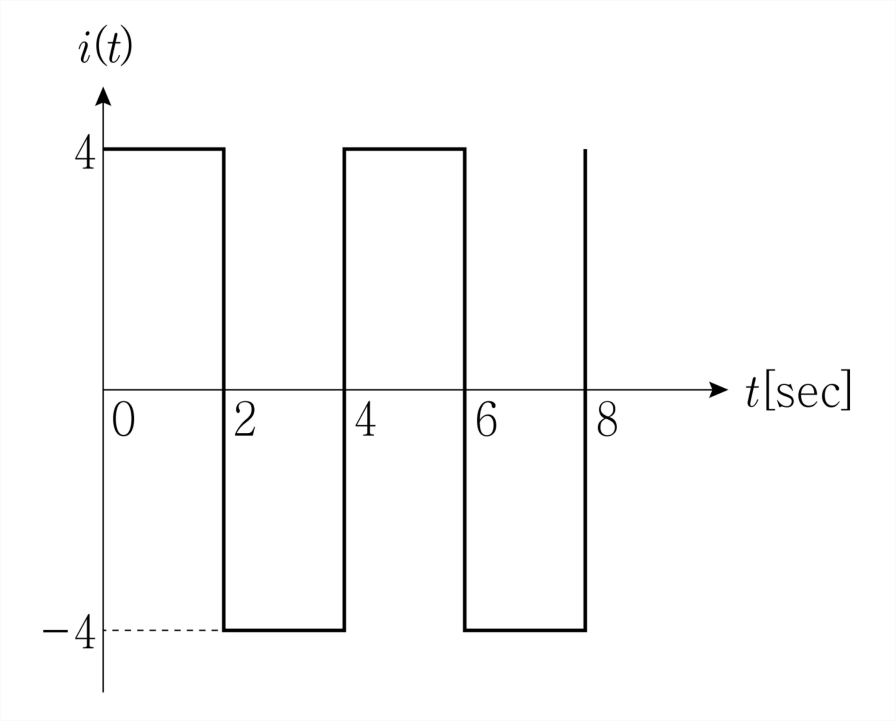
NoteBase

# 기출OX 해설집

## 공무원/지방직/9급 · 전자공학개론 · 2023

공무원/지방직/9급 · 전자공학개론 · 2023

**문 1. 다음 주기적인 전류파형 $i(t)$의 실횻값[A]과 4[Ω]의 저항에서 소모되는 평균전력[W]은?**




① 실횻값: 4, 평균전력: 64

② 실횻값: 4, 평균전력: 128

③ 실횻값: 8, 평균전력: 64

④ 실횻값: 8, 평균전력: 256

**정답 1번**

**간단한 해설**

전류의 방향이 바뀌어도 **전류를 제곱한 값은 일정**하므로 실횻값은 4 A이다. 저항의 평균전력은 실횻값의 제곱에 저항을 곱한 64 W이다.

NoteBase

**계산 과정**

파형의 조건: 0~2초에는 +4 A, 2~4초에는 −4 A가 흐르고 같은 모양이 반복되므로 주기 T는 4초이다. 양·음 구간에서 모두 전류의 크기가 4 A이므로 전류를 제곱하면 두 구간 모두 16 $A^2$이다.

실횻값: 시간에 따라 변하는 전류와 저항에서 같은 평균전력을 내는 직류 전류의 크기이다. 저항의 순간전력은 $p(t) = Ri^2(t)$이므로, 실횻값은 **한 주기 동안 전류 제곱을 평균한 뒤 제곱근**을 취해 구한다. 각 구간의 전류 제곱에 지속시간을 곱하고 전체 주기 4초로 나누면 $\overline{i^2} = \frac{16 \cdot 2 + 16 \cdot 2}{4} = 16\text{A}^2$이다. 따라서 $I_{\text{rms}} = \sqrt{\overline{i^2}} = 4\text{A}$이다.

평균전력: 저항 R이 4 Ω으로 일정하므로 **전류 제곱의 평균에 저항을 곱한다**. 즉 $P = RI_{\text{rms}}^2$이며, 수치를 대입하면 $P = 4 \cdot 4^2 = 64\text{W}$이다.

실횻값 4 A, 평균전력 64 W이므로 ①에 해당한다.

NoteBase

**문 2. n채널 공핍형 MOSFET에 대한 설명으로 옳지 않은 것은?**

① 게이트와 소스 사이의 $V_{GS}$ 전압이 양의 방향으로 증가하면 드레인 전류 $I_D$는 증가한다.

② $V_{GS}$ 전압이 음의 값으로 낮아지면 드레인 전류는 줄어들게 되고 특정 전압에서 흐르지 않게 된다.

③ $V_{GS} > 0$인 영역을 공핍영역(depletion region)이라고 한다.

④ 증가영역(enhancement region)과 공핍영역에서는 같은 드레인 전류 $I_D$ 방정식이 적용된다.

**정답 3번**

**간단한 해설**

n채널 공핍형 MOSFET에서 $V_{GS} > 0$이면 채널의 전자가 늘어나므로 **증가영역(enhancement region)**에 해당한다. 공핍 동작은 음의 게이트 전압으로 채널의 전자를 줄이는 동작이다.

**선지별 해설**

① O: n채널 공핍형 MOSFET에는 $V_{GS} = 0$에서도 전류가 흐를 수 있는 채널이 이미 형성되어 있다. 같은 양의 드레인−소스 전압에서 게이트 전압을 양의 방향으로 높이면 **채널의 전자 수가 증가**하여 전류가 더 잘 흐르므로 드레인 전류 $I_D$가 증가한다.

② O: 게이트 전압을 음의 방향으로 낮추면 전자가 게이트 아래의 채널에서 밀려나 채널의 전도성이 낮아지고 드레인 전류가 감소한다. 충분히 낮은 음의 **차단전압**에 도달하면 채널이 차단되어 이상적으로 드레인 전류가 흐르지 않는다.

③ X: $V_{GS} > 0$인 영역은 전자가 더 모여 채널의 전도성이 높아지는 **증가영역**이다. 공핍영역은 $V_{GS} < 0$에서 채널의 전자가 줄어드는 동작 영역을 말한다. 소자가 공핍형이라는 명칭과 실제로 공핍 동작을 하는 전압 영역을 구별해야 한다.

④ O: 공핍 동작과 증가 동작은 게이트 전압에 따라 채널의 전자가 줄어드는지 늘어나는지를 구분한 것이다. 두 동작 모두 **차단되지 않고 포화영역에서 동작할 때**에는 채널 길이 변조를 무시한 같은 전류식 $I_D = K(V_{GS} - V_T)^2$을 적용할 수 있다. 여기서 $K$는 양의 소자 상수이고, $V_T < 0$는 n채널 공핍형 MOSFET의 문턱전압이다. 이 식의 적용 조건은 $V_{GS} > V_T$이고 $V_{DS} \geq V_{GS} - V_T$인 경우이며, $V_{DS}$는 드레인−소스 전압이다. 따라서 게이트 전압이 음수에서 양수로 바뀌어도 이 조건을 만족하면 전류식의 형태는 바뀌지 않는다.

NoteBase

**문 3. 논리회로에서 사용되는 수 체계에 대한 설명으로 옳지 않은 것은?**

① 디지털 컴퓨터에서는 2진수의 뺄셈 연산에 대부분 보수(complement)를 사용한다.

② 2진법은 소수(小數)를 표현할 수 없다.

③ 16진법은 0에서 9까지의 숫자와 여섯 개의 문자(A⊠F)를 사용하여 숫자를 표현한다.

④ 그레이(Gray) 코드를 사용할 경우 연속되는 두 숫자는 한 비트만 다르다.

**정답 2번**

**간단한 해설**

2진법도 **소수점 아래의 자릿값**을 이용해 소수를 표현할 수 있다. 예를 들어 2진수 0.1은 10진수 0.5이다.

**선지별 해설**

① O: 디지털 컴퓨터에서는 **보수를 더하는 방식**으로 뺄셈을 처리한다. 대표적으로 빼는 수의 각 비트를 반전한 뒤 1을 더한 2의 보수를 이용한다. 이를 원래 수에 더하고 정해진 비트 수를 넘는 자리올림을 버리면, 덧셈 회로로 뺄셈을 수행할 수 있다.

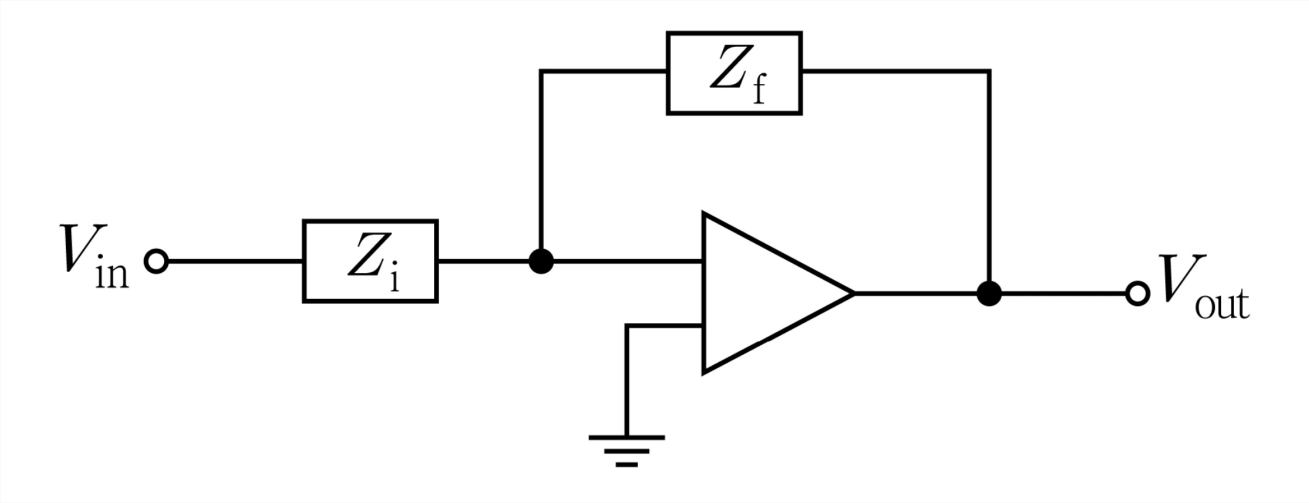
② X: 2진법은 **소수도 표현할 수 있다**. 소수점 아래 첫째 자리의 자릿값은 $2^{-1}$, 둘째 자리는 $2^{-2}$처럼 오른쪽으로 갈 때마다 절반이 된다. 예를 들어 $(0.1)_2 = \frac{1}{2} = 0.5$이므로, '소수를 표현할 수 없다'는 설명은 잘못이다.

③ O: 16진법은 한 자리에 16가지 값을 나타내야 하므로 **0~9와 A~F**를 사용한다. A, B, C, D, E, F는 각각 10진수의 10, 11, 12, 13, 14, 15에 대응한다.

④ O: 그레이 코드는 연속된 수에 대응하는 코드 사이에서 **한 비트만 달라지도록** 구성한 코드이다. 예를 들어 2비트 그레이 코드는 00 → 01 → 11 → 10 순서이며, 이웃한 두 코드마다 바뀌는 비트가 하나뿐이다.

NoteBase

**문 4. 다음 연산증폭기 회로에서 저항 $R$과 커패시터 $C$를 각각 하나씩 사용하여 미분기와 적분기를 구현하려 할 때, $Z_i$에 사용될 소자와 증폭기 종류는? (단, 연산증폭기는 이상적이다)**




① 미분기($Z_i$): C, 적분기($Z_i$): R, 증폭기: 반전

② 미분기($Z_i$): R, 적분기($Z_i$): C, 증폭기: 반전

③ 미분기($Z_i$): C, 적분기($Z_i$): R, 증폭기: 비반전

④ 미분기($Z_i$): R, 적분기($Z_i$): C, 증폭기: 비반전

**정답 1번**

**간단한 해설**

미분기는 **입력에 C, 피드백에 R**을 두어 입력 전압의 변화율을 출력으로 만든다. 적분기는 두 소자의 위치를 바꾸며, 두 회로 모두 음귀환을 사용하는 **반전 구성**이다.

NoteBase

**구성 요소별 해설**

이상적인 연산증폭기가 음귀환으로 동작하면 입력 단자에 전류가 흐르지 않고 두 입력 단자의 전압이 같아진다. 그림에서 한 입력 단자가 접지되어 있으므로, $Z_i$와 $Z_f$가 만나는 접점도 0 V인 가상접지가 된다. 따라서 입력 소자를 흐른 전류가 그대로 피드백 소자를 흐르며, 입출력 관계는 $\frac{V_{out}}{V_{in}} = -\frac{Z_f}{Z_i}$이다.

미분기의 입력 소자: $Z_i$에는 **커패시터 C**를, $Z_f$에는 저항 R을 둔다. 커패시터 전류는 양단 전압의 변화율에 비례하므로 $i = C\frac{dV_{in}}{dt}$이다. 이 전류가 피드백 저항을 흐르면 $V_{out} = -Ri$이므로, $V_{out} = -RC\frac{dV_{in}}{dt}$가 된다. 즉, 입력 전압의 변화율에 비례하는 출력을 얻는다.

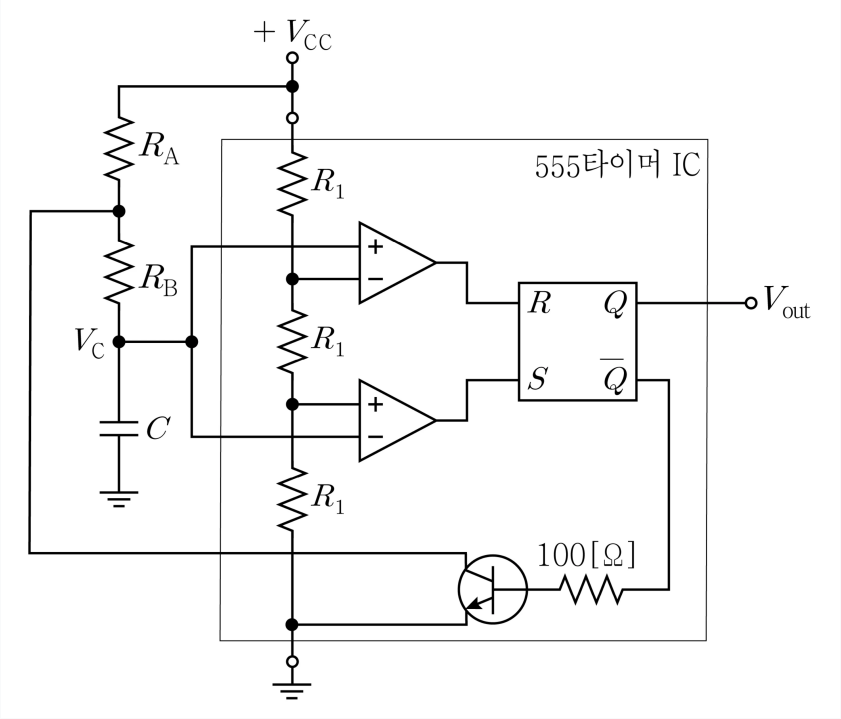
적분기의 입력 소자: $Z_i$에는 **저항 R**을, $Z_f$에는 커패시터 C를 둔다. 입력 전류는 $i = \frac{V_{in}}{R}$이며, 이 전류가 피드백 커패시터를 충전한다. 가상접지와 출력 사이의 커패시터 전압을 고려하면 $i = -C\frac{dV_{out}}{dt}$이므로, $\frac{dV_{out}}{dt} = -\frac{V_{in}}{RC}$이다. 초기 출력이 0이면 $V_{out}(t) = -\frac{1}{RC}\int_0^t V_{in}(\tau)d\tau$가 되어 입력 전압을 시간에 대해 적분한 출력이 나온다.

증폭기 종류: 두 회로 모두 **반전 증폭기 구성**이다. 미분·적분 연산을 하려면 음귀환이 필요하므로, 입력 소자와 피드백 소자가 만나는 단자를 반전 입력으로 하고 접지된 단자를 비반전 입력으로 한다. 입력이 비반전 단자로 들어가는 구성과 구별되며, 앞의 미분·적분 관계에 붙는 음의 부호도 이 반전 구성에서 나온다.

따라서 미분기의 $Z_i$는 C, 적분기의 $Z_i$는 R이고 증폭기는 반전 구성이므로 ①의 조합과 일치한다.

NoteBase

**문 5. 다음 555타이머 IC를 활용한 구형파 발생 회로가 정상동작할 때, 이에 대한 설명으로 옳지 않은 것은?**




① 비안정(astable) 모드로 동작한다.

② 출력되는 구형파의 ON($V_{out} = V_{CC}$) 시간은 $R_A$, $R_B$, $C$가 결정한다.

③ 출력되는 구형파의 OFF($V_{out} = 0$) 시간은 $R_B$, $C$가 결정한다.

④ 출력되는 구형파의 듀티사이클(duty cycle)은 50%보다 작다.

**정답 4번**

**간단한 해설**

커패시터는 충전할 때 두 저항 $R_A$, $R_B$를 모두 거치고, 방전할 때는 $R_B$만 거친다. 따라서 **ON 시간이 OFF 시간보다 길어** 듀티사이클은 **50%보다 크다**.

NoteBase

**선지별 해설**

그림의 같은 값인 세 저항 $R_1$은 전원전압을 나누어 $\frac{1}{3}V_{CC}$와 $\frac{2}{3}V_{CC}$의 기준전압을 만든다. 커패시터 전압 $V_C$가 이 두 기준 사이를 오르내리면서 비교기와 RS 플립플롭이 출력 및 방전용 트랜지스터의 상태를 전환한다. 아래 시간식은 정상 발진 중 트랜지스터를 이상적인 스위치로 보는 식이다.

① O: 커패시터 전압이 $\frac{2}{3}V_{CC}$까지 올라가면 출력이 낮아지고 방전이 시작된다. 전압이 $\frac{1}{3}V_{CC}$까지 내려가면 출력이 높아지고 다시 충전된다. 외부에서 매번 트리거를 주지 않아도 **충전과 방전을 스스로 반복**하므로 비안정 모드이다.

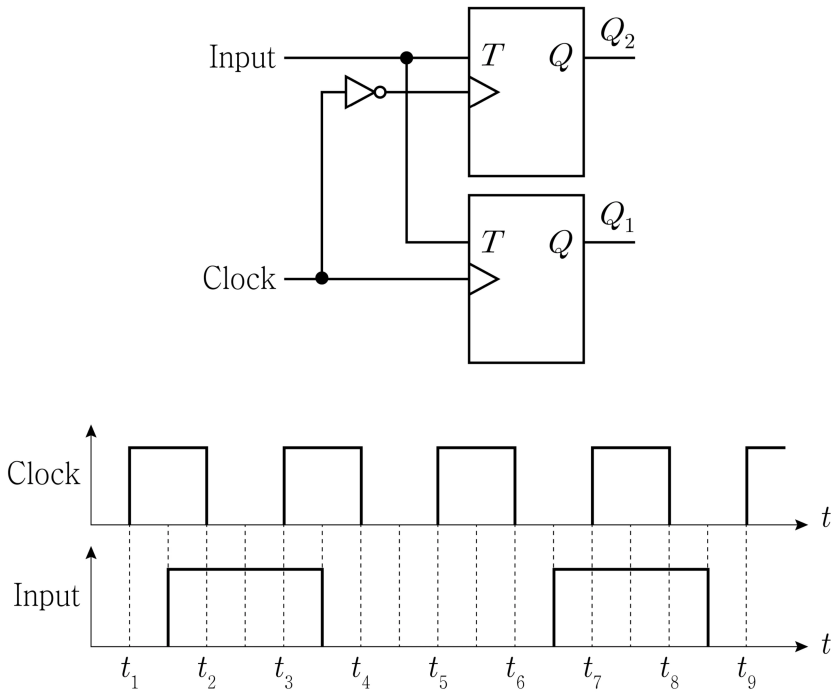
② O: 출력이 높은 ON 구간에는 방전용 트랜지스터가 꺼져 있다. 커패시터는 전원에서 **두 저항을 직렬로 거쳐 충전**되므로 충전 시정수는 $(R_A + R_B)C$이다. 커패시터 전압이 $\frac{1}{3}V_{CC}$에서 $\frac{2}{3}V_{CC}$로 상승하는 시간은 $t_{ON} \approx 0.693(R_A + R_B)C$이므로 세 소자가 ON 시간을 결정한다.

③ O: 출력이 낮은 OFF 구간에는 방전용 트랜지스터가 켜져 두 저항의 접점을 접지 쪽으로 연결한다. 커패시터는 $R_B$**와 트랜지스터를 통해 방전**되므로 방전 시정수는 $R_BC$이다. 커패시터 전압이 $\frac{2}{3}V_{CC}$에서 $\frac{1}{3}V_{CC}$로 내려가는 시간은 $t_{OFF} \approx 0.693R_BC$이며, $R_A$는 이 방전 경로에 포함되지 않는다.

④ X: 듀티사이클은 한 주기 중 출력이 높은 시간의 비율이다. 이 회로에서는 $D = \frac{t_{ON}}{t_{ON} + t_{OFF}} = \frac{R_A + R_B}{R_A + 2R_B}$이다. 두 저항이 양수이면 분자가 분모의 절반보다 크므로 $D > \frac{1}{2}$이다. 따라서 듀티사이클은 50%보다 작다는 설명을 **50%보다 크다**로 고쳐야 한다.

NoteBase

**문 6. 다음 $T$ 플립플롭 회로에서 입력신호 Clock, Input이 인가되었을 때, 구간 $(t_2 \sim t_3)$와 $(t_7 \sim t_8)$에서 출력 $Q_1$, $Q_2$는? (단, 출력 $Q_1$, $Q_2$는 0으로 초기화되어 있고, 게이트에서 전파지연은 없다고 가정한다)**




① $(t_2 \sim t_3)\ Q_1$: 0, $(t_2 \sim t_3)\ Q_2$: 1, $(t_7 \sim t_8)\ Q_1$: 0, $(t_7 \sim t_8)\ Q_2$: 1

② $(t_2 \sim t_3)\ Q_1$: 1, $(t_2 \sim t_3)\ Q_2$: 0, $(t_7 \sim t_8)\ Q_1$: 1, $(t_7 \sim t_8)\ Q_2$: 1

③ $(t_2 \sim t_3)\ Q_1$: 0, $(t_2 \sim t_3)\ Q_2$: 1, $(t_7 \sim t_8)\ Q_1$: 0, $(t_7 \sim t_8)\ Q_2$: 0

④ $(t_2 \sim t_3)\ Q_1$: 1, $(t_2 \sim t_3)\ Q_2$: 1, $(t_7 \sim t_8)\ Q_1$: 1, $(t_7 \sim t_8)\ Q_2$: 0

**정답 1번**

**간단한 해설**

두 출력은 **Input이 1인 유효 클록 에지에서만 반전**된다. $Q_1$은 원래 Clock의 상승 에지에서, $Q_2$는 하강 에지에서 동작하므로, 두 구간 모두 $Q_1 = 0, Q_2 = 1$이다.

NoteBase

**공통 해설**

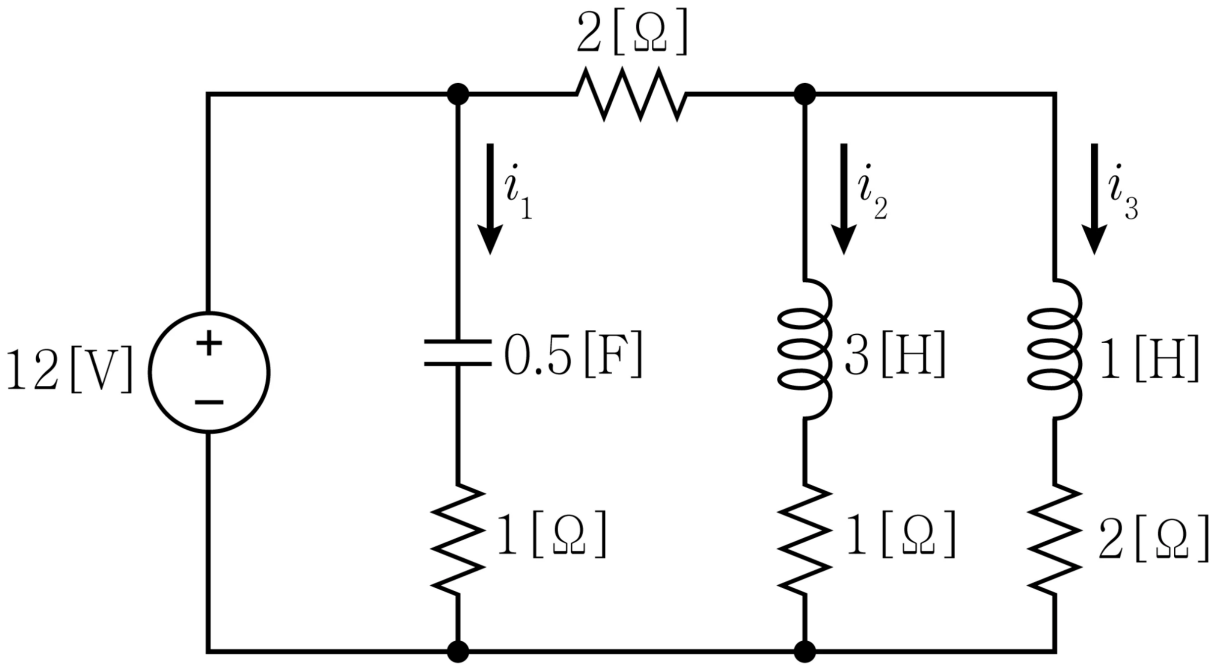
T 플립플롭은 유효 클록 에지에서 T가 0이면 현재 출력을 유지하고, T가 1이면 출력을 0에서 1로 또는 1에서 0으로 반전한다. 이 회로에서는 두 T 입력에 같은 Input이 연결되어 있다. 아래쪽 플립플롭은 Clock을 직접 받으므로 $Q_1$은 상승 에지에서 동작한다. 위쪽 플립플롭은 반전된 Clock을 받으므로 $Q_2$는 **원래 Clock의 하강 에지**에서 동작한다. 두 출력은 모두 0에서 시작하며, 전파지연은 없다고 주어졌다.

$t_1$에서는 Clock이 상승하지만 Input이 0이므로 $Q_1$은 0을 유지한다. $t_2$에서는 Clock이 하강하고 Input이 1이므로 $Q_2$가 0에서 1로 반전한다. 따라서 $t_2 \sim t_3$ 구간의 출력은 $Q_1 = 0, Q_2 = 1$이다.

$t_3$에서는 Input이 1인 상태로 Clock이 상승하므로 $Q_1$이 0에서 1로 반전한다. $t_4$, $t_5$, $t_6$의 클록 에지에서는 Input이 0이므로 각 출력은 유지된다. $t_7$에서는 Input이 다시 1인 상태로 Clock이 상승하여 $Q_1$이 1에서 0으로 반전한다. $Q_2$는 다음 하강 에지인 $t_8$에서야 반전하므로, $t_7 \sim t_8$ 구간에서도 $Q_1 = 0, Q_2 = 1$이다.

NoteBase

**문 7. 다음 회로가 정상상태(steady state)일 때, 전류 $i_2$ [A]는?**




① 0

② 3

③ 6

④ 12

**정답 2번**

**간단한 해설**

직류 정상상태에서는 **커패시터는 개방, 인덕터는 단락**으로 취급한다. 오른쪽 두 저항의 병렬회로에 걸리는 전압은 3 V이므로, 1 Ω 저항이 있는 가지의 전류 $i_2$는 3 A이다.

NoteBase

**계산 과정**

1. 정상상태의 등가회로: 12 V 직류 전원에서 충분한 시간이 지나면 커패시터 전압과 인덕터 전류가 일정해진다. 따라서 $i_C = C\frac{dv_C}{dt} = 0$, $v_L = L\frac{di_L}{dt} = 0$이므로, 이상적인 **커패시터는 개방회로, 인덕터는 단락회로**로 바꾼다. 왼쪽의 0.5 F 커패시터와 1 Ω 저항을 지나는 전류는 0이고, 오른쪽에는 1 Ω과 2 Ω 저항이 병렬로 남는다.

2. 합성저항: 오른쪽 병렬저항을 $R_p$라 하면 $R_p = \frac{1\times 2}{1+2} = \frac{2}{3}\Omega$이다. 이 병렬회로와 위쪽 2 Ω 저항은 직렬이므로 전체 저항은 $R_{\text{eq}} = 2 + \frac{2}{3} = \frac{8}{3}\Omega$이다.

3. 병렬회로의 전압: 위쪽 2 Ω 저항을 흐르는 전체 전류는 $I = \frac{12}{8/3} = 4.5\text{A}$이다. 이 전류가 오른쪽 두 가지로 나뉘므로, 병렬회로 양단 전압은 $V_p = IR_p = 4.5 \times \frac{2}{3} = 3\text{V}$이다. **병렬인 두 가지에는 같은 전압**이 걸린다.

4. 구하는 전류: $i_2$가 흐르는 가운데 가지는 정상상태에서 1 Ω 저항만 남는다. 옴의 법칙에 따라 $i_2 = \frac{V_p}{1\Omega} = \frac{3\text{V}}{1\Omega} = 3\text{A}$이다. 위쪽 노드의 전위가 더 높으므로 전류는 그림의 아래쪽 화살표 방향이며, 계산값 3 A는 ②의 3에 해당한다.

NoteBase

**문 8. 증폭기의 주파수 응답특성과 관련된 파라미터에 대한 설명으로 옳지 않은 것은?**

① 주파수가 감소함에 따라 증폭기의 이득이 기준값(중간대역 이득)에 비해 3 [dB] 감소하는 주파수를 하한 임계 주파수(lower critical frequency)라고 한다.

② 하한 임계 주파수는 증폭기 회로의 결합 및 바이패스 커패시턴스의 영향을 받는다.

③ 상한 임계 주파수(upper critical frequency)는 증폭기 회로의 저주파 응답 특성을 나타낸다.

④ 상한 임계 주파수와 하한 임계 주파수의 차이를 대역폭(bandwidth)이라고 한다.

**정답 3번**

**간단한 해설**

③의 '저주파 응답 특성'은 **고주파 응답 특성**으로 고쳐야 한다. 상한 임계 주파수는 고주파 쪽에서 이득이 중간대역 이득보다 3 dB 낮아지는 경계이다.

**선지별 해설**

① O: 하한 임계 주파수는 중간대역에서 주파수를 낮출 때 이득이 중간대역 이득보다 **3 dB 감소하는 주파수**이다. 이때 전압 이득의 크기는 중간대역 값의 약 70.7%가 되며, 저주파 쪽 대역 경계를 나타낸다.

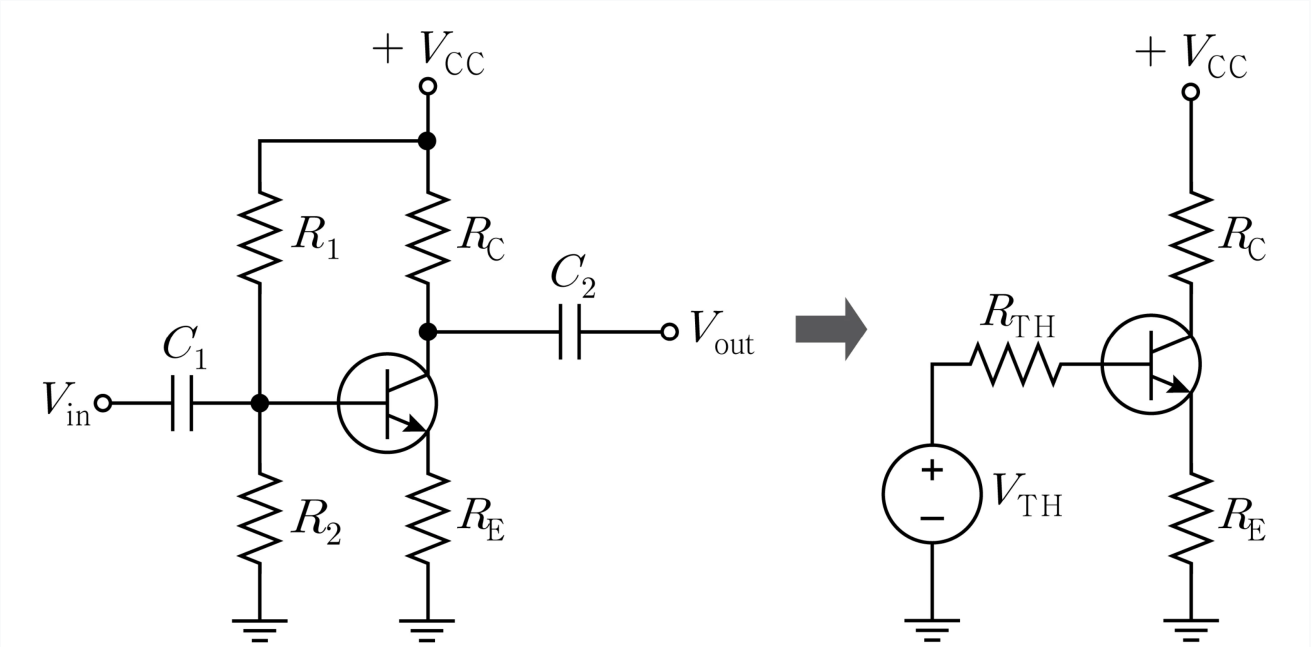
② O: 주파수가 낮아질수록 커패시터의 리액턴스가 커진다. 이 때문에 결합 커패시터에서는 신호 전달이 줄고, 바이패스 커패시터에서는 저항을 우회시키는 효과가 약해져 증폭기의 이득이 감소한다. 따라서 **결합 및 바이패스 커패시턴스**는 저주파 응답과 하한 임계 주파수에 영향을 준다.

③ X: 상한 임계 주파수는 **고주파 응답의 경계**를 나타낸다. 주파수를 높일 때 이득이 중간대역 이득보다 3 dB 감소하는 주파수이며, 트랜지스터의 내부 커패시턴스나 회로의 기생 커패시턴스 등이 고주파에서 이득을 떨어뜨리는 원인이 된다. 저주파 응답의 경계를 나타내는 것은 하한 임계 주파수이다.

④ O: 대역폭은 **하한 임계 주파수부터 상한 임계 주파수까지의 주파수 범위의 폭**이다. 상한 임계 주파수를 $f_H$, 하한 임계 주파수를 $f_L$이라 하면 $BW = f_H - f_L$이며, 단위는 Hz이다.

NoteBase

**문 9. 좌측 BJT 전압분배 바이어스 회로를 우측과 같이 테브난 등가회로를 적용하여 해석하고자 할 때, 테브난 등가전압 $V_{TH}$ [V]와 테브난 등가저항 $R_{TH}$ [kΩ]는? (단, $V_{CC} = 20$ [V], $R_1 = 4$ [kΩ], $R_2 = 1$ [kΩ], $R_C = 4.7$ [kΩ], $R_E = 1.1$ [kΩ])**




① $V_{TH}$: 4, $R_{TH}$: 0.8

② $V_{TH}$: 4, $R_{TH}$: 1

③ $V_{TH}$: 16, $R_{TH}$: 0.8

④ $V_{TH}$: 16, $R_{TH}$: 1

**정답 1번**

**간단한 해설**

테브난 등가전압은 베이스 쪽을 개방했을 때 **접지 쪽 저항에 걸리는 분압 전압**이므로 4 V이다. 등가저항은 전원 전압을 0으로 두었을 때의 **두 분압 저항의 병렬합**으로, 0.8 kΩ이다.

NoteBase

**계산 과정**

등가화할 부분은 전원 $V_{CC}$와 분압 저항 $R_1$, $R_2$로 이루어진 베이스 바이어스 회로이다. 직류 해석에서 커패시터는 개방으로 취급하며, 베이스 연결점과 접지 사이에서 이 회로를 바라본다. $R_C$와 $R_E$는 우측 회로에도 그대로 남으므로 이번 등가전압·등가저항 계산에 포함하지 않는다.

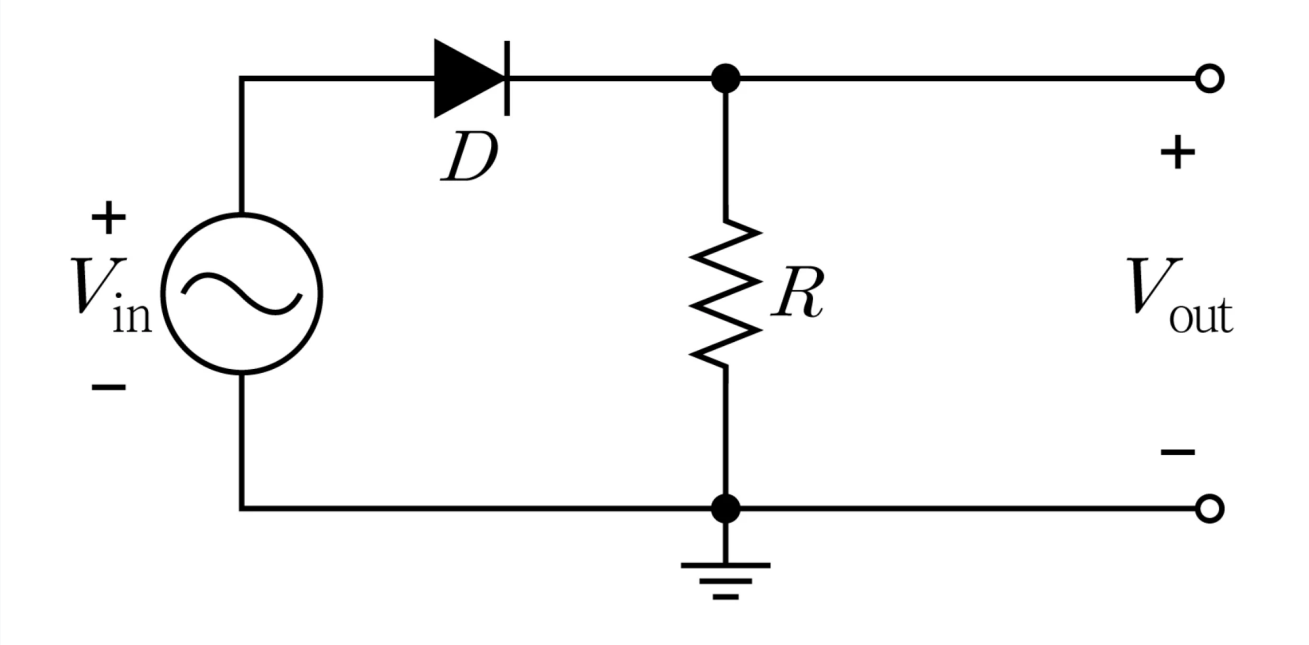
등가전압: $V_{TH}$는 **베이스와의 연결을 끊은 개방단자 전압**이다. 이때 두 저항에는 같은 전류가 흐르고, 베이스 연결점의 접지 기준 전압은 아래쪽 $R_2$에 걸리는 전압이다. 따라서 분압식은 $V_{TH} = V_{CC}\frac{R_2}{R_1 + R_2}$이다. 저항을 모두 kΩ 단위로 대입하면 $V_{TH} = 20 \cdot \frac{1}{4+1} = 4\text{V}$이다.

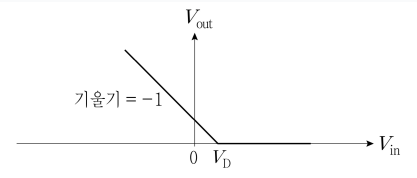
등가저항: 베이스와의 연결을 끊은 상태에서 **독립 전압원을 단락**하여 전원 전압을 0으로 둔다. 그러면 $R_1$의 위쪽 끝도 접지에 연결되어, $R_1$과 $R_2$가 베이스 연결점과 접지 사이에 병렬로 놓인다. 따라서 $R_{TH} = \frac{R_1 R_2}{R_1 + R_2}$이며, $R_{TH} = \frac{4 \cdot 1}{4+1} = 0.8\text{k}\Omega$이다.

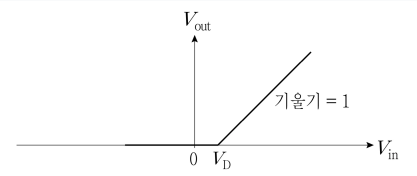
두 값은 $V_{TH} = 4\text{V}$, $R_{TH} = 0.8\text{k}\Omega$이므로 ①의 조합과 일치한다.

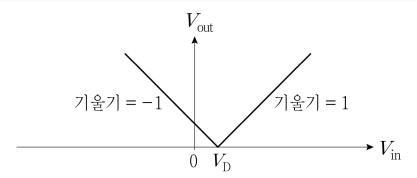
NoteBase

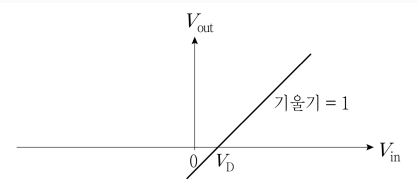
**문 10. 다음 회로의 입출력 전달특성으로 옳은 것은? (단, 다이오드의 순방향 전압강하는 $V_D$ [V]이고 저항 성분은 무시한다)**




① 


② 


③ 


④ 


**정답 2번**

NoteBase

**간단한 해설**

입력이 $V_D$ 이하이면 다이오드가 도통하지 않아 **출력은 0 V**이다. 입력이 $V_D$를 넘으면 $V_{out} = V_{in} - V_D$가 되어, 전달특성은 **기울기 1로 증가**한다.

**공통 해설**

회로에서 다이오드의 애노드는 입력 쪽, 막대로 표시된 캐소드는 출력 쪽에 있다. 출력은 저항 R의 위쪽 전위를 접지에 대해 측정한 값이다. 다이오드는 도통할 때 순방향 전압강하 $V_D$를 갖고, 도통하지 않을 때 전류를 차단하는 것으로 해석한다.

입력이 $V_{in} \le V_D$이면 다이오드를 통해 전류가 흐르지 않는다. 저항 R에도 전류가 흐르지 않으므로 저항 양단 전압인 $V_{out}$은 0 V이다. 따라서 **음의 입력을 포함하여 문턱전압까지** 그래프는 가로축 위의 수평선이다.

입력이 $V_{in} > V_D$이면 다이오드가 순방향으로 도통한다. 입력전압 중 $V_D$가 다이오드에 걸리고 나머지가 저항 R에 걸리므로 $V_{in} = V_D + V_{out}$, 즉 $V_{out} = V_{in} - V_D$이다. 다이오드의 저항 성분을 무시하므로 도통 후에는 입력이 증가한 만큼 출력도 증가한다.

따라서 전달특성은 $V_{in} = V_D$까지 출력이 0 V이고, 그 지점부터 **기울기 1의 직선으로 상승**하는 모양이다. 문턱전압 아래에서도 출력이 변하는 직선이나 V자 모양은 이 차단 특성을 반영하지 못한다.

NoteBase

**문 11. 10진수 -3을 10비트 2의 보수 형태로 표현하면?**

① 1111111100

② 1011111100

③ 1011111101

④ 1111111101

**정답 4번**

**간단한 해설**

음수의 2의 보수 표현은 같은 비트 수로 나타낸 양수에서 **모든 비트를 반전한 뒤 1을 더해** 구한다. +3에 이를 적용하면 -3의 10비트 표현은 1111111101이다.

**계산 과정**

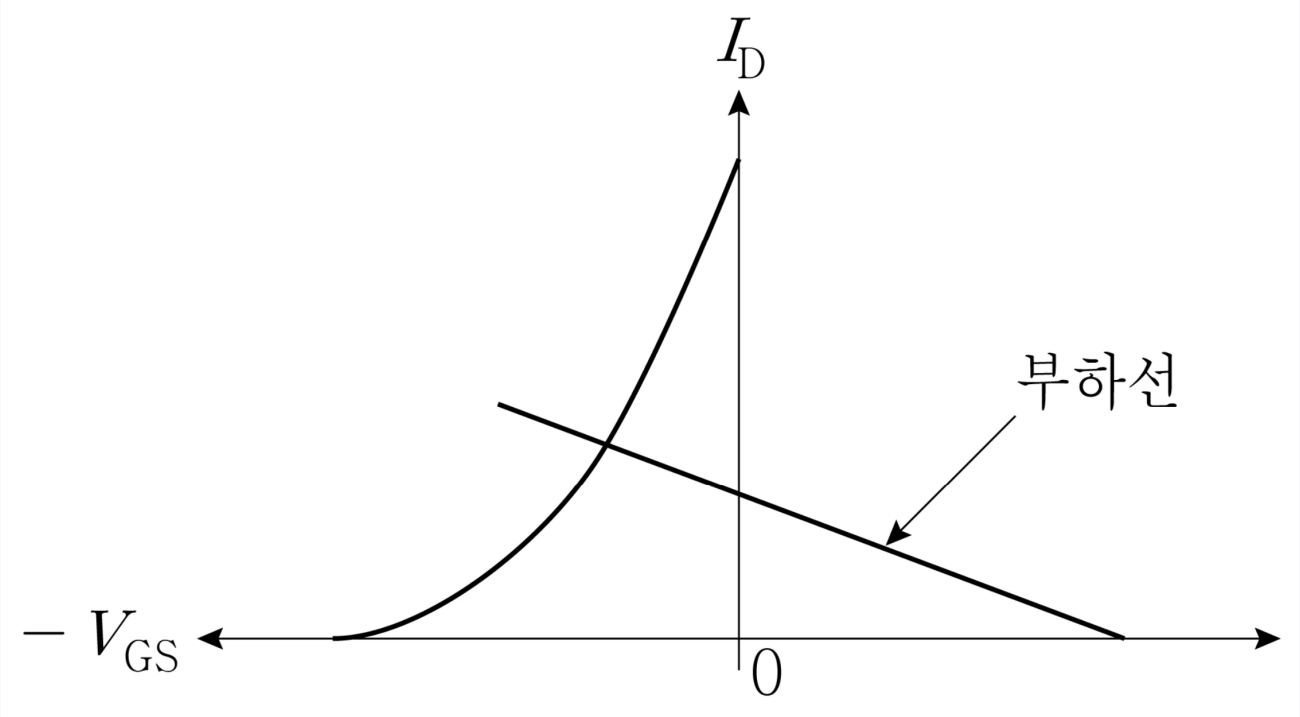
먼저 +3을 10비트 이진수로 나타낸다. 3은 이진수로 11이므로, 앞을 0으로 채우면 0000000011이 된다.
계산하는 동안 **10비트 길이를 유지**한다.

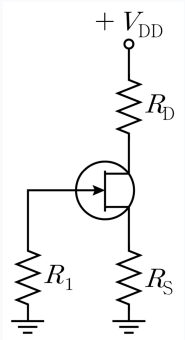
0000000011의 각 비트를 0은 1로, 1은 0으로 반전하면 1111111100이 된다. 이 중간값은 +3의 1의 보수이다.

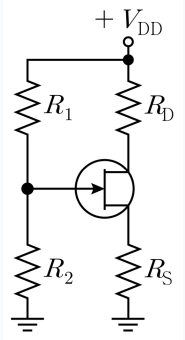
2의 보수는 **1의 보수에 1을 더한 값**이므로, 이진수 덧셈으로 1111111100 + 1 = 1111111101을 얻는다. 따라서 -3의 10비트 2의 보수 표현은 1111111101이며, ④의 값과 일치한다.

NoteBase

**문 12. FET의 드레인전류 $I_D$와 게이트-소스 간 전압 $V_{GS}$의 전달특성곡선과 부하선이 다음과 같은 회로는?**

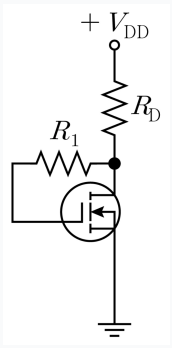



① 

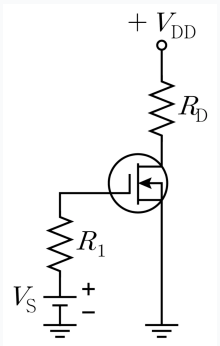

② 


NoteBase

③




④




**정답 2번**

**간단한 해설**

부하선이 원점을 지나지 않고 양의 전압축과 만나는 것은 **게이트에 양의 바이어스 전압**이 걸려 있기 때문이다. 여기에 소스 저항의 전압 강하가 더해져 전류가 증가할수록 $V_{GS}$가 낮아지므로, 전압분배기로 게이트 전압을 정하고 소스에 저항을 둔 회로에 해당한다.

NoteBase

**공통 해설**

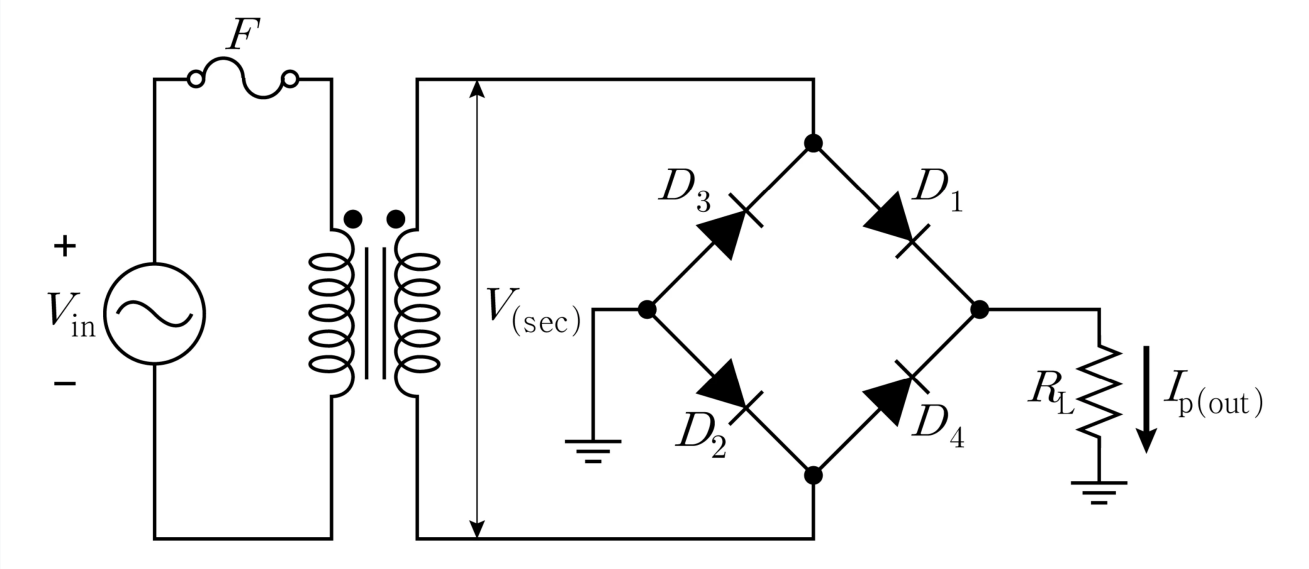
그림에서 가로축의 왼쪽은 음의 $V_{GS}$ 영역이며, 전달특성곡선과 부하선의 교점도 이 영역에 있다. 한편 부하선은 원점을 지나지 않고 양의 전압축과 만난다. 따라서 전류가 없을 때는 $V_{GS}$가 양수이고, 전류가 증가하면 $V_{GS}$가 감소하여 음수가 될 수 있는 바이어스 관계가 필요하다.

공통 기준은 게이트와 소스의 전위차인 $V_{GS} = V_G - V_S$이다. 게이트 전류를 무시하면 소스 전류와 드레인 전류가 같으므로, 소스 저항이 있는 회로에서는 $V_S = I_D R_S$이다. 따라서 $V_{GS} = V_G - I_D R_S$, 즉 $I_D = \frac{V_G - V_{GS}}{R_S}$가 된다. 이 직선의 기울기는 $-\frac{1}{R_S}$이고, 전압축 절편은 $V_G$이다. 그림의 **양의 전압축 절편과 음의 기울기**는 양의 게이트 전압과 소스 저항이 함께 있는 경우에 대응한다.

게이트에 연결된 전압분배기의 위쪽 저항이 $R_1$, 아래쪽 저항이 $R_2$이면 $V_G = \frac{R_2}{R_1 + R_2} V_{DD} > 0$이다. 드레인 전류가 흐르면서 소스 전압이 이 게이트 전압보다 높아지면 $V_{GS} < 0$이 되어 그림의 동작점을 형성한다. 반면 게이트를 저항을 통해 접지하면 $V_G = 0$이므로 부하선이 원점을 지난다. 소스를 접지하고 게이트를 양의 드레인 전압이나 양의 별도 전원에 연결하면 $V_{GS}$가 양수이므로 그림의 음의 전압 영역에 있는 동작점과 맞지 않는다. 따라서 필요한 연결은 **게이트 전압분배기와 소스 저항을 갖춘 바이어스 회로**이다.

NoteBase

**문 13. 다음 정류회로에서 $V_{(sec)}$가 $\frac{20}{\sqrt{2}}$ [V□□□]이고 부하저항 $R_L$이 2 [kΩ]일 때, 최대출력전류 $I_{p(out)}$ [mA]은? (단, 다이오드의 순방향 전압강하는 0.7 [V]이고 저항 성분은 무시한다)**




① 10

② 9.65

③ 9.3

④ 8.95

**정답 3번**

**간단한 해설**

브리지 정류회로에서는 매 반주기마다 **다이오드 2개가 직렬로 도통**하므로, 2차측 최대전압 20 V에서 1.4 V가 감소한다. 부하에 걸리는 최대전압은 18.6 V이고, 이를 2 kΩ으로 나눈 최대출력전류는 9.3 mA이다.

NoteBase

**계산 과정**

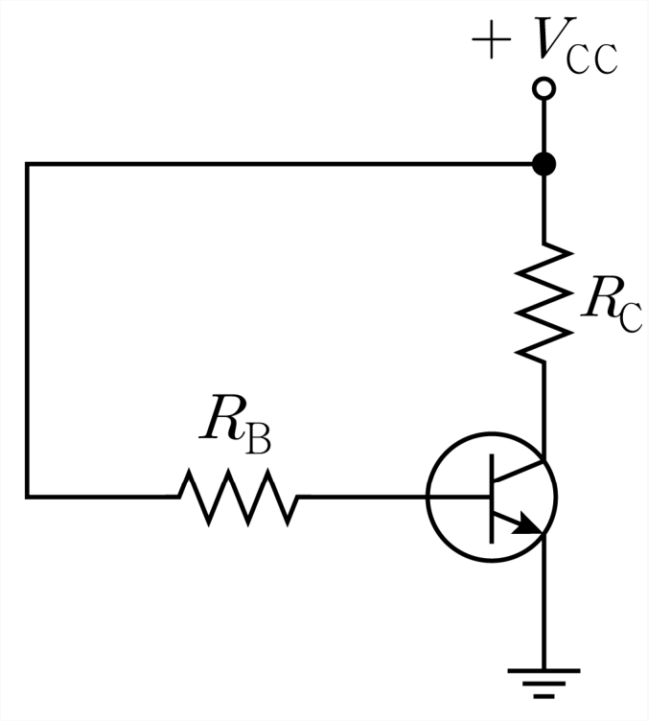
1. 2차측 최대전압: 주어진 $V_{(sec)}$는 교류 정현파의 실효값이다. 정현파의 최대값은 **실효값의 $\sqrt{2}$배**이므로, 2차측 최대전압을 $V_p$라 하면 $V_p = \sqrt{2} \cdot \frac{20}{\sqrt{2}} = 20\text{V}$이다.

2. 부하의 최대전압: 그림은 브리지 전파 정류회로이다. 2차측 위쪽 단자가 양극일 때는 $D_1$과 $D_2$, 아래쪽 단자가 양극일 때는 $D_4$와 $D_3$가 도통하여 부하에는 항상 아래쪽으로 전류가 흐른다. 어느 반주기든 전류 경로에 **다이오드 2개가 직렬로 포함**되므로 총 순방향 전압강하는 $2 \times 0.7 = 1.4\,\text{V}$이다. 따라서 부하의 최대전압은 $V_{p(\text{out})} = 20 - 1.4 = 18.6\text{V}$이다.

3. 최대출력전류: 다이오드의 저항 성분은 무시하고 부하저항은 $R_L = 2\text{k}\Omega = 2000\Omega$이므로, 옴의 법칙에 따라 $I_{p(\text{out})} = \frac{V_{p(\text{out})}}{R_L}$이다. 값을 대입하면 $I_{p(\text{out})} = \frac{18.6}{2000} = 0.0093\text{A}$이며, 이는 9.3 mA로 ③의 값과 일치한다.

NoteBase

**문 14. 다음 NPN BJT 증폭회로에서 직류 전류이득이 $\beta_{DC} = 100$, $\beta_{DC} = 200$일 때, $V_{CE}$ [V]는? (단, $V_{CC} = 15$ [V], $R_B = 286$ [kΩ], $R_C = 1$ [kΩ], 다이오드의 순방향 전압강하는 0.7 [V]이고 저항성분은 무시한다)**




① $\beta_{DC}$ = 100: 10, $\beta_{DC}$ = 200: 5

② $\beta_{DC}$ = 100: 10, $\beta_{DC}$ = 200: 20

③ $\beta_{DC}$ = 100: 13, $\beta_{DC}$ = 200: 6.5

④ $\beta_{DC}$ = 100: 13, $\beta_{DC}$ = 200: 26

**정답 1번**

**간단한 해설**

베이스 전류가 **50 μA로 일정**하므로 전류이득이 커지면 컬렉터 저항의 전압강하가 증가하여 $V_{CE}$는 감소한다. $\beta_{DC}$가 100일 때는 10 V, 200일 때는 5 V이다.

NoteBase

**계산 과정**

회로의 이미터는 접지되어 있으므로 컬렉터–이미터 전압 $V_{CE}$는 컬렉터의 접지 기준 전압과 같다. 베이스 저항 $R_B$는 전원에 직접 연결되어 있다. 베이스 전류를 $I_B$, 컬렉터 전류를 $I_C$라 하면, **활성영역에서** $I_C = \beta_{DC} I_B$가 성립한다.

베이스 전류: 베이스–이미터 접합의 순방향 전압강하를 0.7 V로 적용하면 베이스 저항에 걸리는 전압은 15 − 0.7 = 14.3 V이다. 따라서 $I_B = \frac{V_{CC} - V_{BE}}{R_B}$이고, $I_B = \frac{14.3\text{V}}{286\text{k}\Omega} = 0.05\text{mA}$, 즉 50 μA이다. 이 전류는 주어진 전원·저항·접합 전압으로 정해지므로 두 전류이득 조건에서 같다.

컬렉터 전압의 계산식: 컬렉터 저항에는 $I_C$가 흐르므로 전압강하는 $I_C R_C$이다. 전원 전압에서 **컬렉터 저항의 전압강하를 뺀 값**이 컬렉터 전압이므로 $V_{CE} = V_{CC} - I_C R_C$를 적용한다.

$\beta_{DC} = 100$일 때: $I_C = 100 \cdot 0.05 = 5\text{mA}$이다. 5 mA와 1 kΩ의 곱은 5 V이므로 컬렉터 저항에서 5 V가 떨어진다. 따라서 $V_{CE} = 15 - 5 = 10\text{V}$이다.

$\beta_{DC} = 200$일 때: $I_C = 200 \cdot 0.05 = 10\text{mA}$이다. 컬렉터 저항의 전압강하는 10 mA × 1 kΩ = 10 V이므로 $V_{CE} = 15 - 10 = 5\text{V}$이다.

두 경우 모두 컬렉터 전압이 베이스 전압 0.7 V보다 높아 베이스–컬렉터 접합이 역바이어스되므로 활성영역을 가정한 계산과 일치한다. 전류이득 100과 200에 대응하는 전압은 각각 10 V와 5 V로, ①의 값과 일치한다.

NoteBase

**문 15. 2단 증폭기에서 1단은 1 [kHz]의 하한 임계 주파수와 100 [kHz]의 상한 임계 주파수를 갖고, 2단은 3 [kHz]의 하한 임계 주파수와 250 [kHz]의 상한 임계 주파수를 가질 때, 전체 대역폭[kHz]은?**

① 97

② 99

③ 247

④ 249

**정답 1번**

**간단한 해설**

각 단의 통과 대역이 **겹치는 구간으로 근사**하면 전체 하한은 3 kHz, 상한은 100 kHz이다. 대역폭은 이 두 경계의 차이인 100 − 3 = 97 kHz이다.

**계산 과정**

신호가 1단과 2단을 차례로 지나므로 두 단 모두에서 통과 가능한 주파수 범위를 구한다. 여기서는 각 단의 통과 대역이 겹치는 구간으로 전체 통과 대역을 근사한다.

하한 임계 주파수: 1단의 하한은 1 kHz, 2단의 하한은 3 kHz이다. 1~3 kHz 구간은 1단의 통과 대역에 들어가지만 2단의 통과 대역에는 들어가지 않는다. 따라서 전체 하한은 두 값 중 **더 큰 3 kHz**로 잡는다.

상한 임계 주파수: 1단의 상한은 100 kHz, 2단의 상한은 250 kHz이다. 100~250 kHz 구간은 2단의 통과 대역에 들어가지만 1단의 통과 대역에는 들어가지 않는다. 따라서 전체 상한은 두 값 중 **더 작은 100 kHz**로 잡는다.

대역폭 계산: 전체 하한을 $f_L$, 상한을 $f_H$라고 하면 대역폭은 $\mathrm{BW} = f_H - f_L$이다. 겹치는 통과 대역은 3~100 kHz이므로 대역폭은 100 − 3 = 97 kHz이며, ①의 97에 해당한다.

NoteBase

**문 16. 귀환 발진기에 대한 설명으로 옳지 않은 것은?**

① 출력신호의 일부가 위상변이 없이 입력으로 인가된다.

② 정귀환 회로를 사용한다.

③ 폐루프 이득은 1보다 작아야만 발진이 유지된다.

④ 동작시키는 데 외부 입력신호는 필요치 않다.

**정답 3번**

**간단한 해설**

③의 '1보다 작아야만 발진이 유지된다'는 설명이 잘못되었다. 일정한 진폭의 발진을 유지하려면 **한 바퀴의 루프 이득 크기가 1**이고 전체 위상변이가 0° 또는 360°의 정수배여야 한다.

**선지별 해설**

① O: 발진 주파수에서 입력으로 되돌아온 귀환신호는 원래 입력신호와 **같은 위상**이 되어 신호를 보강한다. 증폭기와 귀환망을 모두 거친 한 바퀴의 전체 위상변이는 0° 또는 360°의 정수배이다.

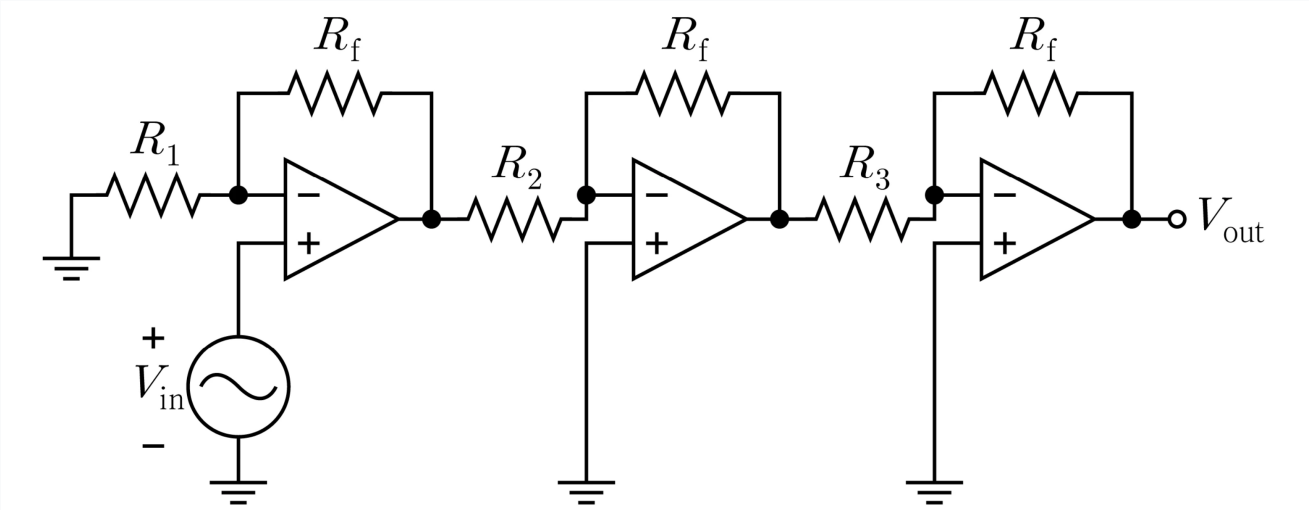
② O: **정귀환**은 출력의 일부를 입력신호를 보강하는 방향으로 되돌리는 방식이다. 귀환 발진기는 이 작용으로 회로의 손실을 보충하여 주기적인 신호를 유지한다.

③ X: 일정한 진폭으로 발진을 유지하는 조건은 증폭기 이득 A와 귀환계수 β의 곱인 **루프 이득의 크기가 1**이 되는 것이다. 즉, 발진 주파수에서 $|A\beta| = 1$이어야 한다. 루프 이득의 크기가 1보다 작으면 신호가 한 바퀴 돌 때마다 줄어들어 발진이 감쇠한다. 발진을 시작할 때는 작은 신호가 성장하도록 루프 이득의 크기를 1보다 크게 하고, 진폭이 안정되면 유효 루프 이득의 크기가 1이 된다. 선지의 '폐루프 이득이 1보다 작아야만'은 이러한 발진 유지 조건을 잘못 설명한 것이다.

④ O: 귀환 발진기는 **외부의 주기적인 입력신호 없이** 동작한다. 전원 투입 때의 과도신호나 회로 내부 잡음이 초기 신호가 되고, 정귀환에 의해 특정 주파수 성분이 성장한다. 다만 신호를 만들 에너지를 공급하는 직류 전원은 필요하다.

NoteBase

**문 17. 다음 다단 증폭기의 전압이득 $\frac{V_{out}}{V_{in}}$은? (단, $R_f = 470[k\Omega]$, $R_1 = 4.7[k\Omega]$, $R_2 = R_3 = 47[k\Omega]$, 연산증폭기는 이상적이다)**




① 10,000

② 10,100

③ −10,000

④ −10,100

**정답 2번**

**간단한 해설**

첫 단은 **비반전 증폭기**로 이득이 101이고, 뒤의 두 단은 각각 이득이 −10인 반전 증폭기이다. 두 번의 반전으로 부호가 양수가 되며, 전체 전압이득은 각 단의 이득을 곱한 10,100이다.

NoteBase

**계산 과정**

이상적 연산증폭기가 음의 되먹임을 받으며 선형 동작하므로 **두 입력 단자의 전압은 같고 입력 전류는 0**으로 둔다. 첫째 단과 둘째 단의 출력 전압을 각각 $V_1$, $V_2$라 하면, 전체 전압이득은 각 단의 출력/입력 전압비를 곱하여 구한다.

첫째 단: 입력이 +단자에 연결된 **비반전 증폭기**이다. −단자는 출력과 접지 사이의 저항 분압점이므로 $V_{\text{in}} = V_1 \frac{R_1}{R_1 + R_f}$이다. 따라서 첫 단의 전압이득은 $A_1 = \frac{V_1}{V_{\text{in}}} = 1 + \frac{R_f}{R_1} = 1 + \frac{470}{4.7} = 101$이다. 저항을 모두 kΩ 단위로 대입하므로 단위는 약분된다.

둘째 단: +단자가 접지되고 첫 단 출력이 $R_2$를 거쳐 −단자에 연결된 반전 증폭기이다. −단자의 전압도 0 V가 되는 **가상 접지**가 성립하며, 입력 전류가 0이므로 입력 저항을 흐르는 전류가 되먹임 저항으로 흐른다. 따라서 $\frac{V_1}{R_2} = \frac{-V_2}{R_f}$이고, $A_2 = \frac{V_2}{V_1} = -\frac{R_f}{R_2} = -\frac{470}{47} = -10$이다. 이는 첫 단의 출력 전압을 10배로 증폭하면서 부호를 반전한다는 뜻이다.

셋째 단: 둘째 단과 같은 반전 증폭기 구성이며, 입력 저항은 $R_3$이다. 따라서 $A_3 = \frac{V_{\text{out}}}{V_2} = -\frac{R_f}{R_3} = -\frac{470}{47} = -10$이다.

전체 전압이득: $\frac{V_{\text{out}}}{V_{\text{in}}} = A_1 A_2 A_3 = 101 \cdot (-10) \cdot (-10) = 10{,}100$이다. **반전이 두 번 일어나므로** 전체 이득은 양수이며, 전압끼리의 비이므로 무차원이다. 계산값 10,100은 ②와 일치한다.

NoteBase

**문 18. TCP/IP 프로토콜에 대한 설명으로 옳지 않은 것은?**

① 네트워크 계층은 패킷이 근원지에서 목적지까지 갈 수 있도록 경로를 라우팅하고 포워딩하는 역할을 수행한다.

② 7개의 계층으로 구성되어 있다.

③ TCP는 종단 대 종단의 논리적 연결을 구성하고 흐름제어, 오류제어, 혼잡제어 서비스들을 제공한다.

④ IP는 흐름제어, 오류제어, 혼잡제어 서비스들을 제공하지 않는 비연결형 프로토콜이다.

**정답 2번**

**간단한 해설**

②의 '7개의 계층'은 **OSI 참조 모형**에 대한 설명이다. TCP/IP 모형은 일반적으로 **링크·인터넷·전송·응용의 4계층**으로 구분한다.

**선지별 해설**

① O: 네트워크 계층은 목적지 주소를 바탕으로 패킷을 다른 네트워크로 전달한다. **라우팅은 목적지까지의 경로를 결정**하는 과정이고, 포워딩은 그 경로 정보를 이용하여 들어온 패킷을 적절한 출력 인터페이스로 내보내는 동작이다. TCP/IP 모형에서는 인터넷 계층이 이 역할을 담당한다.

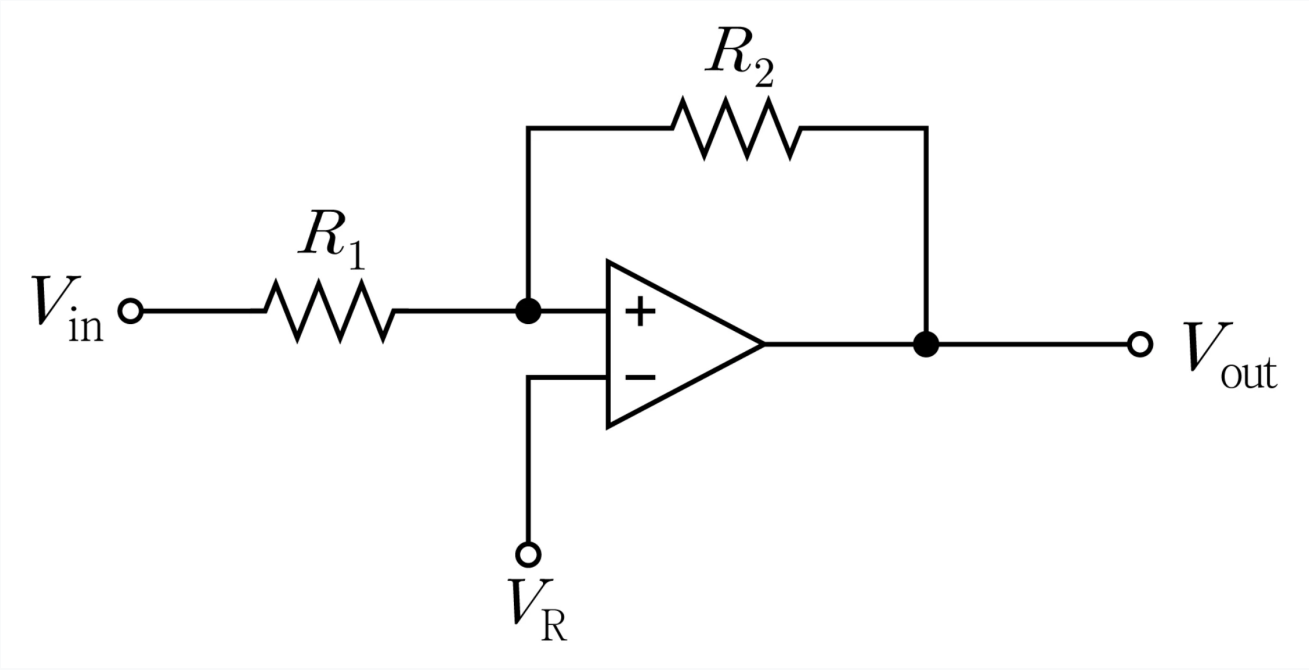
② X: TCP/IP 모형은 일반적으로 **링크·인터넷·전송·응용의 4계층**으로 구성된다. 7계층으로 구성되는 것은 OSI 참조 모형이며, 물리·데이터 링크·네트워크·전송·세션·표현·응용 계층으로 나뉜다. 따라서 '7개의 계층으로 구성되어 있다'는 '일반적으로 4개의 계층으로 구성되어 있다'로 고쳐야 한다.

③ O: TCP는 전송 계층의 연결형 프로토콜로, 통신하는 두 종단 사이에 논리적 연결을 설정한다. 흐름제어는 **수신 측의 처리 능력**에 맞추어 전송량을 조절하고, 혼잡제어는 **네트워크의 혼잡 상태**에 맞추어 전송량을 조절한다. 또한 순서번호·확인응답·재전송 등을 이용한 오류제어로 신뢰성 있는 데이터 전송을 제공한다.

④ O: IP는 데이터를 보내기 전에 연결을 설정하지 않고 각 패킷을 독립적으로 전달하는 비연결형 프로토콜이다. **최선형 전달**을 제공하므로 패킷의 도착이나 순서를 보장하지 않으며, IP 자체에서 수신 능력에 따른 흐름제어, 손실 복구를 위한 재전송 등의 오류제어, 혼잡에 따른 전송량 제어를 제공하지 않는다.

NoteBase

**문 19. 다음 비반전 슈미트 트리거(schmit trigger) 회로에서 하측문턱전압 $V_{TL}$ [V]과 상측문턱전압 $V_{TH}$ [V]는? (단, $R_1 = 25$ [kΩ], $R_2 = 50$ [kΩ], $V_R = 1$ [V], 음의포화전압 $V_L = -4$ [V], 양의포화전압 $V_H = 4$ [V], 연산증폭기는 이상적이다)**




① $V_{TL}$: −0.5, $V_{TH}$: 3.5

② $V_{TL}$: −0.5, $V_{TH}$: 2.5

③ $V_{TL}$: 0.5, $V_{TH}$: 3.5

④ $V_{TL}$: 0.5, $V_{TH}$: 2.5

**정답 1번**

**간단한 해설**

문턱에서는 비반전 입력 전압이 기준전압 1 V와 같아지며, **전환 직전의 출력 포화전압**에 따라 입력 문턱이 달라진다. 출력이 4 V일 때 하측문턱전압은 −0.5 V, 출력이 −4 V일 때 상측문턱전압은 3.5 V이다.

NoteBase

**계산 과정**

회로의 반전 입력은 기준전압 $V_R = 1\text{V}$에 연결되어 있고, 출력은 $R_2$를 거쳐 비반전 입력으로 되먹임된다. 비반전 입력 전압을 $V_+$라 하면, 출력이 전환되는 경계에서만 $V_+ = V_R$가 된다. 이상적 연산증폭기의 입력 전류는 0이므로 이 경계에서 $\frac{V_T - V_R}{R_1} = \frac{V_R - V_{out}}{R_2}$가 성립한다. 여기서 $V_T$는 전환 순간의 입력 전압이다.

저항비를 $k = \frac{R_1}{R_2} = \frac{25}{50} = \frac{1}{2}$로 두면 문턱전압은 $V_T = (1 + k)V_R - kV_{out}$이다. 두 저항의 단위가 모두 kΩ이므로 저항비를 구할 때 단위 변환은 필요 없다. 이 식에는 **전환 후가 아니라 전환 직전의 출력**을 대입한다.

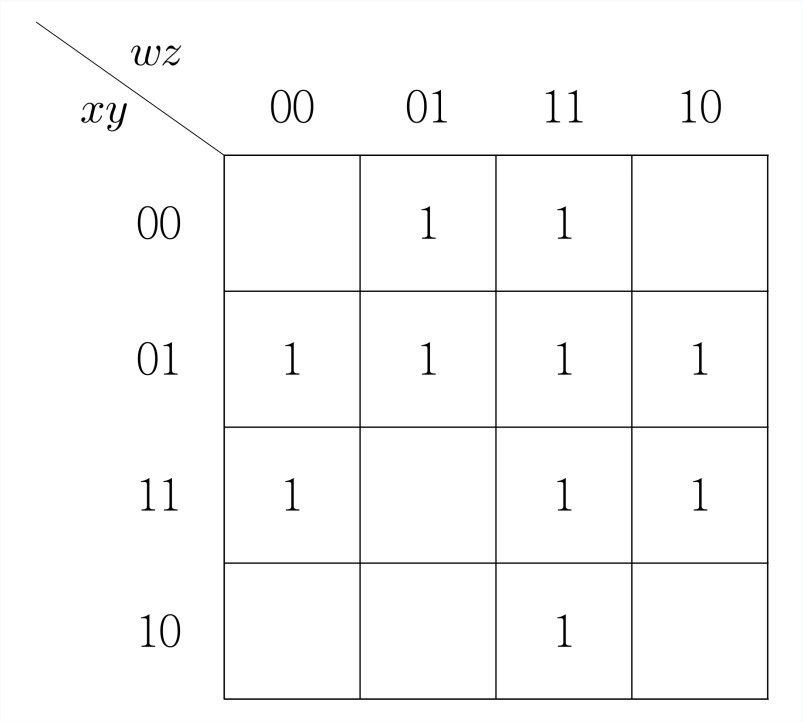
하측문턱전압: 입력이 낮아질 때는 출력이 양의 포화전압 $V_H = 4\text{V}$에 머물다가 음의 포화전압으로 전환된다. 따라서 $V_{TL} = \frac{3}{2} \cdot 1 - \frac{1}{2} \cdot 4 = -0.5\text{V}$이다. 입력이 이 값 아래로 내려가면 비반전 입력 전압이 기준전압보다 낮아져 출력이 −4 V로 바뀐다.

상측문턱전압: 입력이 높아질 때는 출력이 음의 포화전압 $V_L = -4\text{V}$에 머물다가 양의 포화전압으로 전환된다. 따라서 $V_{TH} = \frac{3}{2} \cdot 1 - \frac{1}{2} \cdot (-4) = 3.5\text{V}$이다. 입력이 이 값 위로 올라가면 비반전 입력 전압이 기준전압보다 높아져 출력이 4 V로 바뀐다.

하측문턱전압 −0.5 V, 상측문턱전압 3.5 V의 조합은 ①과 일치한다.

NoteBase

**문 20. 다음 카르노 맵(Karnaugh map)과 일치하는 논리식은?**



| $xy$ \ $wz$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | | 1 | 1 | |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | | 1 | 1 |
| 10 | | | 1 | |

① $w\overline{z} + \overline{x}z + zy$

② $\overline{w}z + x\overline{z} + z\overline{y}$

③ $wz + x\overline{z} + \overline{zy}$

④ $wz + \overline{x}z + \overline{z}y$

**정답 4번**

**간단한 해설**

카르노 맵에서 1인 칸을 묶으면 **묶음 안에서 값이 변하지 않는 변수**만 곱항에 남는다. 세 묶음은 각각 $wz$, $\overline{x}z$, $\overline{z}y$에 대응하므로, 이를 OR로 연결한 논리식이 맵과 일치한다.

NoteBase

**공통 해설**

카르노 맵의 각 칸은 해당 입력 조합에서의 논리함숫값을 나타낸다. 가로축은 $wz$, 세로축은 $xy$이며, 두 축 모두 00, 01, 11, 10 순서이다. 1이 없는 칸의 함숫값은 0이다. 1인 칸들을 인접한 네 칸씩 묶으면, 각 묶음에서 **항상 1인 변수는 그대로, 항상 0인 변수는 보수로** 곱항에 남기고 값이 바뀌는 변수는 없앤다. 곱은 AND, 합은 OR, 윗줄은 NOT을 뜻하며, 묶음끼리는 겹쳐도 된다.

$wz = 11$인 열은 네 칸 모두 1이다. 이 열에서는 $x, y$가 변해도 $w = 1, z = 1$이 유지되므로 곱항은 $wz$이다.

$xy = 00, 01$인 두 행과 $wz = 01, 11$인 두 열이 만나는 네 칸도 모두 1이다. 여기서는 $w, y$가 변하지만 $x = 0$, $z = 1$이 유지되므로 곱항은 $\bar{x}z$이다.

$xy = 01, 11$인 두 행에서 맨 왼쪽 $wz = 00$ 열과 맨 오른쪽 $wz = 10$ 열의 네 칸을 묶는다. 카르노 맵은 **양쪽 끝 열도 서로 인접**하므로 이 묶음이 가능하다. 여기서는 $w, x$가 변하지만 $z = 0, y = 1$이 유지되므로 곱항은 $\bar{z}y$이다.

세 묶음은 맵의 모든 1을 포함하고 0인 칸은 포함하지 않는다. 따라서 이 맵을 나타내는 논리식은 $F = wz + \bar{x}z + \bar{z}y$이다.

NoteBase