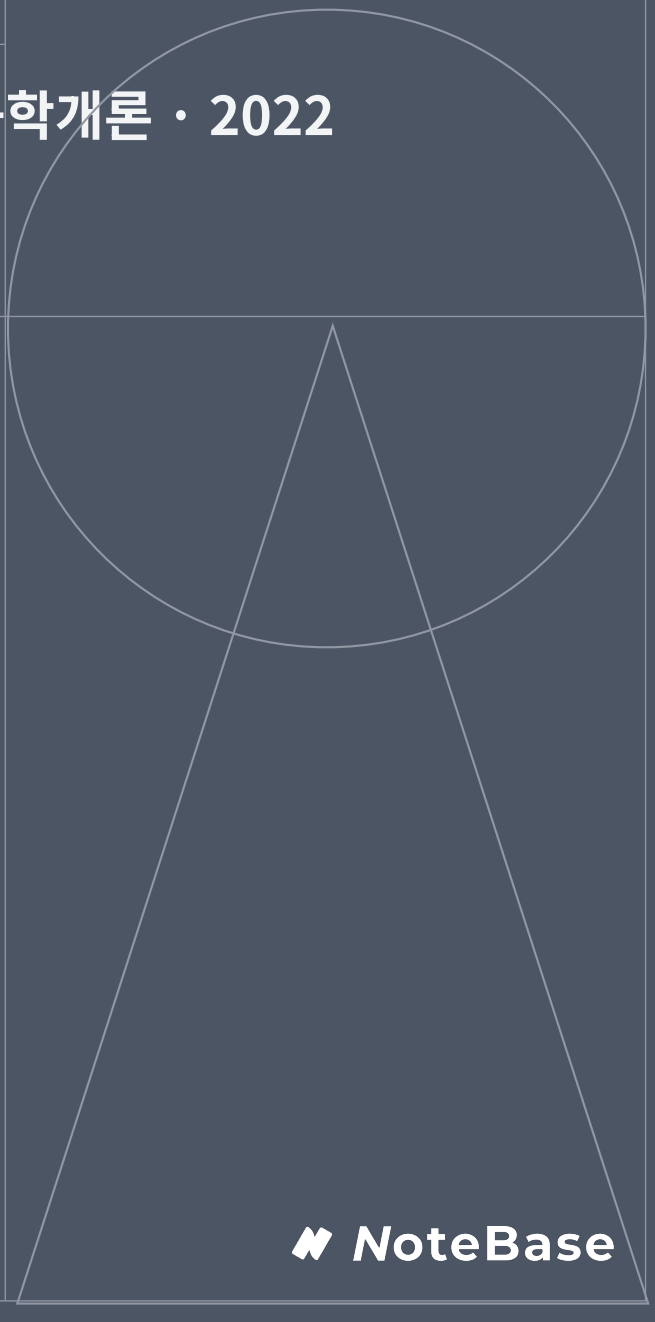
기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2022



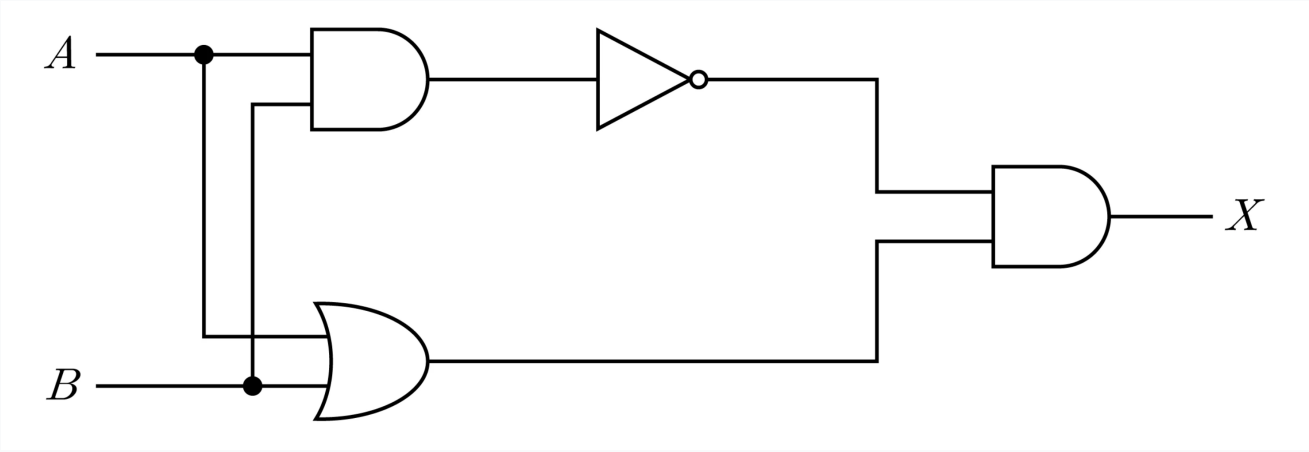
NoteBase

기출OX 해설집

공무원/지방직/9급 · 전자공학개론 · 2022

공무원/지방직/9급 · 전자공학개론 · 2022

문 1. 다음 논리 회로에서 출력 X의 논리식은?



① $A\overline{B} + \overline{A}B$

② $AB(A + B)$

③ $(\overline{A} + B)(A + \overline{B})$

④ AB

정답 1번

간단한 해설

위쪽 경로는 두 입력이 모두 1인 경우를 막고, 아래쪽 경로는 적어도 하나가 1인 경우만 통과시킨다. 따라서 **두 입력이 서로 다를 때만 출력이 1**이 되는 배타적 논리합이며, 논리식은 $A\overline{B} + \overline{A}B$이다.

NoteBase

공통 해설

논리식에서 곱은 AND, 합은 OR, 윗줄은 NOT을 뜻한다. 그림의 위쪽 경로는 A와 B를 AND 게이트에 넣은 뒤 NOT 게이트로 반전하므로 출력이 $\overline{AB}$이다. 아래쪽 OR 게이트의 출력은 $A + B$이다.

마지막 AND 게이트에서는 두 경로의 출력이 모두 1이어야 하므로 $X = \overline{AB}(A + B)$이다. 즉, A와 B 중 **적어도 하나는 1이면서 둘 다 1은 아니어야** X가 1이 된다. 두 입력이 0과 1 또는 1과 0이면 X는 1이고, 둘 다 0이거나 둘 다 1이면 X는 0이다.

이는 두 입력이 서로 다를 때만 1을 출력하는 배타적 논리합(XOR)의 조건이다. A가 1이고 B가 0인 경우는 $A\overline{B}$, A가 0이고 B가 1인 경우는 $\overline{A}B$로 나타내므로, 출력 논리식은 $X = A\overline{B} + \overline{A}B$이다.

NoteBase

문 2. 다음 카르노 맵(Karnaugh map)과 일치하는 논리식은?

A \ BC	00	01	11	10
0	1	1	1	1
1	0	0	1	0

① $\overline{A} + BC$

② $\overline{A} + B$

③ $A + BC$

④ $A + C$

정답 1번

간단한 해설

카르노 맵에서 **A가 0이면 항상 1**이고, A가 1일 때는 **B와 C가 모두 1인 경우에만 1**이다. 이 출력 조건은 $\overline{A} + BC$로 나타낸다.

공통 해설

카르노 맵의 각 칸은 행의 A 값과 열의 BC 값에 대한 출력을 나타낸다. 열의 BC는 왼쪽부터 00, 01, 11, 10이므로, 세 번째 열은 B와 C가 모두 1인 경우이다. 논리식에서 윗줄은 NOT, 문자 사이의 곱은 AND, +는 OR를 뜻한다.

A = 0인 행은 네 칸 모두 1이므로 B와 C의 값에 관계없이 출력이 1이다. 이 조건은 $\overline{A}$로 표현한다. A = 1인 행에서는 BC = 11인 칸만 1이고 나머지는 0이므로, 이때는 B와 C가 모두 1이어야 한다.

따라서 전체 출력 조건은 **A가 0이거나 B와 C가 모두 1인 경우**이며, 이에 대응하는 논리식은 $\overline{A} + BC$이다. 이 식은 A = 0이면 첫 항이 1이 되어 모든 열에서 1을 출력하고, A = 1이면 첫 항이 0이 되어 BC의 값에 따라 세 번째 열에서만 1을 출력한다. 두 행의 모든 칸에서 주어진 맵과 일치한다.

NoteBase

문 3. 인덕터와 커패시터에 대한 설명으로 옳지 않은 것은?

① 무한대의 전압이 인가되지 않는 한 인덕터 전류는 불연속적으로 변할 수 없다.

② 커패시터 전류는 인가되는 전압의 시간적 변화율의 영향을 받는다.

③ 커패시터 양단에 직류 전압이 인가된 후 정상 상태(steady state)에 도달하면 커패시터는 개방 회로처럼 동작한다.

④ 인덕터 두 개를 병렬 연결하면 등가 인덕턴스는 인덕터 한 개의 인덕턴스보다 크다.

정답 4번

간단한 해설

④의 '인덕턴스보다 크다'는 관계가 반대이다. 상호 유도를 무시한 두 인덕터의 병렬 연결에서는 등가 인덕턴스가 **두 인덕턴스 중 작은 값보다도 작다**.

선지별 해설

이상적인 인덕터와 커패시터를 기준으로 하며, 인덕턴스와 정전용량은 일정하다고 본다. 병렬 인덕터 사이의 상호 유도는 무시한다.

① O: 인덕터의 전압과 전류는 $v_L = L\frac{di_L}{dt}$의 관계를 갖는다. 유한한 전압에서는 전류의 변화율도 유한하므로 **전류가 순간적으로 뛰어 변할 수 없다**. 전류가 불연속적으로 변하려면 순간적으로 무한대가 되는 충격 전압이 필요하다.

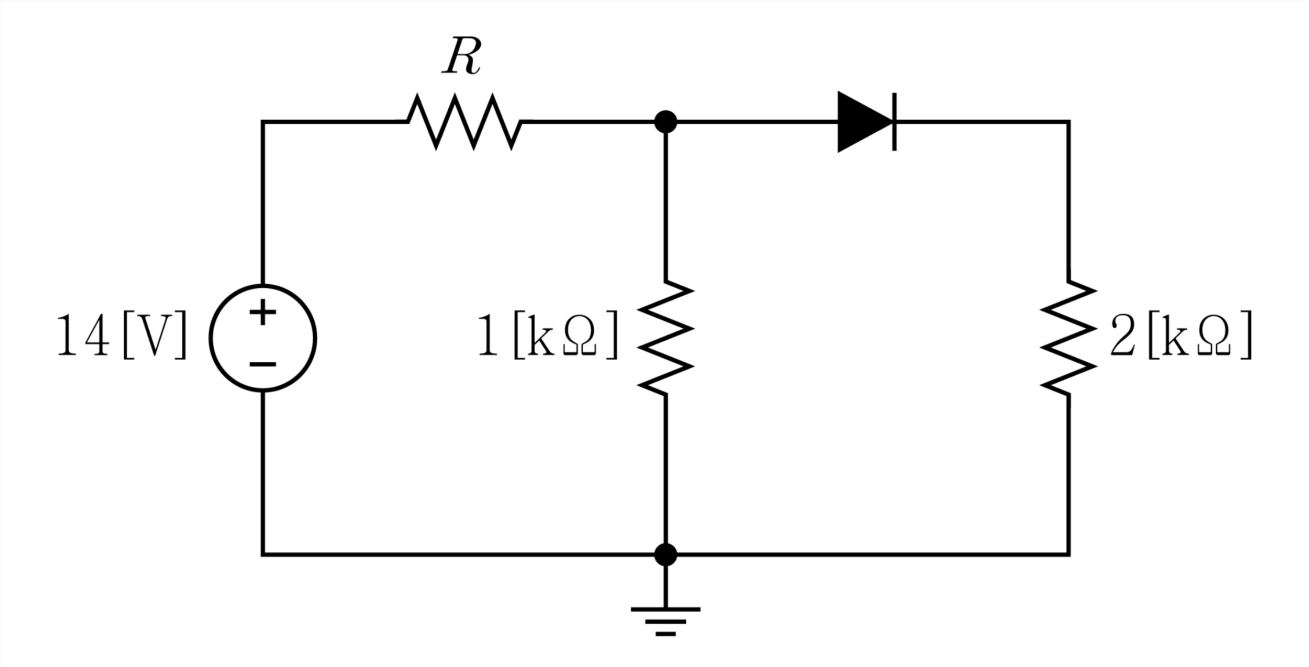
② O: 커패시터의 전류와 전압은 $i_C = C\frac{dv_C}{dt}$의 관계를 갖는다. 전류는 전압 자체의 크기보다 **전압의 시간적 변화율**에 의해 결정된다. 같은 커패시터에서 전압이 더 빠르게 변할수록 흐르는 전류의 크기도 커진다.

③ O: 직류 전압이 인가된 뒤 정상 상태에 도달하면 커패시터 양단의 전압이 시간에 따라 변하지 않는다. 따라서 $\frac{dv_C}{dt} = 0$이 되어 커패시터 전류도 0이므로 **개방 회로처럼 동작**한다. 이는 충전 전류가 흐를 수 있는 과도 상태와 구별된다.

④ X: 상호 유도를 무시한 양의 인덕턴스 L_1, L_2를 병렬 연결하면 양단 전압은 같고 전체 전류는 두 가지 전류의 합이다. 따라서 $\frac{1}{L_{eq}} = \frac{1}{L_1} + \frac{1}{L_2}$이며, 등가 인덕턴스는 $L_{eq} = \frac{L_1 L_2}{L_1 + L_2}$이다. 분모가 각 인덕턴스보다 크므로 등가 인덕턴스는 **두 인덕턴스 중 작은 값보다도 작다**. '크다'는 '작다'로 고쳐야 한다.

NoteBase

문 4. 다음 회로에서 2 [kΩ] 저항에 전류가 흐르지 않도록 하는 저항 R [kΩ]은? (단, 다이오드의 순방향 전압 강하는 0.7 [V]이고 저항 성분은 무시한다)



① 14

② 16

③ 18

④ 20

정답 4번

간단한 해설

2 kΩ 저항에 전류가 흐르지 않으려면 **다이오드가 도통하지 않아야** 한다. 다이오드를 차단시킨 상태의 전압 분배로 구하면 조건은 $R \geq 19\text{k}\Omega$이며, 보기 중 이를 만족하는 값은 20 kΩ이다.

NoteBase

계산 과정

차단 조건: 다이오드와 2 kΩ 저항은 직렬이므로 두 소자에 흐르는 전류는 같다. 이 전류를 0으로 놓으면 2 kΩ 저항의 전압 강하도 0이 되어 다이오드 오른쪽 단자는 접지와 같은 0 V가 된다. 왼쪽 접점의 전압을 V라 하면, 주어진 0.7 V 전압 강하 모형에서 전류가 흐르지 않으려면 **V가 도통 경계인 0.7 V를 넘지 않아야** 한다.

접점 전압: 다이오드가 차단되면 오른쪽 가지에는 전류가 흐르지 않고, 14 V 전원에 저항 R과 1 kΩ 저항만 직렬로 연결된 회로가 된다. 따라서 접점 전압은 1 kΩ 저항에 걸리는 전압이며, 전압 분배 법칙에 따라 $V = 14\text{V} \cdot \frac{1\text{k}\Omega}{R + 1\text{k}\Omega}$ 이다. R이 커질수록 접점 전압은 낮아진다.

저항의 범위: 도통 경계에서 V = 0.7 V를 대입하면 $R + 1\text{k}\Omega = \frac{14}{0.7}\text{k}\Omega = 20\text{k}\Omega$이므로 $R = 19\text{k}\Omega$이다. 따라서 전류가 흐르지 않는 조건은 R≥19 kΩ이다. **19 kΩ은 전류가 흐르기 시작하는 경계값**이며, 이보다 큰 저항에서도 전류가 흐르지 않는다.

보기와의 대응: 14 kΩ, 16 kΩ, 18 kΩ은 모두 경계값보다 작고, 20 kΩ만 조건을 만족한다. R = 20 kΩ일 때 $V = 14\text{V} \cdot \frac{1}{21} \approx 0.667\text{V}$로 0.7 V보다 낮으므로 다이오드는 차단되고 2 kΩ 저항의 전류는 0 A이다. 따라서 구하는 저항은 ④의 20 kΩ이다.

NoteBase

문 5. 슈미트 트리거 회로의 특성으로 옳지 않은 것은?

① 정궤환 회로에 해당한다.

② 멀티바이브레이터라고 하는 파형발생기로 사용될 수 있다.

③ 히스테리시스 특성을 가진다.

④ 잡음신호로 인한 채터링(chattering) 현상을 제거할 수 없다.

정답 4번

간단한 해설

슈미트 트리거는 입력이 증가할 때와 감소할 때의 **전환 문턱전압이 서로 다르다**. 이 문턱전압 차이보다 작은 잡음으로는 출력이 반복해서 바뀌지 않으므로, 잡음에 의한 **채터링을 억제할 수 있다**.

선지별 해설

① O: 슈미트 트리거는 출력의 일부를 입력 측에 되돌려 입력 변화에 따른 출력 전환을 강화하는 **정궤환**을 이용한다. 이 작용으로 출력이 두 상태 중 하나로 빠르게 전환된다.

② O: 슈미트 트리거에 **저항과 커패시터를 결합**하면 비안정 멀티바이브레이터인 파형발생기를 구성할 수 있다. 커패시터 전압이 한쪽 문턱전압에 도달하면 출력이 전환되어 충전·방전 방향이 바뀌고, 반대쪽 문턱전압에 도달하면 다시 전환된다. 이 과정이 반복되면서 출력에 구형파가 발생한다.

③ O: 히스테리시스는 **입력의 변화 방향에 따라 전환 문턱전압이 달라지는** 특성이다. 입력이 증가할 때는 상한 문턱전압에서, 감소할 때는 하한 문턱전압에서 출력이 전환된다. 두 문턱전압 사이에서는 직전 출력 상태가 유지된다.

④ X: 채터링은 문턱전압 부근의 잡음 때문에 출력이 짧은 시간에 반복해서 전환되는 현상이다. 슈미트 트리거는 한 번 전환된 출력이 다시 바뀌려면 입력이 **반대쪽 문턱전압까지 넘어야** 하므로, 두 문턱전압 차이보다 작은 잡음에 의한 채터링을 억제할 수 있다. 따라서 '제거할 수 없다'는 '억제·제거할 수 있다'로 고쳐야 한다. 다만 잡음이 두 문턱전압을 모두 넘나들 정도로 크면 반복 전환이 생길 수 있다.

NoteBase

문 6. 부하가 저항 R인 반파정류회로에 대한 설명으로 옳지 않은 것은? (단, 전원전압은 $v_s(t) = \sqrt{2}V\sin\omega t$ [V]이고, 다이오드는 이상적인 소자이다)

① 출력전압의 평균치는 $\sqrt{2}V/\pi$ [V]이다.

② 출력전압의 실효치는 $\sqrt{2}V/2$ [V]이다.

③ 부하에 공급되는 전력은 $V^2/(4R)$ [W]이다.

④ 다이오드에 인가되는 역방향 최대전압은 $\sqrt{2}V$ [V]이다.

정답 3번

간단한 해설

저항 부하에 공급되는 평균전력은 **출력전압의 실효치**를 이용하여 구한다. 반파정류 출력의 실효치는 $\frac{\sqrt{2}V}{2}$ [V]이므로 부하전력은 $\frac{V^2}{2R}$ [W]이다.

선지별 해설

전원전압의 최댓값을 $V_m = \sqrt{2}V$라 두면, V는 전원전압의 실효치이다. 이상적인 다이오드는 순방향 반주기에는 전압강하 없이 도통하고 역방향 반주기에는 차단하므로, 부하에는 정현파의 한쪽 반주기만 나타난다.

① O: 출력전압의 평균치는 **출력이 0인 반주기까지 포함한 한 주기**를 기준으로 구한다. 위상각을 기준으로 도통 반주기의 정현파를 적분한 값은 $2V_m$이고 한 주기는 2π이므로, 평균치는 $V_{\text{avg}} = \frac{V_m}{\pi} = \frac{\sqrt{2}V}{\pi}$ [V]이다.

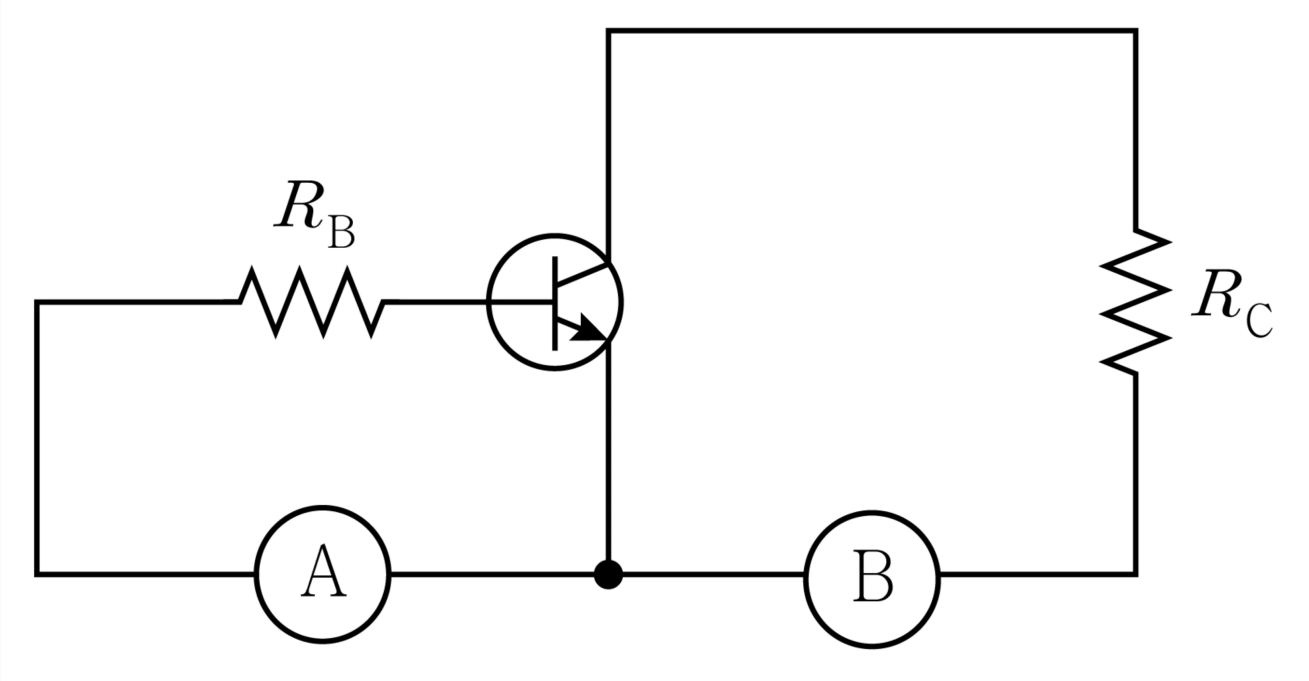
② O: 실효치는 전압을 제곱한 값의 한 주기 평균에 제곱근을 취한 값이다. 원래 정현파의 제곱 평균은 $\frac{V_m^2}{2}$이고, 반파정류하면 그중 한쪽 반주기가 0이 되어 제곱 평균이 $\frac{V_m^2}{4}$로 줄어든다. 따라서 출력전압의 실효치는 $V_{\text{rms}} = \frac{V_m}{2} = \frac{\sqrt{2}V}{2}$ [V]이다.

③ X: 저항의 순간전력은 $p(t) = \frac{v_o^2(t)}{R}$이므로, 부하에 공급되는 평균전력은 **전압의 제곱 평균을 저항으로 나눈 값**이다. 따라서 $P = \frac{V_{\text{rms}}^2}{R} = \frac{V^2}{2R}$ [W]이다. 선지의 $\frac{V^2}{4R}$ [W]는 $\frac{V^2}{2R}$ [W]로 고쳐야 한다.

④ O: 역방향 반주기에는 다이오드가 차단되어 전류가 흐르지 않으므로 저항의 전압도 0이다. 따라서 **전원전압 전체가 다이오드에 역방향으로 걸리며**, 그 크기는 전원전압이 음의 최댓값에 도달할 때 가장 크다. 역방향 최대전압은 $V_{\text{R, max}} = V_m = \sqrt{2}V$ [V]이다.

NoteBase

문 7. 다음 트랜지스터 회로에 순방향 바이어스 전원을 연결할 때 전원 A와 B의 연결 방향으로 옳은 것은?



① 

② 

③ 

④ 

정답 2번

NoteBase

간단한 해설

이미터의 화살표가 바깥쪽을 향하므로 **NPN 트랜지스터**이다. 베이스와 컬렉터 쪽에 (+), 공통 이미터 쪽에 (−)가 오도록 전원 A는 왼쪽이 (+), 전원 B는 오른쪽이 (+)가 되어야 한다.

공통 해설

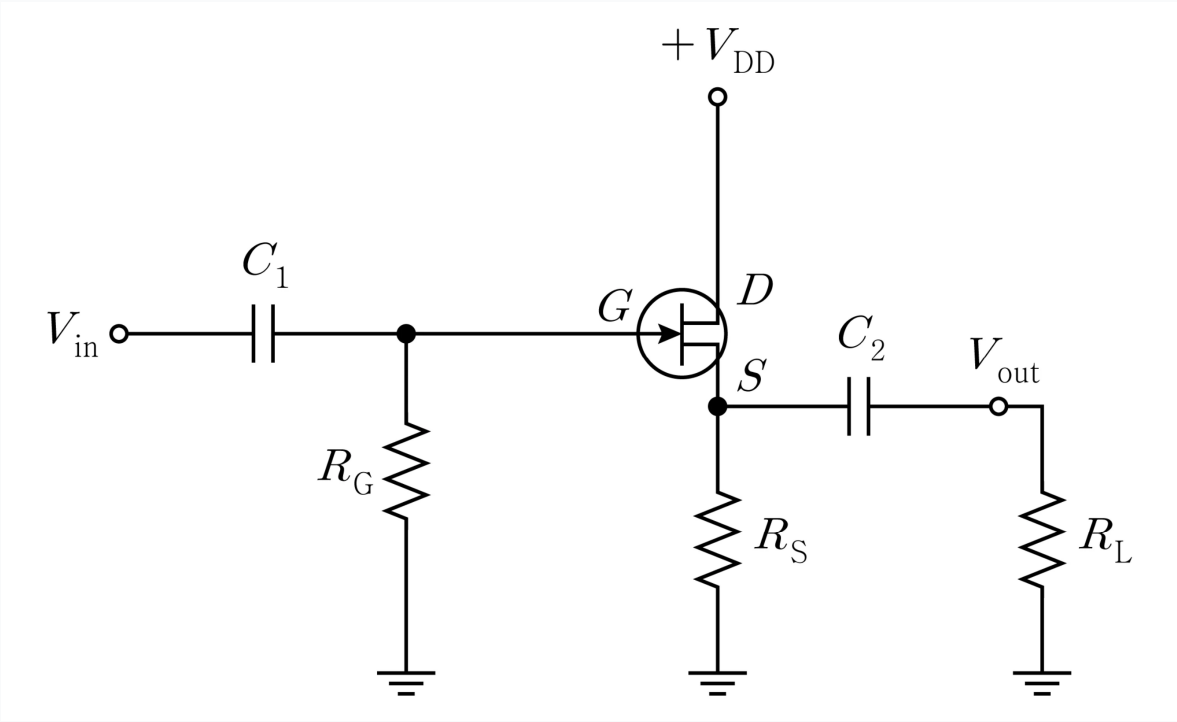
그림에서 화살표가 있는 아래쪽 단자는 이미터, 왼쪽 단자는 베이스, 위쪽 단자는 컬렉터이다. 이미터의 화살표가 베이스에서 바깥쪽으로 향하므로 NPN 트랜지스터이며, 아래쪽 공통 접점은 이미터에 연결되어 있다.

NPN 트랜지스터의 정상적인 증폭 동작에서는 베이스–이미터 접합에 순방향 바이어스, 베이스–컬렉터 접합에 역방향 바이어스를 건다. 따라서 **컬렉터의 전위가 베이스보다 높고, 베이스의 전위가 이미터보다 높아야 한다**. 이 관계에 맞추어 베이스와 컬렉터 쪽으로 각각 양의 전원을 공급한다.

전원 A의 왼쪽은 베이스 저항을 거쳐 베이스에, 오른쪽은 이미터에 연결된다. 전원 B의 왼쪽은 이미터에, 오른쪽은 컬렉터 저항을 거쳐 컬렉터에 연결된다. 따라서 A는 왼쪽 (+)·오른쪽 (−), B는 왼쪽 (−)·오른쪽 (+)로 연결한다. 전원 기호에서 긴 선이 (+), 짧은 선이 (−)이므로, A의 긴 선은 왼쪽에, B의 긴 선은 오른쪽에 놓인다.

NoteBase

문 8. 다음 회로에 대한 설명으로 옳지 않은 것은?



① 전압이득은 1보다 작다.

② 입력임피던스는 매우 크다.

③ 출력전압의 위상은 입력전압의 위상과 반대이다.

④ 소스 팔로워(source-follower) 회로라 불린다.

정답 3번

간단한 해설

출력을 소스에서 꺼내는 공통 드레인 회로에서는 입력전압이 증가하면 소스 전압도 증가하므로, 입력과 출력은 **동상**이다. ③의 '위상이 반대'라는 설명은 '위상이 같다'로 고쳐야 한다.

NoteBase

선지별 해설

그림은 입력을 게이트 G에 가하고 출력을 소스 S에서 꺼내는 FET의 공통 드레인 회로이다. 드레인 D는 전원에 연결되어 교류 신호에 대해 공통 단자가 된다. 이하의 특성은 결합 커패시터의 리액턴스를 무시할 수 있는 중간 주파수 대역의 소신호 동작을 기준으로 한다.

① O: 소스 전압이 상승하면 게이트－소스 사이 전압의 증가분이 줄어들어 전류 증가를 억제하는 **부귀환**이 작용한다. 이 때문에 출력전압의 변화량은 입력전압의 변화량보다 조금 작으며, 전압이득은 양수이면서 1보다 작다.

② O: FET는 정상 동작에서 **게이트 전류가 거의 흐르지 않으므로** 입력임피던스가 매우 크다. 다만 외부에서 본 실제 입력임피던스는 게이트와 접지 사이에 연결된 바이어스 저항 R_G의 영향도 받으며, 게이트 전류를 무시하면 대략 R_G로 정해진다.

③ X: 입력인 게이트 전압이 증가하면 게이트－소스 전압이 증가하여 드레인 전류가 증가한다. 이에 따라 소스 저항 R_S에 걸리는 전압도 증가하므로 소스에서 꺼내는 출력전압 역시 증가한다. 따라서 입력과 출력의 위상은 반대가 아니라 **같다**.

④ O: 소스의 출력전압 변화가 게이트의 입력전압 변화를 **같은 방향으로 따라가므로** 소스 팔로워라고 부른다. 전압이득이 1에 가까우면서 입력임피던스가 크고 출력임피던스가 작아, 앞단 회로의 부하 부담을 줄이는 버퍼로 사용한다.

NoteBase

문 9. 2진 코드에 대한 설명으로 옳지 않은 것은?

① BCD 코드는 10진수를 표현하는 보편적인 방법이며 10진수 31에 대한 BCD 코드는 0011 0001이다.

② 그레이(Gray) 코드는 가중치를 가지므로 효율적 연산을 하는 데 유리하다.

③ ASCII 코드는 미국 표준 코드로 영문 대소문자, 특수 문자 등을 표현하기 위해 사용된다.

④ 해밍(Hamming) 코드는 데이터의 전송 과정에서 발생하는 오류를 검출하고 정정하는 데 사용된다.

정답 2번

간단한 해설

그레이 코드는 각 비트에 고정된 자리 가중치를 부여하지 않는 **비가중 코드**이므로, 가중치를 이용한 산술 연산에 유리하다는 설명은 잘못이다. 인접한 두 코드 사이에서 **한 비트만 바뀌는** 것이 특징이다.

선지별 해설

① O: 일반적인 BCD인 8421 코드는 **10진수의 각 자리를 각각 4비트로** 표현한다. 31의 십의 자리 3은 0011, 일의 자리 1은 0001이므로 두 묶음을 이어 쓴 0011 0001이 된다. 이는 31 전체를 하나의 순수 2진수로 변환하는 것과 다르다.

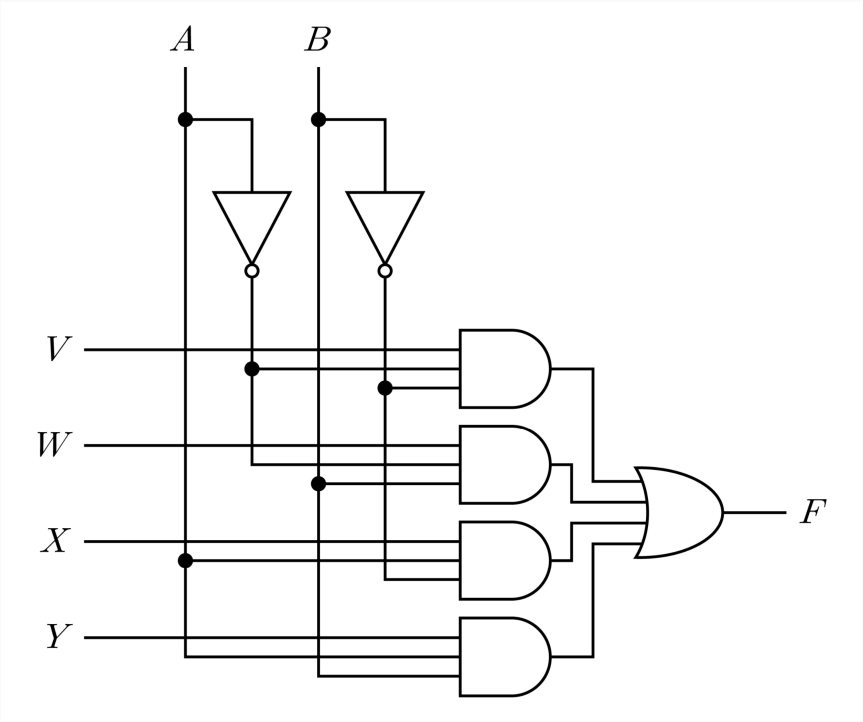
② X: 그레이 코드는 각 비트에 고정된 자리 가중치가 없는 **비가중 코드**이다. 따라서 비트별 가중치를 합산하여 값을 구하거나 그대로 산술 연산하기에 유리한 코드가 아니다. 핵심 특징은 인접한 수의 코드가 **한 비트만 달라진다**는 것으로, 위치 센서 등에서 코드가 전환되는 순간의 판독 오류를 줄이는 데 활용된다.

③ O: ASCII는 정보 교환을 위한 미국 표준 문자 코드로, **기본 코드는 7비트**를 사용하여 128개의 코드값을 구분한다. 여기에 영문 대문자와 소문자, 숫자, 특수 문자 및 제어 문자가 배정되어 있어 문자를 디지털 데이터로 표현할 수 있다.

④ O: 해밍 코드는 데이터에 여러 패리티 비트를 추가하여 오류를 검출하고 정정하는 코드이다. 기본 해밍 코드에서는 패리티 검사 결과의 조합으로 **한 비트 오류의 위치**를 알아내고, 그 비트를 반전시켜 원래 값으로 복구한다.

NoteBase

문 10. 다음 논리 회로에서 출력 F가 1이 되는 입력 AB와 VWXY의 값은?



① AB: 00 VWXY: 0101

② AB: 01 VWXY: 0110

③ AB: 10 VWXY: 0101

④ AB: 11 VWXY: 1010

정답 2번

간단한 해설

이 회로는 **AB로 선택한 입력 하나를 출력하는 4:1 멀티플렉서**이다. AB가 01이면 W가 출력으로 전달되므로, VWXY가 0110일 때 W=1이 되어 F=1이다.

NoteBase

공통 해설

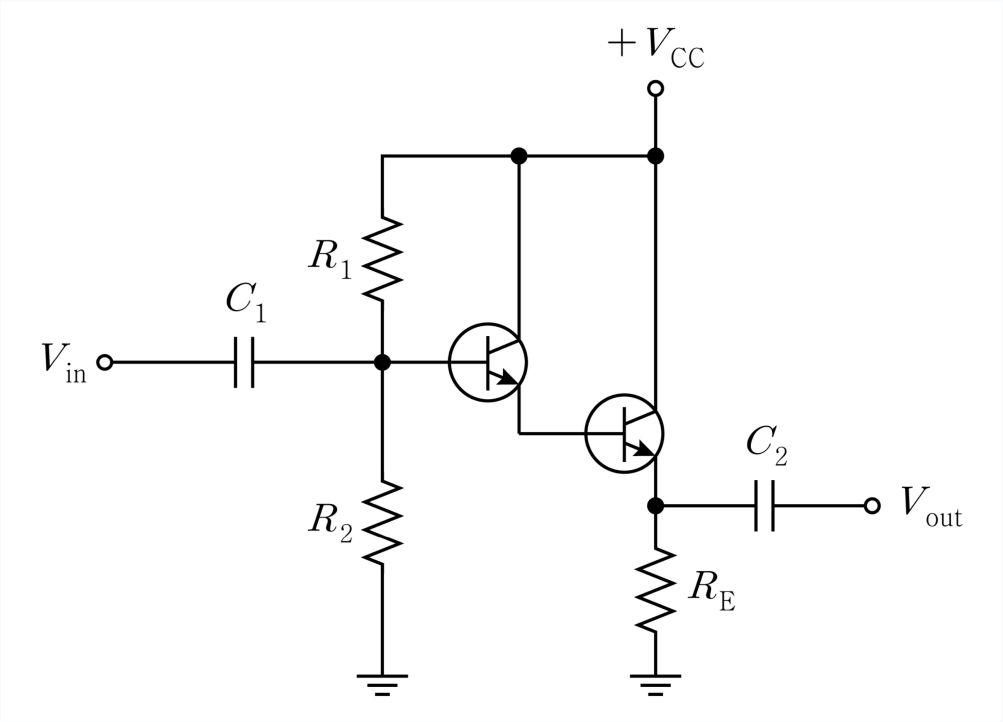
삼각형 끝의 작은 원은 입력을 반전하는 NOT 연산을 뜻한다. 네 AND 게이트에는 위에서부터 V·W·X·Y와 함께, 각각 A와 B의 조합 00·01·10·11에 대응하는 선택 신호가 연결되어 있다. AND 게이트는 모든 입력이 1일 때만 1을 출력하고, 마지막 OR 게이트는 입력 중 하나라도 1이면 1을 출력한다.

따라서 이 회로는 **AB에 해당하는 데이터 입력 하나만 F로 전달**한다. AB가 00이면 V, 01이면 W, 10이면 X, 11이면 Y가 선택된다. 선택되지 않은 나머지 입력은 값이 0이든 1이든 F에 영향을 주지 않는다. 모든 후보는 이 동일한 선택 관계에 따라, 선택된 데이터가 1인지 확인하면 된다.

AB가 01이면 A의 반전값과 B가 모두 1이므로 W에 연결된 AND 게이트만 데이터가 통과할 수 있다. VWXY가 0110이면 V=0, W=1, X=1, Y=0이므로 선택된 W의 값 1이 최종 출력 F가 된다.

NoteBase

문 11. 다음 달링턴(darlington) 회로에 대한 설명으로 옳은 것은?



① 높은 전류이득을 가진다.

② 높은 전압이득을 가진다.

③ 낮은 입력임피던스를 가진다.

④ 공통 에미터 회로이다.

정답 1번

간단한 해설

첫 번째 트랜지스터의 에미터 전류가 두 번째 트랜지스터의 베이스로 들어가 다시 증폭되므로 **높은 전류이득**을 얻는다. 출력은 두 번째 트랜지스터의 에미터에서 꺼낸다.

NoteBase

선지별 해설

① O: 그림에서 첫 번째 트랜지스터의 에미터가 두 번째 트랜지스터의 베이스에 연결되어 있다. 첫 번째 소자가 증폭한 전류를 두 번째 소자가 다시 증폭하므로 작은 입력 베이스 전류로 큰 출력 전류를 제어할 수 있다. 두 소자가 활성영역에서 동작하고 각각의 전류이득 β_1, β_2가 충분히 크면, 달링턴 쌍의 전류이득은 대략 $\beta_1\beta_2$가 된다. 즉, **두 소자의 전류 증폭 효과가 곱해진다**.

② X: 입력은 첫 번째 트랜지스터의 베이스에 가해지고 출력은 두 번째 트랜지스터의 에미터에서 나온다. 이는 에미터 팔로어를 연속으로 연결한 구조이므로, 정상적인 소신호 증폭 동작에서 출력 전압의 변화는 입력 전압의 변화를 따라간다. 전압이득은 **1보다 약간 작고 1에 가까우며**, 높은 전압이득을 얻는 회로가 아니다.

③ X: 달링턴 쌍은 큰 출력 전류에 비해 입력 베이스 전류가 작아, 입력 신호원에서 전류를 적게 끌어온다. 따라서 트랜지스터 쌍의 입력 특성은 **높은 입력임피던스**이다. 다만 그림의 바이어스 저항 R_1, R_2도 입력에 연결되어 있으므로 회로 전체의 입력임피던스는 이 저항값들의 영향도 받는다.

④ X: 두 트랜지스터의 컬렉터는 모두 전원에 연결되고, 출력은 에미터에서 꺼낸다. 전원 노드는 소신호 교류 해석에서 공통 기준점이 되므로 **공통 컬렉터 회로**에 해당한다. 공통 에미터 회로는 에미터를 공통 기준으로 삼고 컬렉터에서 출력을 꺼내는 구조이다.

NoteBase

문 12. 보드(Bode) 선도에 대한 설명으로 옳은 것만을 모두 고르면?

ㄱ. 보드 선도는 입력신호의 각 주파수 ω에 대한 전달 함수(transfer function) $G(j\omega)$의 크기([dB])와 위상([degree])의 변화를 나타낸 그래프로서 근사적으로 표현 가능하다.
ㄴ. $G(j\omega) = K$이고 K가 음의 상수라면 보드 선도의 크기는 $20\log_{10}|K|$로 표현되고, 위상은 180°로 일정하다.
ㄷ. $G(j\omega) = j\omega$라면 보드 선도의 크기는 $20\log_{10}\omega$로 표현되고, 위상은 90°로 일정하다.
ㄹ. $G(j\omega) = \left(\frac{1}{1+j\omega/\omega_c}\right)^2$일 때 $\omega \gg \omega_c$인 고주파 영역에서 근사화된 보드 선도 크기의 기울기는 −40 [dB/decade]이다.

① ㄱ, ㄹ

② ㄴ, ㄷ

③ ㄱ, ㄴ, ㄷ

④ ㄱ, ㄴ, ㄷ, ㄹ

정답 4번

간단한 해설

ㄹ의 전달 함수는 1차 지연 요소 두 개의 곱이므로, 고주파에서 각 요소의 크기 기울기 −20 dB/decade가 더해져 **−40 dB/decade**가 된다. 즉, 주파수가 10배가 될 때 크기가 약 40 dB 감소한다.

NoteBase

보기별 해설

ㄱ. O: 보드 선도는 **주파수를 로그 눈금**으로 놓고 전달 함수의 크기와 위상을 각각 나타낸다. 크기는 $20\log_{10}|G(j\omega)|$를 dB로, 위상은 $G(j\omega)$의 편각을 도 단위로 표시한다. 주파수 구간에 따라 직선으로 근사하면 크기와 위상의 변화 추세를 쉽게 파악할 수 있다.

ㄴ. O: 음의 실수 상수 K의 크기는 $|K|$이므로 dB 크기는 $20\log_{10}|K|$이다. 복소평면에서 음의 실수는 음의 실수축 위에 있으므로 위상은 **180°로 일정**하다. 상수 이득이므로 주파수가 변해도 크기와 위상 모두 변하지 않는다.

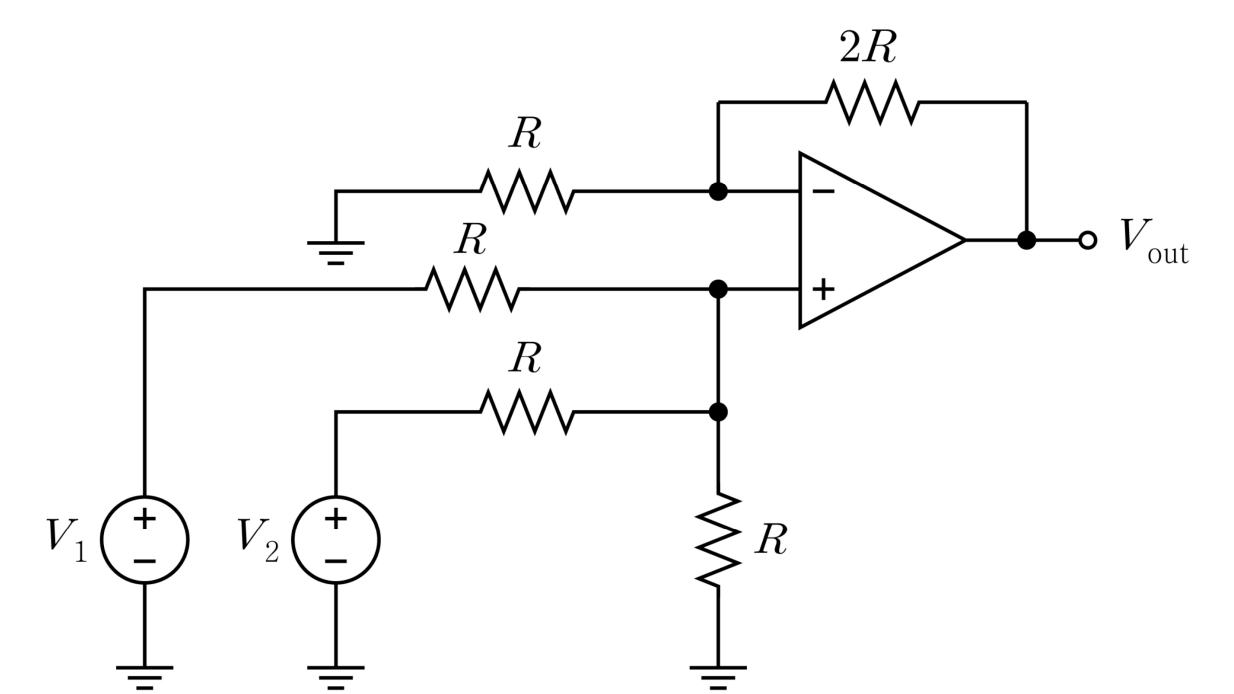
ㄷ. O: 보드 선도에서 다루는 양의 각주파수 $\omega > 0$에 대해 $j\omega$는 복소평면의 양의 허수축 위에 있다. 따라서 크기는 $|j\omega| = \omega$, 위상은 **90°로 일정**하다. 이를 dB로 바꾸면 크기는 $20\log_{10}\omega$이며, 주파수가 10배가 될 때 20 dB 증가한다.

ㄹ. O: ω_c는 꺾임 각주파수이다. 주어진 함수는 같은 1차 지연 요소 두 개의 곱이므로 크기는 $|G(j\omega)| = \frac{1}{1+(\omega/\omega_c)^2}$이다. **고주파 조건** $\omega \gg \omega_c$에서는 분모의 1을 무시할 수 있어 $|G(j\omega)| \approx (\frac{\omega_c}{\omega})^2$로 근사한다. 따라서 dB 크기는 $-40\log_{10}(\omega/\omega_c)$로 근사된다. 1 decade는 주파수가 10배가 되는 구간이므로, 이 구간마다 크기가 40 dB 감소하여 기울기는 −40 dB/decade이다.

ㄱ, ㄴ, ㄷ, ㄹ이 모두 성립하므로 이들을 모두 포함한 조합은 ④이다.

NoteBase

문 13. 다음 연산증폭기 회로에서 출력전압 V_{out} [V]은? (단, 연산증폭기는 이상적인 소자이다)



① $V_1 + V_2$

② $V_1 + 2V_2$

③ $2V_1 + V_2$

④ $V_1 \times V_2$

정답 1번

간단한 해설

비반전 입력 전압은 $\frac{V_1 + V_2}{3}$이고, 이 전압에 대한 **비반전 증폭 이득은 3**이다. 따라서 출력전압은 두 입력전압의 합인 $V_{out} = V_1 + V_2$이다.

NoteBase

계산 과정

이상적인 연산증폭기의 비반전·반전 입력 전압을 각각 V_+, V_-라 하자. 두 입력 단자로 흐르는 전류는 0이다. 출력이 저항 2R을 거쳐 반전 입력으로 되돌아가는 **음의 되먹임** 회로이므로 선형 동작에서 $V_+ = V_-$가 성립한다.

비반전 입력 노드에는 V_1, V_2, 접지로 이어지는 저항 R이 각각 연결되어 있다. 입력 단자로 전류가 흐르지 않으므로 키르히호프 전류 법칙을 적용하면 $\frac{V_1 - V_+}{R} + \frac{V_2 - V_+}{R} = \frac{V_+}{R}$이다. 이를 정리하면 $3V_+ = V_1 + V_2$, 즉 $V_+ = \frac{V_1 + V_2}{3}$이다. 분모가 3인 것은 **접지로 연결된 저항 R도 노드 전압을 결정**하기 때문이다.

반전 입력 쪽에서는 출력과 접지 사이에 2R과 R이 직렬로 연결되어 있다. 반전 입력 단자로 전류가 흐르지 않으므로 저항 분압에 따라 $V_- = \frac{R}{2R + R} V_{\text{out}} = \frac{V_{\text{out}}}{3}$이다. 따라서 $V_- = V_+$를 적용하면 $V_{\text{out}} = 3V_+$이며, 비반전 입력 전압에 대한 전압 이득은 3이다.

구한 비반전 입력 전압을 대입하면 $V_{\text{out}} = 3 \cdot \frac{V_1 + V_2}{3} = V_1 + V_2$이다. 두 입력전압을 V 단위로 넣으면 출력전압도 V 단위이며, 이 식은 ①의 $V_1 + V_2$와 일치한다.

NoteBase

문 14. TCP(Transmission Control Protocol)와 UDP(User Datagram Protocol)에 대한 설명으로 옳지 않은 것은?

① UDP는 8바이트 크기의 헤더(header)를 포함한다.

② TCP는 UDP보다 신뢰성 있는 연결형 서비스를 제공한다.

③ TCP 세그먼트(segment)의 헤더(header)는 체크섬(checksum) 항목을 포함하지 않는다.

④ UDP는 흐름제어와 혼잡제어 기능을 수행하지 않는다.

정답 3번

간단한 해설

TCP 세그먼트의 헤더에는 **체크섬 항목이 포함된다**. 체크섬은 전송 중 TCP 헤더와 데이터에 오류가 생겼는지 검사하는 데 사용한다.

선지별 해설

① O: UDP 헤더는 출발지 포트, 목적지 포트, 길이, 체크섬의 네 항목으로 구성된다. 각 항목이 2바이트이므로 헤더 크기는 **고정된 8바이트**이다.

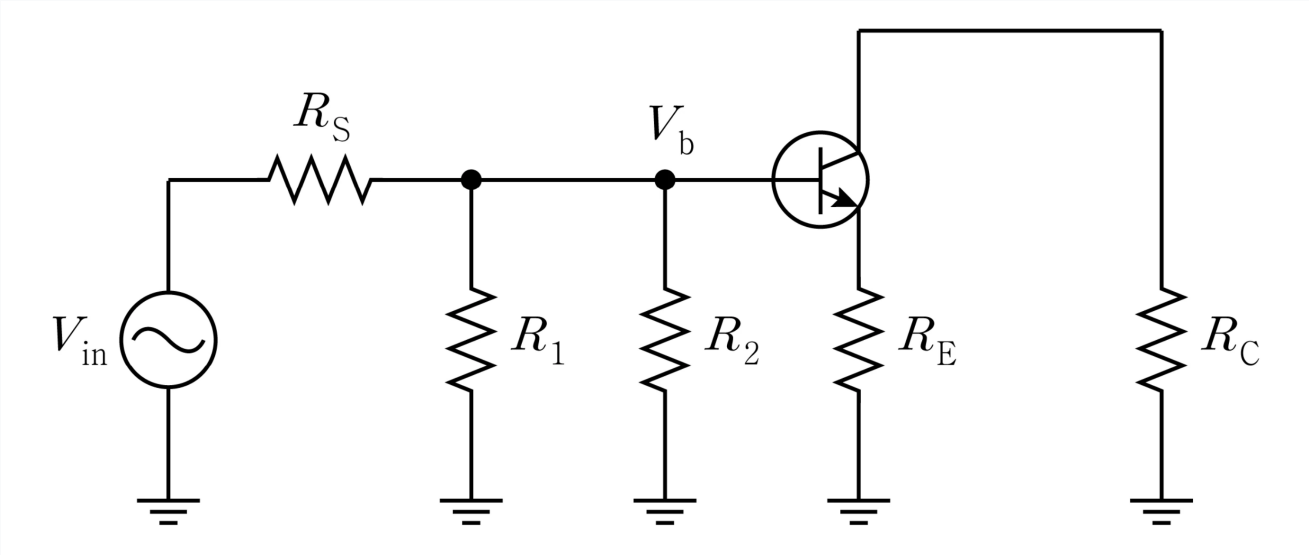
② O: TCP는 통신 전에 연결을 설정하고, 순서 번호·확인 응답·재전송을 이용해 데이터의 누락과 순서 뒤바뀜에 대응한다. 이러한 기능으로 **신뢰성 있는 연결형 서비스**를 제공한다. UDP는 연결 설정 없이 데이터그램을 보내며, 자체적으로 전달 여부나 도착 순서를 보장하지 않는다.

③ X: TCP 헤더에는 **16비트 체크섬 항목이 포함된다**. 수신 측은 체크섬으로 TCP 헤더와 데이터의 전송 오류를 검사한다. 따라서 '체크섬 항목을 포함하지 않는다'를 '체크섬 항목을 포함한다'로 고쳐야 한다.

④ O: 흐름제어는 수신 측이 처리할 수 있는 양에 맞추어 송신량을 조절하고, 혼잡제어는 네트워크의 혼잡 상태에 맞추어 전송량을 조절하는 기능이다. UDP는 **자체적인 흐름제어와 혼잡제어 기능이 없다**. UDP를 사용하는 응용 프로그램이 필요에 따라 이러한 기능을 별도로 구현할 수는 있다.

NoteBase

문 15. 다음 증폭기의 교류 등가 회로에서 베이스 전압 V_b [mV]는? (단, 교류 에미터 저항 $r'_e = 10$ [Ω], $\beta_{ac} = 100$, $V_{in} = 20$ [mV], $R_S = 10$ [kΩ], $R_1 = 20$ [kΩ], $R_2 = 40$ [kΩ], $R_E = 390$ [Ω], $R_C = 10$ [kΩ]이다)



① 0.149

② 7.27

③ 10

④ 16

정답 3번

간단한 해설

베이스에서 본 트랜지스터의 입력저항은 에미터 저항까지 반영하면 약 40 kΩ이다. 이 저항과 두 바이어스 저항의 **병렬 합성저항이 10 kΩ**이므로, 10 kΩ인 신호원 저항과 전압을 절반씩 나누어 베이스 전압은 10 mV가 된다.

NoteBase

계산 과정

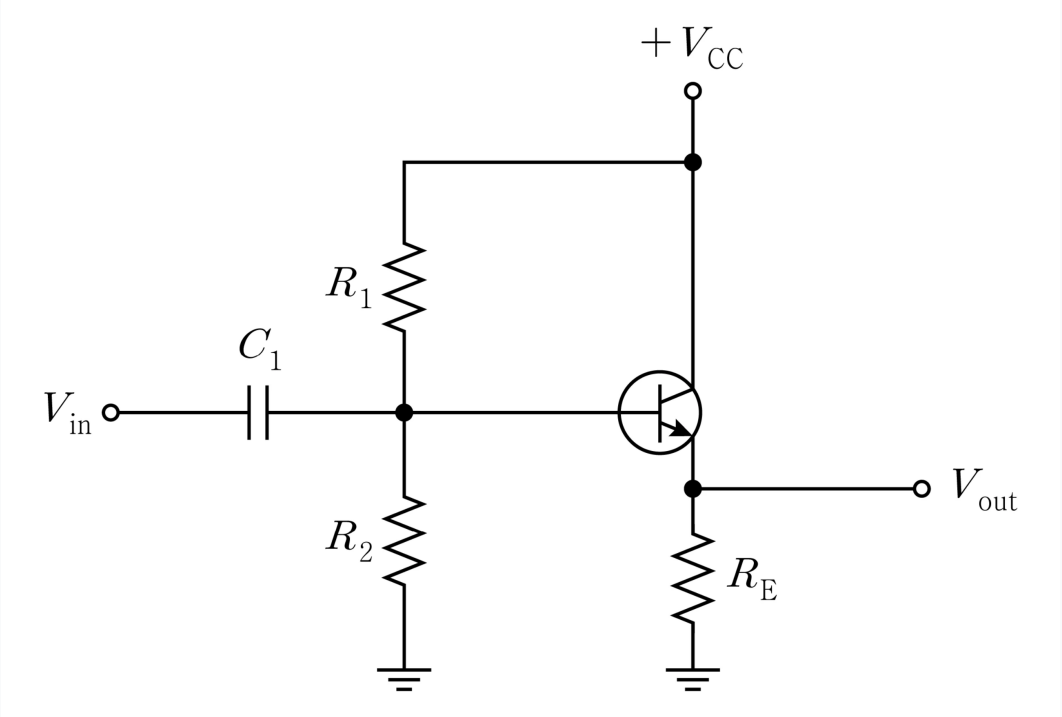
1. 트랜지스터의 입력저항: 그림에서 에미터와 접지 사이의 R_E가 그대로 연결되어 있으므로, **에미터 저항을 포함한 입력저항**을 구해야 한다. 베이스 전압은 내부 교류 에미터 저항 r'_e와 외부 에미터 저항 R_E에 걸리는 전압의 합이므로 $V_b = I_e(r'_e + R_E)$이다. $\beta_{ac} = 100$으로 충분히 크므로 에미터 전류를 $I_e \approx \beta_{ac} I_b$로 근사하면, 베이스에서 본 입력저항은 $R_{ib} \approx \beta_{ac}(r'_e + R_E)$이다. 따라서 $R_{ib} \approx 100 \cdot (10 + 390)\Omega$, 즉 40 kΩ이다.

2. 신호원이 보는 부하저항: 그림에서 R_1, R_2, 트랜지스터의 입력저항은 모두 베이스와 접지 사이에 연결되어 있으므로 **세 저항을 병렬로 합성**한다. 합성 입력저항을 R_{in}이라 하면 $R_{in} = R_1 \parallel R_2 \parallel R_{ib}$이고, $R_{in} = \left(\frac{1}{20} + \frac{1}{40} + \frac{1}{40}\right)^{-1}$kΩ이므로 10 kΩ이다. 이는 신호원 저항 R_S의 오른쪽 회로 전체가 입력에서 나타내는 저항이다. 컬렉터 저항 R_C는 이 베이스 입력의 병렬 저항에 직접 포함하지 않는다.

3. 베이스 전압: 신호원 저항 R_S와 합성 입력저항 R_{in}이 직렬로 연결되고, 베이스 전압은 R_{in} 양단의 전압이다. 전압 분배식은 $V_b = V_{in}\frac{R_{in}}{R_S + R_{in}}$이다. 두 저항이 모두 10 kΩ이므로 $V_b = 20 \cdot \frac{10}{10+10} = 10$mV이다. 따라서 베이스 전압은 약 10 mV이며, ③의 값과 일치한다.

NoteBase

문 16. 다음 증폭기 회로에서 전류이득은? (단, 교류 에미터 저항 $r'_e = 0[\Omega]$, 전압이득 $A_v \simeq 1$, $\beta_{ac} = 200$, $V_{CC} = 10[V]$, $R_1 = 100[k\Omega]$, $R_2 = 100[k\Omega]$, $R_E = 1[k\Omega]$이다)



① 20

② 40

③ 60

④ 80

정답 2번

간단한 해설

입력 전류는 베이스뿐 아니라 바이어스 저항으로도 나뉘므로 **전체 입력저항**을 사용해야 한다. 전체 입력저항은 약 40 kΩ이고 전압이득이 약 1이므로, 전류이득은 이 입력저항과 1 kΩ인 에미터 저항의 비인 약 40이다.

NoteBase

계산 과정

회로는 베이스에 신호를 넣고 에미터에서 출력을 얻는 에미터 팔로어이다. 결합 커패시터 C_1을 교류 신호에 대해 단락으로 보는 통상적인 증폭 대역에서 계산한다. 직류 전원 V_{CC}는 교류 접지이므로, 입력에서 보면 R_1과 R_2가 모두 접지로 연결된다. 출력 전류는 R_E에 흐르는 교류 전류로 잡는다.

베이스 쪽 입력저항: $r\prime_e = 0$이고 전압이득이 약 1이므로, 베이스의 교류 전압은 에미터의 교류 전압과 거의 같다. 또한 $i_e = (\beta_{ac} + 1) i_b$이며, $\beta_{ac} = 200$이므로 $\beta_{ac} + 1 \simeq \beta_{ac}$로 근사한다. 따라서 에미터 저항은 베이스에서 볼 때 **약 200배 큰 저항**으로 나타난다. 이를 $R_{\text{in, B}}$라 하면 $R_{\text{in, B}} \simeq \beta_{ac} R_E$이므로 $200 \times 1 = 200\ \text{k}\Omega$이다.

전체 입력저항: 바이어스 저항의 병렬합을 R_B라 하면 $R_B = \frac{100 \cdot 100}{100 + 100} = 50\text{k}\Omega$이다. 입력 전류에는 **바이어스 저항에 흐르는 전류도 포함**되므로, 전체 입력저항은 이 50 kΩ과 베이스 쪽 입력저항 200 kΩ의 병렬합이다. 따라서 $R_{\text{in}} = \frac{50 \cdot 200}{50 + 200} = 40\text{k}\Omega$이다.

전류이득: 입력 전류는 $i_{\text{in}} = \frac{v_{\text{in}}}{R_{\text{in}}}$, 출력 전류는 $i_{\text{out}} = \frac{v_{\text{out}}}{R_E}$이다. 두 식의 비를 취하면 $A_i = A_v \frac{R_{\text{in}}}{R_E}$가 된다. 주어진 $A_v \simeq 1$을 대입하면 $A_i \simeq 1 \cdot \frac{40}{1} = 40$이다. 전류끼리의 비이므로 단위가 없으며, ②의 40에 해당한다.

NoteBase

문 17. 시간축의 한 칸을 5 [μs]로 설정한 오실로스코프로 측정된 정현파(sinusoidal wave) 전압 신호가 오실로스코프 시간축의 네 칸에 걸쳐 반 주기를 형성하였다. 측정된 정현파 전압 신호의 각 주파수(angular frequency) [rad/s]는?

① 5×10^4

② 1×10^5

③ $5\pi\times10^4$

④ $\pi\times10^5$

정답 3번

간단한 해설

네 칸은 **반주기**이므로 한 주기는 40 μs이다. 한 주기에서 위상이 2π rad만큼 변하므로 각주파수는 $\omega=\frac{2\pi}{T}=5\pi\times10^4$rad/s이다.

계산 과정

반주기 구하기: 시간축 한 칸이 5 μs이고 네 칸이 반주기에 해당하므로, 반주기는 $4\times5=20$ μs이다.

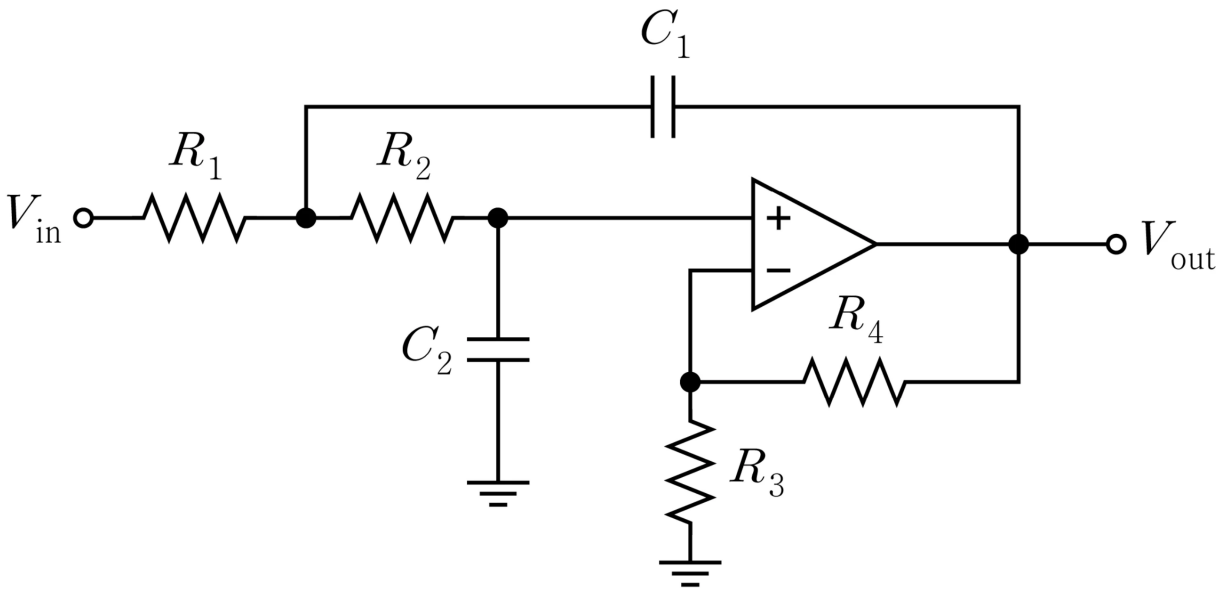
주기 구하기: 주기 T는 파형이 한 번 반복되는 데 걸리는 시간이다. 주기는 **반주기의 두 배**이므로 $2\times20=40$ μs이다. 초 단위로 환산하면 $T=40\times10^{-6}\text{s}=4\times10^{-5}\text{s}$이다.

각주파수 구하기: 각주파수 ω는 단위 시간당 위상 변화량이다. 정현파는 한 주기 동안 위상이 **2π rad만큼 변화**하므로 $\omega=\frac{2\pi}{T}$를 적용한다. 주기를 대입하면 $\omega=\frac{2\pi}{4\times10^{-5}}=5\pi\times10^4$rad/s이다.

따라서 측정된 신호의 각주파수는 $5\pi\times10^4$rad/s이며, ③의 값에 해당한다.

NoteBase

문 18. 다음 회로의 임계주파수 f_c [Hz]와 근사 버터워스(Butterworth) 특성을 갖기 위한 R_4 [kΩ]는? (단, R_1=R_2, C_1=C_2, R_3=1 [kΩ]이다)



① f_c [Hz]: $1/(2\pi\sqrt{(R_1R_2C_1C_2)})$, R_4 [kΩ]: 0.586

② f_c [Hz]: $1/(2\pi\sqrt{(R_1R_2C_1C_2)})$, R_4 [kΩ]: 1.414

③ f_c [Hz]: $1/(2\pi R_1R_2C_1C_2)$, R_4 [kΩ]: 0.586

④ f_c [Hz]: $1/(2\pi R_1R_2C_1C_2)$, R_4 [kΩ]: 1.414

정답 1번

간단한 해설

임계주파수는 $f_c = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$이다. 동일한 R·C를 쓰는 이 회로는 **비반전 이득이 약 1.586**일 때 버터워스 특성을 가지므로, $R_4 = (1.586 - 1)R_3$에서 약 0.586 kΩ을 얻는다.

NoteBase

계산 과정

회로와 이득: 그림에서 C_1은 $R_1 \cdot R_2$의 접속점과 출력 사이에, C_2는 비반전 입력과 접지 사이에 연결되어 있다. 이는 2차 Sallen–Key 저역통과 필터이다. 연산증폭기를 이상적으로 보면, 출력에서 반전 입력으로 연결된 R_4와 접지 쪽 R_3가 **비반전 증폭 이득**을 정한다. 이 이득을 K라 하면 $K = 1 + \frac{R_4}{R_3}$이다.

임계주파수: 이 필터의 전달함수 분모에서 상수항을 1로 놓으면 s^2의 계수는 $R_1R_2C_1C_2$이다. 이를 2차 필터의 표준형에 있는 $\frac{1}{\omega_0^2}$와 비교하면 고유각주파수는 $\omega_0 = \frac{1}{\sqrt{R_1R_2C_1C_2}}$이다. 버터워스 조건에서는 이 고유각주파수가 차단 각주파수이므로, $f_c = \frac{\omega_0}{2\pi} = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$이다. 저항을 Ω, 정전용량을 F로 넣으면 주파수 단위는 Hz가 된다. 곱의 제곱근은 시간 단위를 가지므로, 제곱근을 생략한 식은 주파수의 단위와도 맞지 않는다.

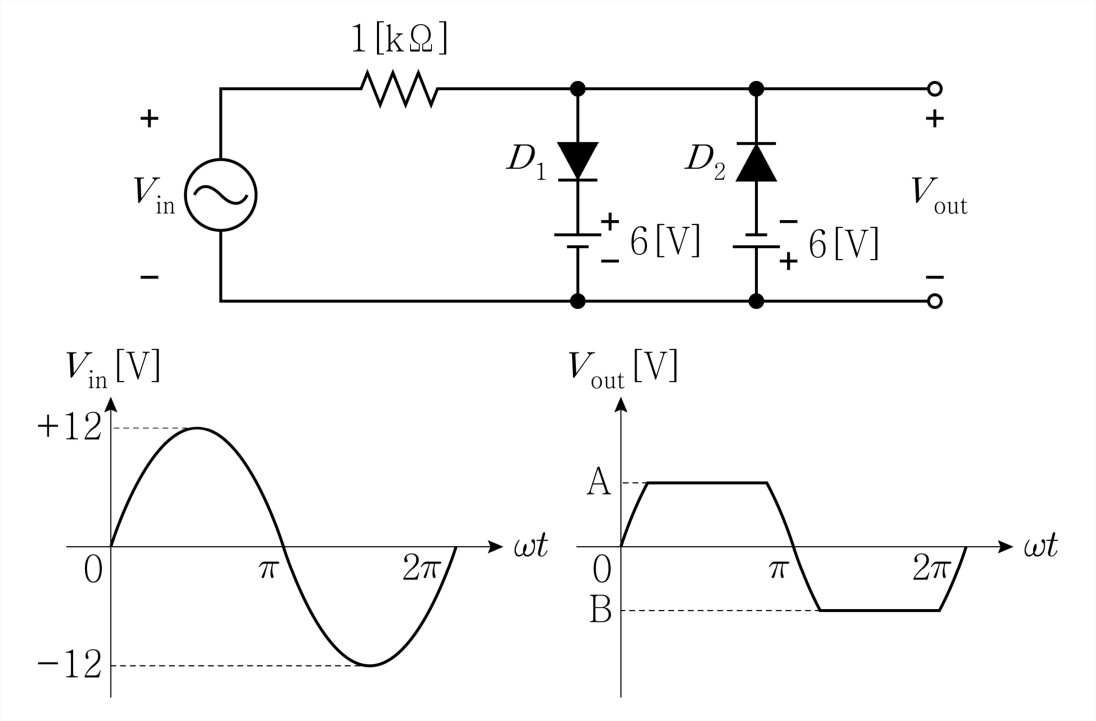
버터워스 조건: $R_1 = R_2 = R$, $C_1 = C_2 = C$로 두면 전달함수는 $H(s) = \frac{K}{(sRC)^2 + (3-K)sRC + 1}$이다. 여기서 s는 복소주파수이다. 2차 버터워스 필터는 통과대역의 크기 응답이 최대한 평탄하며, 정규화한 분모의 1차항 계수가 $\sqrt{2}$이다. 따라서 **분모의 1차항 계수를 일치**시키면 $3 - K = \sqrt{2}$, 즉 $K = 3 - \sqrt{2} \approx 1.586$을 얻는다. 이 값은 필터를 버터워스 응답으로 만드는 데 필요한 증폭 이득이다.

R_4 계산: 비반전 이득식에서 $R_4 = (K-1)R_3$이다. 여기에 $K - 1 = 2 - \sqrt{2} \approx 0.586$과 R_3 = 1 kΩ을 대입하면 $R_4 = (2 - \sqrt{2}) \cdot 1\text{k}\Omega \approx 0.586\text{k}\Omega$이다. 1.414는 $\sqrt{2}$의 근삿값이며, 이 회로에서 필요한 저항비는 $\frac{R_4}{R_3} = 2 - \sqrt{2}$이다.

따라서 임계주파수 식은 $f_c = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$, R_4는 약 0.586 kΩ이며, 두 결과를 함께 만족하는 선택지는 ①이다.

NoteBase

문 19. 다음은 양(+)의 리미터(limiter)와 음(−)의 리미터를 혼합한 회로이다. 입력신호(V_{in})를 인가했을 때, 출력신호(V_{out})에 표시된 A [V]와 B [V]의 값은? (단, 다이오드의 순방향 전압 강하는 0.7 [V]이고 저항 성분은 무시한다)



① A: 5.3, B: −5.3

② A: 5.7, B: −5.7

③ A: 6.7, B: −6.7

④ A: 7.3, B: −7.3

정답 3번

간단한 해설

각 다이오드는 **6 V 바이어스 전압에 순방향 전압 강하 0.7 V를 더한 크기**에서 출력을 제한한다. 따라서 위쪽 제한값 A는 6.7 V, 아래쪽 제한값 B는 −6.7 V이다.

NoteBase

계산 과정

아래쪽 공통선을 0 V로 잡으면, 두 6 V 전원의 다이오드 쪽 단자는 각각 +6 V와 −6 V이다. 다이오드는 **애노드 전압이 캐소드 전압보다 0.7 V 높아지면 도통**하며, 도통 중에는 이 전압 차이가 0.7 V로 유지되는 모형을 적용한다.

A 계산: D_1의 애노드는 출력에, 캐소드는 +6 V에 연결되어 있다. 출력이 양의 방향으로 증가하여 $V_{out} - 6 = 0.7$을 만족하면 D_1이 도통한다. 따라서 출력의 위쪽 제한값은 A = 6 + 0.7 = 6.7 V이다. 이때 D_2는 역방향 바이어스되어 차단된다.

B 계산: D_2의 애노드는 −6 V에, 캐소드는 출력에 연결되어 있다. 출력이 음의 방향으로 감소하여 $-6 - V_{out} = 0.7$을 만족하면 D_2가 도통한다. 따라서 출력의 아래쪽 제한값은 B = −6 − 0.7 = −6.7 V이다. 이때 D_1은 역방향 바이어스되어 차단된다.

출력 파형: 입력이 −6.7 V와 +6.7 V 사이에 있으면 두 다이오드가 차단된다. 그림에는 출력 부하가 없으므로 이 구간에서는 1 kΩ 저항에 전류가 흐르지 않아 출력이 입력을 따른다. 입력의 최댓값과 최솟값은 각각 +12 V와 −12 V이므로 양쪽 제한값을 모두 넘고, 그 구간에서는 출력이 각각 +6.7 V와 −6.7 V로 제한된다. 1 kΩ 저항은 다이오드 도통 시 전류를 제한한다. 따라서 A = 6.7 V, B = −6.7 V로 ③의 값과 일치한다.

NoteBase

문 20. 전압 조정기(voltage regulator)에 대한 설명으로 옳지 않은 것은?

① 전압 조정기는 입력전압이나 부하가 변동할 때 출력전압을 거의 일정하게 유지시킨다.

② 선형 전압 조정기의 두 가지 기본형은 직렬형과 병렬형이다.

③ 폴드-백 전류 제한(fold-back current limiting)은 전류가 많이 흐르는 전압 조정기에서 주로 사용되는 방법이다.

④ 부하전압 변동률은 입력전압의 변화량에 대한 출력전압 변화량의 백분율로 정의한다.

정답 4번

간단한 해설

④의 설명은 **입력전압 변동률**에 해당한다. **부하전압 변동률**은 입력전압을 일정하게 유지한 상태에서 부하가 변할 때 나타나는 출력전압의 변화를 나타낸다.

선지별 해설

① O: 전압 조정기는 입력전압이나 부하가 변하더라도 **출력전압을 거의 일정하게 유지**하는 회로이다. 입력전압이나 부하의 변화로 출력전압이 변하려 하면 제어 소자의 동작을 조절하여 그 변화를 억제한다. 다만 실제 회로에서는 동작 범위와 조정 능력에 한계가 있으므로 출력전압이 완전히 일정한 것은 아니다.

② O: 선형 전압 조정기는 제어 소자와 부하의 연결 방식에 따라 직렬형과 병렬형으로 나뉜다. 직렬형은 **부하와 직렬로 연결된 제어 소자**의 전압 강하를 조절한다. 병렬형은 부하와 병렬로 연결된 제어 소자에 흐르는 전류를 조절하여 부하에 걸리는 전압을 유지한다.

③ O: 폴드백 전류 제한은 과부하나 단락으로 출력전압이 낮아질 때 **허용하는 출력전류도 함께 줄이는** 보호 방식이다. 단락 상태에서도 큰 전류를 계속 흘리면 제어 소자의 전력 손실과 발열이 커지므로, 전류를 줄여 소자를 보호한다. 따라서 큰 전류를 다루어 과부하 시 전력 손실이 문제가 되는 전압 조정기에서 유용하게 사용된다.

④ X: 입력전압의 변화에 따른 출력전압의 변화를 나타내는 것은 **입력전압 변동률**이다. 부하전압 변동률은 입력전압을 일정하게 두고 부하전류를 변화시켰을 때 출력전압이 얼마나 달라지는지를 나타낸다. 무부하와 전부하 사이의 변동을 백분율로 나타내면 부하전압 변동률=V_NL-V_FLV_FL× 100\%이다. 여기서 V_{NL}은 무부하 출력전압, V_{FL}은 전부하 출력전압이다. 즉, 부하전압 변동률은 입력전압 변화량을 기준으로 하는 비율이 아니다.

NoteBase