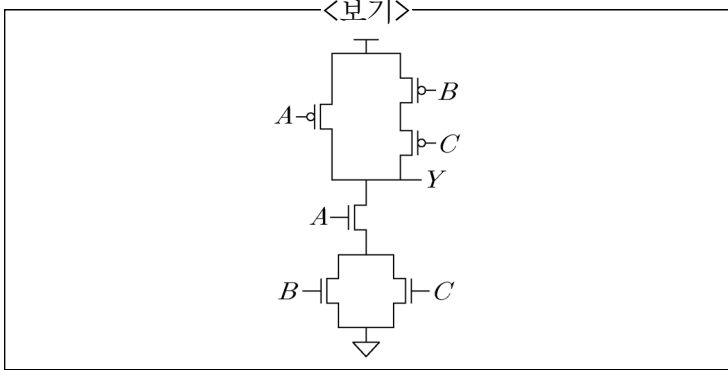
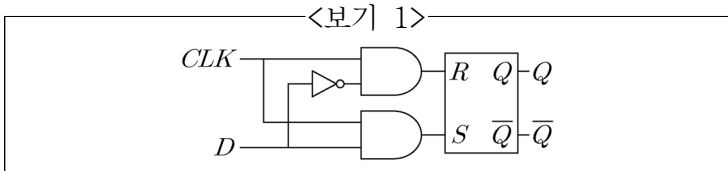


1. <보기>와 같은 CMOS(complementary metal-oxide-semiconductor) 회로에 해당하는 부울 식(Boolean equation)은?



- ① $Y = A + BC$
- ② $Y = A(B + C)$
- ③ $Y = \overline{A + BC}$
- ④ $Y = \overline{A(B + C)}$

2. <보기 1>에서 S-R 래치(latch)에 저장된 값(Q)이 1이라 가정하고, CLK 및 D 신호가 <보기 2>와 같이 주어질 때 각 경우별 \overline{Q} 값을 옳게 짝지은 것은?

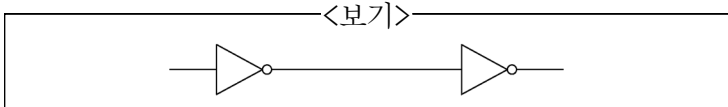


<보기 2>

CLK	D	\overline{Q}
0	0	(가)
0	1	(나)
1	0	(다)
1	1	(라)

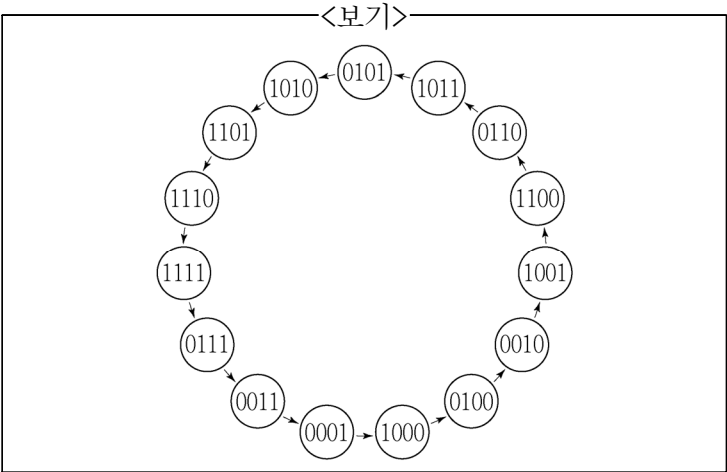
- | | | | | |
|---|-----|-----|-----|-----|
| | (가) | (나) | (다) | (라) |
| ① | 0 | 0 | 0 | 1 |
| ② | 0 | 0 | 1 | 0 |
| ③ | 0 | 1 | 0 | 1 |
| ④ | 0 | 1 | 1 | 0 |

3. 동일한 전기적 특성을 갖는 NOT 게이트(gate) 두 개를 <보기>와 같이 연결하였을 때 ‘논리 0’ 신호에 대한 잡음 여유(noise margin)와 ‘논리 1’ 신호에 대한 잡음 여유를 순서대로 바르게 나열한 것은? (단, NOT 게이트는 0~0.3[V] 범위의 출력 전압으로 ‘논리 0’을 표현하고 3.8~5[V]의 출력 전압으로 ‘논리 1’을 표현하며, 0~1.3[V]의 입력 전압을 ‘논리 0’으로 인식하고 3.1~5[V]의 입력 전압을 ‘논리 1’로 인식한다고 가정한다.)



- ① 1[V], 0.7[V]
- ② 2.5[V], 1.8[V]
- ③ 2.8[V], 2.5[V]
- ④ 3.5[V], 1.8[V]

4. <보기>의 상태 천이도(state transition diagram)를 구현할 수 있는 회로는? (단, 선택지의 msb, lsb 기호는 4-비트 우측 쉬프트 레지스터(shift-right register)로서 병렬 적재(parallel load) 기능이 있어 초기값을 임의의 값으로 설정할 수 있다고 가정한다.)



- ①
- ②
- ③
- ④

5. 아날로그 신호에 대비한 디지털 신호의 설명으로 가장 옳지 않은 것은?

- ① 데이터를 정확하게 계산할 수 있고, 암호화 및 보안이 용이하다.
- ② 재생(regeneration)이 용이하고, 오류의 검출 및 정정이 가능하다.
- ③ 시스템의 구성이 용이하고, 신뢰도, 융통성을 가진다.
- ④ 한번 잡음과 일그러짐이 존재하면 제거하기가 매우 어렵다.

6. 십진수 999 이하의 자연수 또는 0을 2진수와 BCD 코드로 표현할 때 각각 요구되는 최소 비트수를 옳게 짝지은 것은?

- | | | |
|---|---------|-----------|
| | 2진수의 경우 | BCD코드의 경우 |
| ① | 10 | 16 |
| ② | 16 | 12 |
| ③ | 10 | 12 |
| ④ | 16 | 10 |

7. 하나의 착오만을 검출하고 정정할 수 있는 해밍 부호(Hamming code)를 128 비트의 데이터에 적용할 경우 필요한 패리티 비트의 개수는?

- ① 8
- ② 16
- ③ 40
- ④ 64

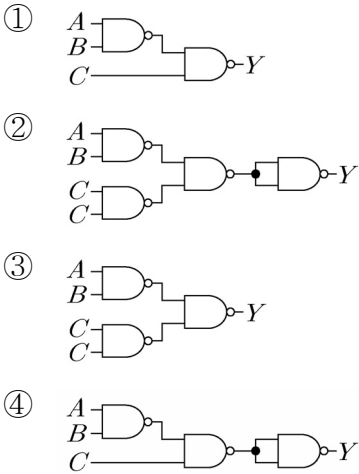
8. <보기>의 부울 식 Y를 최소항 또는 최대항으로 나타낸 것으로 가장 옳은 것은?

<보기>

$$Y = AB + \overline{B}C$$

- ① $Y = \Sigma(1, 3, 5, 7)$
- ② $Y = \Sigma(0, 2, 3, 4)$
- ③ $Y = \Pi(1, 3, 5, 7)$
- ④ $Y = \Pi(0, 2, 3, 4)$

9. 논리 식 $Y = AB + C$ 를 NAND 게이트만을 사용하여 구현한 것으로 가장 옳은 것은?



10. 순차 논리회로에 대한 설명으로 가장 옳지 않은 것은?

- ① 클록의 트리거링 에지의 50% 시점 이후, 입력 데이터의 상승 50% 시점까지의 시간을 set-up 시간이라고 한다.
- ② 전파지연시간이란 입력신호가 가해진 후 출력에 변화를 가져오는 데 걸리는 시간을 의미한다.
- ③ 클록의 트리거링 에지의 50% 시점 이후에도 데이터 입력이 얼마 동안은 안정화되어 있어야 하는데, 이 시간을 hold 시간이라고 한다.
- ④ 회로의 전파지연시간이 짧을수록 고속동작이 가능하다.

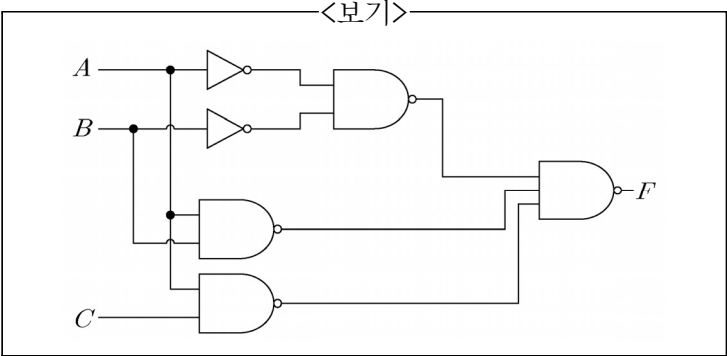
11. 10진수 56에 대한 3진수 변환을 수행한 결과로 가장 옳은 것은?

- ① 1222_3
- ② 1202_3
- ③ 1212_3
- ④ 2002_3

12. 2의 보수(2's complement)로 표현된 4비트 2진수 2개를 더해 4비트 결과를 저장한다고 할 때 오버플로우(overflow)가 발생하는 경우로 가장 옳은 것은?

- ① $1010_2 + 0101_2$
- ② $0111_2 + 0001_2$
- ③ $1111_2 + 1001_2$
- ④ $1101_2 + 0010_2$

13. <보기>의 부울 논리 게이트 회로는 3개의 입력 변수 A, B, C와 1개의 출력 변수 F를 갖는다. 이 논리 회로를 부울 논리식으로 표현한 것 중 가장 옳지 않은 것은?



- ① $F = \overline{A} \overline{B} + AB + AC$
- ② $F = \overline{A} \overline{B} + AB \overline{C} + C$
- ③ $F = \overline{A} \overline{B} + AB + A \overline{B} C$
- ④ $F = (A + \overline{B})(\overline{A} + B + C)$

14. 디지털 로직에서 시프트가 좌측 또는 우측 방향으로 한 번에 1비트씩만 허용된다고 가정할 때, 2의 보수(2's complement)로 표현된 4비트 2진수 1101_2 에 대해 1비트 우측 산술 시프트(Arithmetic Right Shift)를 수행한 결과로 가장 옳은 것은?

- ① 1110_2
- ② 1010_2
- ③ 0110_2
- ④ 1011_2

15. 유한상태 머신(FSM: Finite State Machine)은 대표적으로 밀리(Mealy) 머신과 무어(Moore) 머신으로 분류되는데, 이 두 가지 방식에 대한 설명으로 가장 옳지 않은 것은?

- ① Mealy 머신이 타이밍적으로 더 안정적이다.
- ② Mealy 머신이 더 빠른 출력 신호를 만들어 내는 데 유리하다.
- ③ 제어기 설계에서 Mealy 머신과 Moore 머신은 혼합하여 사용할 수 있다.
- ④ Mealy 머신의 출력 신호는 현재 상태와 입력 신호의 조합으로 생성된다.

16. 새로 개발된 CPU인 'KS'가 32비트(4바이트) 단위로만 메모리 액세스 가능하도록 설계되었고 이 KS CPU의 주소 버스(address bus) 길이가 24비트로 주어졌다면 이 KS CPU를 이용해 액세스 가능한 메모리 최대 용량의 값[MiB]은? (단, $1[\text{MiB}] = 2^{20}[\text{Byte}]$ 를 의미한다.)

- ① 64
- ② 32
- ③ 24
- ④ 16

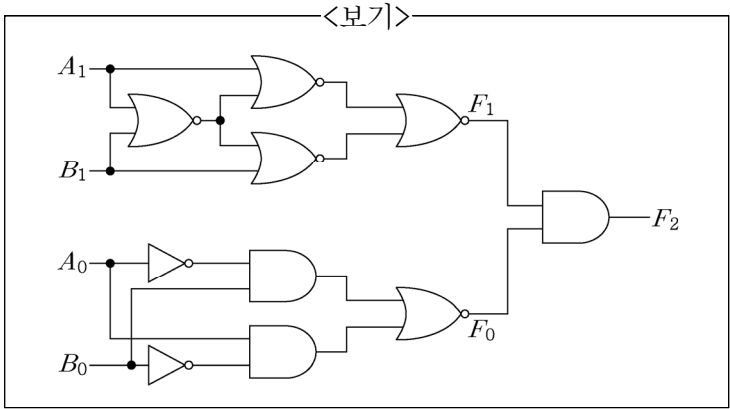
17. <보기>의 부울함수식 $F(a, b, c, d)$ 를 가장 간략화한 것으로 옳은 것은?

<보기>

$$F(a, b, c, d) = \bar{b}c\bar{d} + a\bar{b}\bar{c} + bc + a\bar{c}d + \bar{b}\bar{c}\bar{d} + \bar{b}cd$$

- ① $c + a\bar{b} + ad + \bar{b}\bar{c}\bar{d}$
- ② $c + ad + \bar{b}\bar{d}$
- ③ $c + a\bar{b} + ad + \bar{b}\bar{d}$
- ④ $c + a\bar{b} + ad$

18. 두 2진수 A, B 는 $A = A_1A_0, B = B_1B_0$ 로 각각 2bit로 구성되어 <보기>의 입력 단에 연결되어 있다. 이 회로의 출력 F_0, F_1, F_2 에 대한 설명으로 가장 옳지 않은 것은? (단, A_1 은 A 의 MSB이고 B_1 은 B 의 MSB이다.)



- ① $B_1 = 0$ 이면, $F_1 = \bar{A}_1$
- ② $F_2 = 1$ 이면, $A > B$
- ③ $A_0 = 1$ 이면, $F_0 = B_0$
- ④ $F_2 = 0$ 이면, $A \neq B$

19. <보기 1>의 (A)에서 4×1 멀티플렉서 회로가 (B)의 진리표를 만족한다. 멀티플렉서의 기능표가 <보기 2>와 같이 주어졌을 때, 멀티플렉서의 입력 I_0, I_1, I_2, I_3 의 값으로 가장 옳은 것은?

<보기 1>

a	b	c	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(A) 회로도(B) 진리표

<보기 2>

S_1	S_0	F
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

- ① $I_0 = \bar{a}, I_1 = 1, I_2 = 0, I_3 = a$
- ② $I_0 = I_2 = a, I_1 = 1, I_3 = \bar{a}$
- ③ $I_0 = I_2 = a, I_1 = 0, I_3 = \bar{a}$
- ④ $I_0 = a, I_1 = 0, I_2 = 1, I_3 = \bar{a}$

20. 순차 상태와 입력 신호에 따라 적절한 제어 신호를 생성하는 디지털 시스템 상태 제어기를 설계하는 방식으로 소프트웨어 알고리즘을 기술하는 순서도와 유사한 SM(state machine) 차트가 있다. SM 차트를 구성하는 기본 요소가 아닌 것은?

- ① 상태 박스(State box)
- ② 결정 박스(Decision box)
- ③ 입력 박스(Input box)
- ④ 조건 출력 박스(Conditional output box)

이 면은 여백입니다.