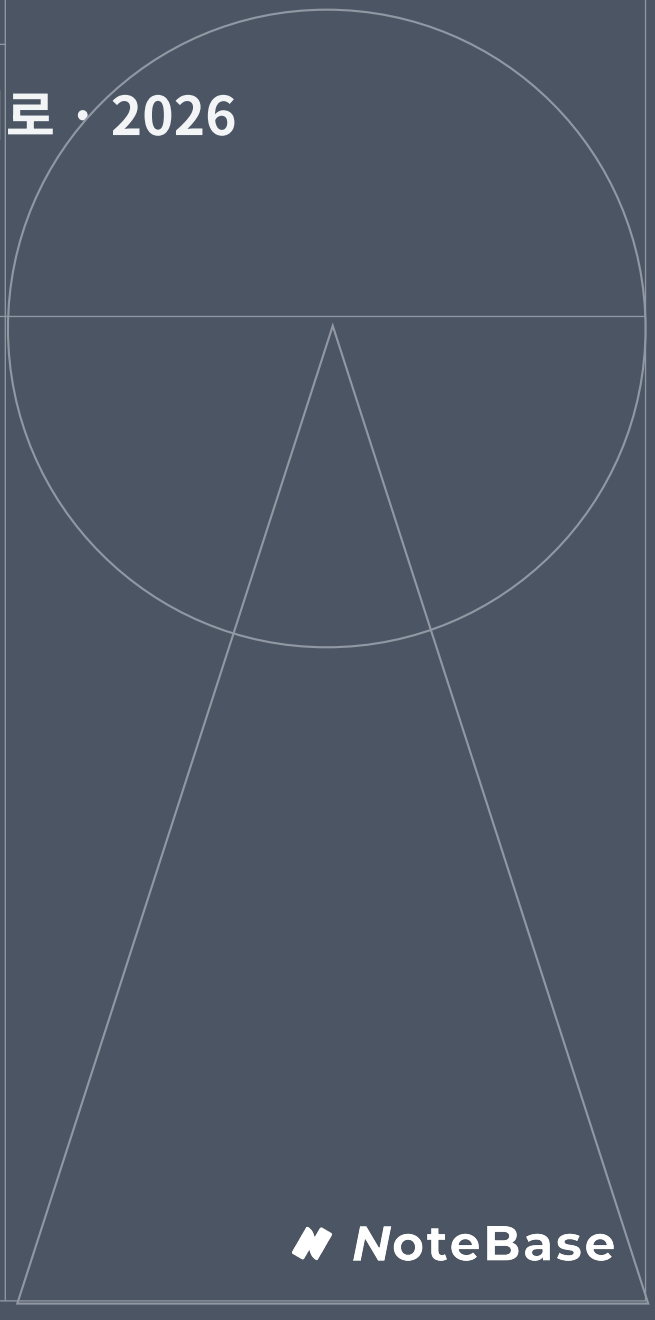
기출OX 해설집

공무원/군무원/9급 · 전자회로 · 2026



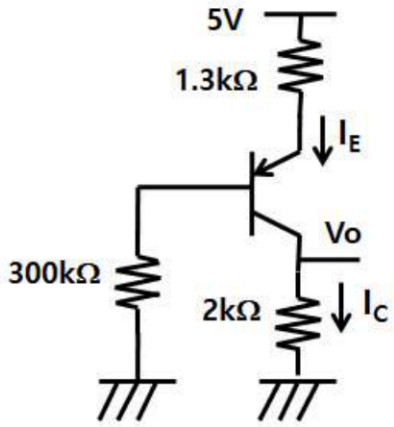
NoteBase

기출OX 해설집

공무원/군무원/9급 · 전자회로 · 2026

공무원/군무원/9급 · 전자회로 · 2026

1. 다음 회로에서 전류 I_C와 전압 V_o로 가장 적절한 것은? (단, BJT 전류이득은 $\beta = 100$ 이며, $I_C = I_E$로 근사하고 Early 효과는 무시한다)



① $I_C = 1\ [mA],\ V_o = 2\ [V]$
② $I_C = 3.3\ [mA],\ V_o = 6.6\ [V]$
③ $I_C = 0.5\ [mA],\ V_o = 1\ [V]$
④ $I_C = 1.5\ [mA],\ V_o = 3\ [V]$

정답 1번

출제 포인트

이 문제는 PNP BJT의 베이스 전류와 이미터 쪽 전압 강하를 함께 고려하여 컬렉터 전류 I_C와 출력 전압 V_o를 구하는 문제이다.

조건 정리

주어진 값: $V_{CC} = 5V$, $R_E = 1.3k\Omega$, $R_B = 300k\Omega$, $R_C = 2k\Omega$, $\beta = 100$이다.
구해야 할 값: I_C와 V_o이다.
주의할 조건: 실리콘 BJT의 순방향 베이스-이미터 전압을 $V_{EB} \approx 0.7V$로 두고, 문제의 조건에 따라 $I_E \approx I_C$로 근사한다.

NoteBase

사용할 공식

$I_B = \frac{I_C}{\beta}, \qquad V_B = I_B R_B$
$5 = I_E R_E + V_{EB} + V_B$
$V_o = I_C R_C$
PNP 트랜지스터에서 베이스 전류는 베이스에서 $300k\Omega$ 저항을 거쳐 접지로 흐르므로 $V_B = I_B R_B$가 된다. 또한 전원에서 이미터 저항, 베이스-이미터 접합, 베이스 저항을 따라 전압 강하를 합하면 $5V$가 되므로 위 식을 사용한다.

계산 과정

1. $I_E \approx I_C$, $I_B = I_C/100$을 전압식에 대입한다.
$5 = I_C(1.3k\Omega) + 0.7 + \frac{I_C}{100}(300k\Omega)$
2. 베이스 저항이 컬렉터 전류 기준으로 만드는 등가 저항은 $300k\Omega/100 = 3k\Omega$이므로 다음과 같이 정리된다.
$4.3 = I_C(1.3k\Omega + 3k\Omega) = I_C(4.3k\Omega)$
$I_C = 1mA$
3. 컬렉터 저항의 위쪽이 출력 노드이고 아래쪽이 접지이므로 출력 전압은 저항 전압과 같다.
$V_o = I_C(2k\Omega) = (1mA)(2k\Omega) = 2V$

선지 판단

① O — 계산 결과 $I_C = 1mA$, $V_o = 2V$이므로 두 값이 모두 일치한다.
② X — $I_C = 3.3mA$를 흘리려면 이미터 저항에서만 약 $4.29V$가 강하하고, 베이스 경로의 전압 강하까지 더하면 $5V$를 초과한다. 또한 $V_o = 6.6V$는 $5V$ 전원 회로에서 나올 수 없다. 올바르게는 $I_C = 1mA$, $V_o = 2V$이다.
③ X — $V_o = I_C(2k\Omega)$의 관계 자체는 맞지만, 베이스 저항과 β를 포함한 전압식을 풀면 I_C는 $0.5mA$가 아니라 $1mA$이다. 따라서 V_o도 $1V$가 아니라 $2V$이다.
④ X — $I_C = 1.5mA$를 대입하면 이미터 저항과 베이스 경로의 전압 강하 합이 $0.7V$의 접합 전압을 제외하고도 $6.45V$가 되어 주어진 $5V$와 맞지 않는다. 올바르게는 $I_C = 1mA$, $V_o = 2V$이다.

오답 포인트

핵심 함정은 $300k\Omega$ 베이스 저항의 영향을 빼고 이미터 저항만으로 전류를 구하는 것이다. 베이스 전류가 컬렉터 전류의 $1/\beta$로 작더라도 베이스 저항이 매우 크므로, 컬렉터 전류 기준 전압 강하는 $I_C(R_B/\beta)$가 되어 무시할 수 없다.

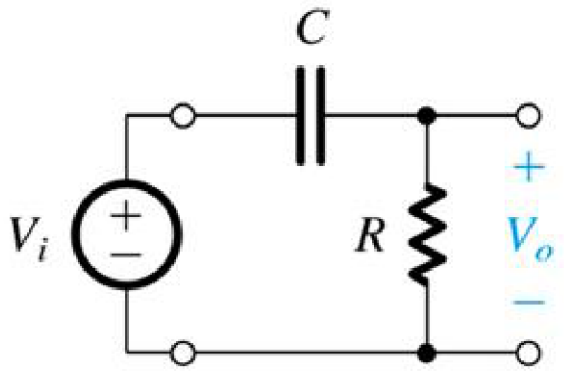
다시 나오면 이렇게 판단

PNP 바이어스 회로에서는 먼저 베이스 전류가 접지 쪽 저항으로 흐르는 방향을 확인하고, $I_B = I_C/\beta$와 $I_E \approx I_C$를 이용해 전원에서 접지까지의 전압식을 세운다. 그다음 계산한 I_C로 $V_o = I_C R_C$를 구하고, 출력 전압이 전원 전압 범위에 드는지도 검산한다.

암기 포인트

이 회로에서는 $I_C \approx (V_{CC} - V_{EB})/(R_E + R_B/\beta)$이고, 출력은 $V_o = I_C R_C$이다.

2. 다음 회로의 C와 R이 이상적이라 할 때, 해당 회로의 특성으로 가장 적절한 것은?



① Band Pass Filter
② Band Stop Filter
③ High Pass Filter
④ Low Pass Filter

정답 3번

출제 포인트

직렬 커패시터 C 뒤의 저항 R 양단에서 출력 전압 V_o를 얻는 RC 회로가 주파수에 따라 어떤 신호를 통과시키는지 판단하는 문제이다. 커패시터의 임피던스 크기 $|Z_C| = 1/(\omega C)$는 주파수가 높아질수록 작아지므로 이 회로는 고주파를 통과시킨다.

NoteBase

선지별 해설

① X
Band Pass Filter는 저주파와 고주파를 모두 억제하고 중간 주파수 대역만 통과시킨다. 이 회로는 주파수가 높아질수록 출력이 커지는 1차 RC 회로이므로 대역 통과 특성이 아니다. 틀린 표현 'Band Pass Filter'는 'High Pass Filter'로 고쳐야 한다.

② X
Band Stop Filter는 특정 중간 주파수 대역을 억제하고 그보다 낮거나 높은 주파수는 통과시킨다. 이 회로에는 특정 중간 대역만 제거하는 구조가 없으며 저주파부터 고주파로 갈수록 출력이 증가한다. 틀린 표현 'Band Stop Filter'는 'High Pass Filter'로 고쳐야 한다.

③ O
저주파에서는 $|Z_C|$가 커서 전류와 R 양단의 출력 V_o가 작고, 고주파에서는 $|Z_C|$가 작아져 V_o가 입력 V_i에 가까워진다. 따라서 고주파 통과 필터인 High Pass Filter가 맞다.

④ X
Low Pass Filter는 저주파를 통과시키고 고주파를 감쇠시킨다. 대표적인 수동 RC 저역 통과 회로는 저항을 직렬로 두고 접지에 연결된 커패시터 양단에서 출력을 얻지만, 그림은 커패시터가 직렬이고 출력이 저항 양단이다. 틀린 표현 'Low Pass Filter'는 'High Pass Filter'로 고쳐야 한다.

오답 포인트

커패시터와 저항이 있다는 사실만으로 필터 종류를 정하면 안 된다. 이 문항의 핵심 함정은 출력 위치이다. 출력이 R 양단이면 고주파 통과이고, 같은 직렬 RC 회로에서 출력이 C 양단이면 저주파 통과이다.

다시 나오면 이렇게 판단

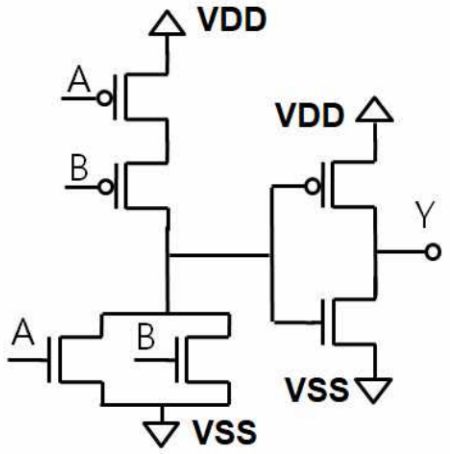
먼저 출력이 어느 소자 양단에 걸리는지 확인한다. 그다음 저주파에서 커패시터를 개방에 가깝게, 고주파에서 단락에 가깝게 생각하여 출력의 크기를 비교한다. 이 회로에서는 저주파 때 $V_o \approx 0$, 고주파 때 $V_o \approx V_i$이므로 고주파 통과로 판단한다.

암기 포인트

직렬 C-병렬 R, 출력이 R 양단이면 High Pass Filter이다.

NoteBase

3. 다음 그림과 같이 CMOS로 구성된 논리회로에서 출력 Y의 논리식으로 가장 적절한 것은?



① AB ② $(\overline{A+B})(\overline{AB})$

③ $(\overline{A+B})$ ④ $A+B$

정답 4번

출제 포인트

이 문제는 CMOS 회로의 직렬·병렬 연결을 보고 첫 단의 논리와 뒤 인버터의 반전을 차례로 판단하는 문제이다. 첫 단은 pMOS가 직렬이고 nMOS가 병렬인 NOR 구조이므로 중간 노드는 $\overline{A+B}$이고, 이를 인버터가 반전하여 $Y = A + B$가 된다.

선지별 해설

① X — AB는 AND 논리식이다. 이 회로에서는 첫 단의 NOR 출력을 인버터가 반전하므로 AND가 아니라 $A + B$이다. 틀린 표현 AB → 올바르게는 $A + B$이다.

② 원문 표기대로라면 O — 전체 식의 바깥 반전까지 적용하면 $\overline{(A+B)(AB)} = (A+B) + AB = A + B$이다. 따라서 ②도 ④와 같은 논리식이 되어 원문에는 복수정답 가능성이 있으나, 공식 채점 답은 ④이다.

③ X — $\overline{A+B}$는 왼쪽 CMOS NOR 단의 중간 출력이다. 오른쪽 인버터를 한 번 더 거치므로 최종 출력에는 반전이 남지 않는다. 틀린 표현 $\overline{A+B}$ → 올바르게는 $A + B$이다.

④ O — 첫 단의 출력 $\overline{A+B}$를 오른쪽 인버터가 반전하므로 $Y = \overline{\overline{A+B}} = A + B$이다.

NoteBase

오답 포인트

왼쪽 CMOS 단만 보고 ③을 고르거나, 직렬 연결을 곧바로 AND로 생각해 ①을 고르기 쉽다. pMOS 직렬·nMOS 병렬 구조의 중간 출력은 NOR이고, 회로 오른쪽의 인버터까지 포함하여 최종 출력의 반전 횟수를 판단해야 한다.

다시 나오면 이렇게 판단

먼저 풀업망과 풀다운망의 직렬·병렬 구조로 중간 노드의 논리식을 구한 뒤, 출력까지 이어진 인버터의 수만큼 반전을 적용한다. 이 회로에서는 NOR 다음에 인버터가 있으므로 OR이 된다.

암기 포인트

pMOS 직렬·nMOS 병렬은 NOR, 그 뒤에 인버터가 하나 더 있으면 OR이다.

NoteBase

4. 이상적인 공통에미터 증폭기의 전압이득이 20 [dB]이다. 컬렉터 DC 바이어스 전압이 5 [V]일 때 왜곡 없이 입력 가능한 최대 입력 전압으로 가장 적절한 것은?

① 0.5 [V]　② 0.25 [V]
③ 0.1 [V]　④ 0.05 [V]

정답 1번

출제 포인트

전압이득의 데시벨 값을 선형 전압이득으로 바꾼 뒤, 허용되는 최대 출력 전압을 전압이득으로 나누어 왜곡 없는 최대 입력 전압을 구하는 문제이다.

조건 정리

주어진 값: 전압이득은 20dB, 컬렉터 DC 바이어스 전압은 5V이다.
구해야 할 값: 왜곡 없이 입력할 수 있는 최대 입력 전압이다.
주의할 조건: 이상적인 공통에미터 증폭기에서 출력의 최대 진폭은 바이어스점에서 차단 또는 포화 방향으로 허용되는 전압 변화로 정해지며, 이 문항에서는 5V이다. 공통에미터 증폭기는 위상을 반전시키지만 최대 진폭 계산에는 전압이득의 절댓값을 사용한다.

사용할 공식

전압이득의 데시벨 표현은
$A_v(\text{dB}) = 20\log_{10}|A_v|$
이므로
$|A_v| = 10^{A_v(\text{dB})/20}$
이다. 또한 전압 진폭의 관계는
$|V_o| = |A_v||V_i|$
이다. 데시벨 이득을 그대로 곱하는 것이 아니라 선형 전압이득으로 변환해야 하므로 이 공식을 사용한다.

NoteBase

계산 과정

1. 선형 전압이득을 구하면
$|A_v| = 10^{20/20} = 10$
이다.
2. 왜곡 없는 최대 출력 전압의 진폭은 5V이다.
3. 최대 입력 전압은
$|V_{i,\,max}| = \frac{|V_{o,\,max}|}{|A_v|} = \frac{5}{10} = 0.5\text{V}$
이다.

선지 판단

① O — 계산 결과 최대 입력 전압이 0.5V이므로 맞다.
② X — 0.25V를 입력하면 출력 진폭은 $10 \times 0.25 = 2.5\text{V}$에 그쳐 최대 허용 출력 진폭 5V보다 작다. 틀린 값 0.25V → 올바른 최대 입력 전압은 0.5V이다.
③ X — 0.1V를 입력하면 출력 진폭은 1V이므로 최대 입력값이 아니다. 틀린 값 0.1V → 올바른 최대 입력 전압은 0.5V이다.
④ X — 0.05V를 입력하면 출력 진폭은 0.5V에 불과하다. 틀린 값 0.05V → 올바른 최대 입력 전압은 0.5V이다.

오답 포인트

가장 큰 함정은 20dB를 선형 전압이득 20으로 잘못 보는 것이다. 그렇게 계산하면 5/20 = 0.25V가 되어 ②를 고르게 된다. 전압이득은 $20\log_{10}|A_v|$로 환산하므로 20dB는 선형 이득 10이다.

다시 나오면 이렇게 판단

전압이득이 데시벨로 주어지면 먼저 $|A_v| = 10^{A_v(\text{dB})/20}$으로 선형 이득을 구한다. 그다음 최대 출력 진폭을 선형 이득으로 나누어 최대 입력 진폭을 계산하고, 공통에미터의 위상 반전은 진폭 계산에서 절댓값으로 처리한다.

암기 포인트

전압이득 20dB는 10배이고, 최대 입력 진폭은 최대 출력 진폭을 선형 전압이득으로 나눈 값이다.

NoteBase

5. 이상적인 다이오드가 순방향 바이어스 상태일 때의 설명으로 가장 적절한 것은?
① 개방 회로로 동작하여 전압 인가 시 출력 전압이 입력 전압과 동일하다.
② 단락 회로로 동작하여 전압 강하가 0[V]이다.
③ 항복 현상이 발생하여 소자가 파괴된다.
④ 저항이 매우 커져서 전류가 거의 흐르지 않는다.

정답 2번

출제 포인트

이 문제는 이상적인 다이오드가 순방향 바이어스일 때 단락 회로로 동작하고 전압 강하가 0이 되는 성질을 묻는 문제이다.

핵심 개념

이상적인 다이오드는 순방향 바이어스에서 완전히 도통하는 소자로, 단락 회로처럼 동작한다. 이때 순방향 저항과 다이오드 양단의 전압 강하는 0이고, 회로 전류는 외부 회로의 전원과 저항에 의해 결정된다. 반대로 역방향 바이어스에서는 개방 회로처럼 동작하여 전류가 흐르지 않는다.

선지별 해설

① X — 틀린 표현은 '개방 회로로 동작'이다. 순방향 바이어스의 이상적인 다이오드는 단락 회로로 동작한다. 다이오드가 입력과 출력을 직렬로 잇는 회로라면 전압 강하가 0이므로 출력 전압이 입력 전압과 같을 수 있지만, 그 이유는 개방이 아니라 완전 도통이다.
② O — 순방향 바이어스의 이상적인 다이오드는 단락 회로로 동작하며, 다이오드 양단의 전압 강하는 0V이다.
③ X — 틀린 표현은 '항복 현상이 발생하여 소자가 파괴된다'이다. 순방향 바이어스에서는 정상적으로 도통하며, 이상적인 다이오드에는 순방향 항복이나 그에 따른 파괴를 적용하지 않는다. 올바르게는 '순방향 바이어스에서 단락 회로처럼 도통한다'이다.
④ X — 틀린 표현은 '저항이 매우 커져서 전류가 거의 흐르지 않는다'이다. 순방향 바이어스의 이상적인 다이오드 저항은 0이므로 전류가 흐르며, 그 크기는 외부 회로가 결정한다. 저항이 매우 커져 전류가 흐르지 않는 상태는 역방향 바이어스에 해당한다.

오답 포인트

①과 ④는 역방향 바이어스의 '개방 회로·무한대 저항·전류 0' 성질을 순방향에 바꾸어 놓은 선지이다. ③은 역방향의 실제 다이오드에서 다루는 항복 개념을 이상적인 다이오드의 정상적인 순방향 동작과 혼동하게 만든다.

NoteBase

다시 나오면 이렇게 판단

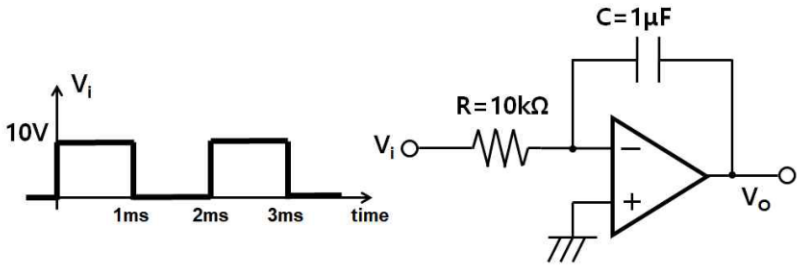
이상적인 다이오드의 바이어스 방향을 먼저 확인한다. 순방향이면 단락, 저항 0, 전압 강하 0으로 판단하고, 역방향이면 개방, 저항 무한대, 전류 0으로 판단한다.

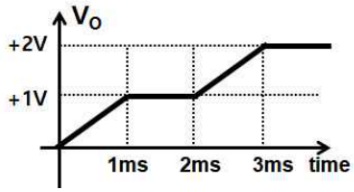
암기 포인트

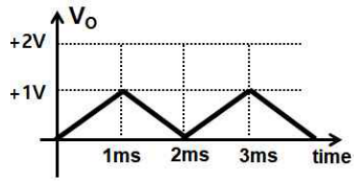
이상적 다이오드는 순방향에서 단락·전압 0, 역방향에서 개방·전류 0이다.

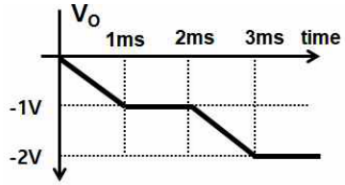
NoteBase

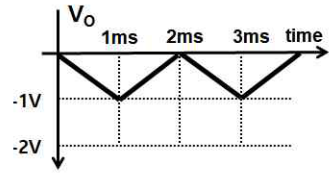
6. 다음 적분기 회로에서 입력 구형파에 따른 출력파형이 가장 적절한 것은? (단, 출력의 초기전압은 $0[V]$이다)



① 

② 

③ 

④ 

정답 3번

출제 포인트

이 문제는 반전 적분기의 출력 기울기와 구형파의 구간별 적분값을 이용해 출력 파형을 판단하는 문제이다.

조건 정리

주어진 값: $R = 10k\Omega, C = 1\mu F, v_o(0) = 0V$이다.
입력은 $0 \sim 1ms$와 $2 \sim 3ms$에서 $10V$, $1 \sim 2ms$에서 $0V$이다.
시정수는 $RC = (10k\Omega)(1\mu F) = 10ms$이다.

NoteBase

사용할 공식

반전 적분기의 관계식은
$v_o(t) = -\frac{1}{RC}\int v_i(t)dt + v_o(0)$
이고, 출력의 기울기는
$\frac{dv_o}{dt} = -\frac{v_i}{RC}$
이다. 비반전 입력이 접지되고 커패시터가 출력과 반전 입력 사이에 있으므로 입력 전압의 적분값에 음의 부호가 붙는다.

계산 과정

1. 입력이 $10V$인 동안 출력 변화량은
$\Delta v_o = -\frac{10V}{10ms} \times 1ms = -1V$
이다. 따라서 $0 \sim 1ms$에서 출력은 $0V$에서 $-1V$까지 직선적으로 감소한다.
2. $1 \sim 2ms$에서는 $v_i = 0V$이므로 $dv_o/dt = 0$이다. 출력은 $-1V$로 유지된다.
3. $2 \sim 3ms$에서 다시 $10V$가 입력되므로 출력이 $-1V$만큼 더 감소하여 $-2V$가 된다. 이후 입력이 $0V$이면 $-2V$로 유지된다.

선지 판단

① X — 입력이 양(+)일 때 출력이 증가하는 것으로 그려져 반전 적분기의 부호와 반대이다. 올바르게는 첫 입력 구간에서 $0V$에서 $-1V$로 감소하고, 입력이 $0V$인 구간에서는 그대로 유지되어야 한다.
② X — 출력이 양(+) 방향으로 증가하며 입력이 $0V$인 구간에도 기울기가 생긴 삼각파이다. 올바르게는 양(+) 입력 구간에서 음(-) 방향으로 감소하고 영 입력 구간에서는 수평이어야 한다.
③ O — $0 \sim 1ms$에서 $-1V$까지 감소하고, $1 \sim 2ms$에서 유지되며, $2 \sim 3ms$에서 $-2V$까지 다시 감소하는 계산 결과와 일치한다.
④ X — 양(+) 입력 구간의 음(-) 방향 감소는 맞지만, 입력이 $0V$인 구간에 출력이 $0V$로 되돌아가는 부분이 틀리다. 올바르게는 그 구간에서 직전 출력값인 $-1V$를 유지해야 한다.

오답 포인트

핵심 함정은 적분기 앞의 음의 부호와 영 입력 구간의 동작이다. 반전 적분기에서는 양(+) 입력이 출력의 음(-) 기울기를 만들며, 입력이 $0V$이면 출력이 원점으로 복귀하는 것이 아니라 직전 값으로 유지된다.

다시 나오면 이렇게 판단

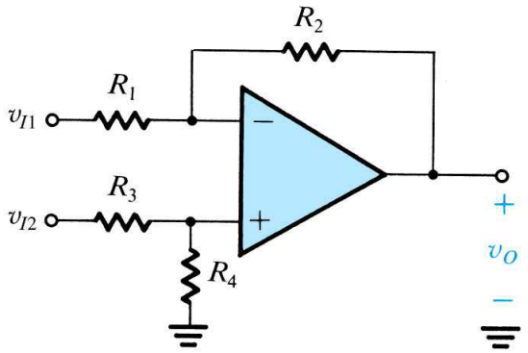
먼저 $dv_o/dt = -v_i/(RC)$로 각 입력 구간의 기울기 부호를 정하고, $\Delta v_o = -(v_i/RC)\Delta t$로 변화량을 계산한 뒤, 영 입력 구간은 수평선으로 연결한다.

암기 포인트

반전 적분기에서는 양(+) 입력이면 출력이 내려가고, 영 입력이면 출력이 멈추어 직전 값을 유지한다.

NoteBase

7. 다음 증폭기 회로의 출력 전압 v_o로 가장 적절한 것은? (단, 연산증폭기는 이상적이고 $\frac{R_2}{R_1}=\frac{R_4}{R_3}$이다)



① $v_o = -\frac{R_2}{R_1}(v_{I2}-v_{I1})$

② $v_o = \frac{R_2}{R_1}(v_{I2}+v_{I1})$

③ $v_o = \frac{R_2}{R_1}(v_{I2}-v_{I1})$

④ $v_o = -\frac{R_1}{R_2}(v_{I2}-v_{I1})$

정답 3번

출제 포인트

이 문제는 이상적 연산증폭기의 가상단락과 입력 전류가 0이라는 성질을 이용하여 차동 증폭기의 출력 전압을 구하는 문제이다.

조건 정리

이상적 연산증폭기이므로 두 입력 단자의 전압은 같아 $v_- = v_+$이고, 입력 단자로 흐르는 전류는 0이다. 비반전 입력 단자는 R_3와 R_4의 분압점이며, 저항비는 $R_2/R_1 = R_4/R_3$이다. 출력 전압 v_o는 그림에 표시된 출력 단자의 전압을 접지에 대해 측정한 값이다.

사용할 공식

비반전 입력 전압은 분압식으로 $v_+ = \frac{R_4}{R_3+R_4}v_{I2}$이다. 반전 입력 노드에는 KCL을 적용하여 $\frac{v_{I1}-v_-}{R_1} + \frac{v_o-v_-}{R_2} = 0$을 사용한다. 비반전 입력에는 전류가 흐르지 않아 분압식을 적용할 수 있고, 음의 되먹임이 걸린 이상적 연산증폭기이므로 $v_- = v_+$를 사용할 수 있다.

NoteBase

계산 과정

저항비를 $k = R_2/R_1 = R_4/R_3$로 두면
$v_- = v_+ = \frac{R_4}{R_3+R_4} v_{I2} = \frac{k}{1+k} v_{I2}$
이다. KCL 식을 v_o에 관해 정리하면
$v_o = \left(1 + \frac{R_2}{R_1}\right) v_- - \frac{R_2}{R_1} v_{I1}$
이다. 여기에 $v_- = \frac{k}{1+k} v_{I2}$와 $R_2/R_1 = k$를 대입하면
$v_o = (1+k)\frac{k}{1+k} v_{I2} - k v_{I1} = k(v_{I2} - v_{I1}) = \frac{R_2}{R_1}(v_{I2} - v_{I1})$
을 얻는다.

선지 판단

① X — $-\frac{R_2}{R_1}(v_{I2} - v_{I1})$은 입력 차의 부호를 반대로 한 식이다. 올바르게는 $v_o = \frac{R_2}{R_1}(v_{I2} - v_{I1})$이다.
② X — 두 입력을 더한 $v_{I2} + v_{I1}$이 아니라 공통 성분이 상쇄되도록 두 입력의 차 $v_{I2} - v_{I1}$를 취한다. 올바르게는 $v_o = \frac{R_2}{R_1}(v_{I2} - v_{I1})$이다.
③ O — 계산 결과와 같이 출력은 $v_{I2} - v_{I1}$에 저항비 R_2/R_1을 곱한 값이다.
④ X — 이 회로의 차동 이득은 $-R_1/R_2$가 아니라 R_2/R_1이며, 입력 차의 부호도 반대이다. 올바르게는 $v_o = \frac{R_2}{R_1}(v_{I2} - v_{I1})$이다.

오답 포인트

반전 입력 v_{I1}만 보고 전체 출력에 음의 부호를 붙이면 ①을 고르기 쉽다. 그러나 비반전 입력 v_{I2}의 기여는 양의 방향이고 반전 입력 v_{I1}의 기여는 음의 방향이므로 입력 순서는 $v_{I2} - v_{I1}$이다. 또한 폐루프 이득의 저항비는 피드백 저항을 입력 저항으로 나눈 R_2/R_1이다.

다시 나오면 이렇게 판단

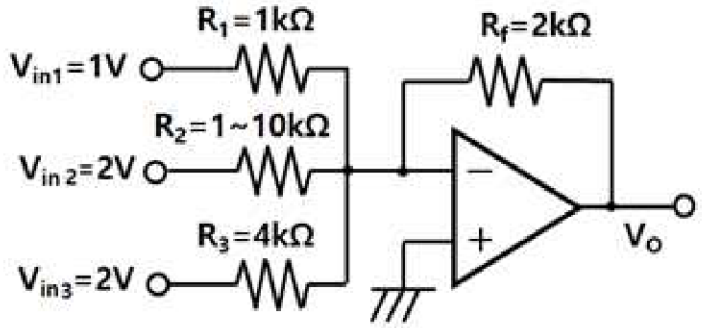
먼저 비반전 입력 전압을 분압식으로 구하고, 가상단락으로 이를 반전 입력 전압에 옮긴 뒤, 반전 입력 노드에 KCL을 적용한다. 마지막으로 주어진 저항비 조건을 대입하여 입력의 차와 이득의 방향을 확인한다.

암기 포인트

저항비가 $R_2/R_1 = R_4/R_3$로 맞춰진 차동 증폭기는 $v_o = (R_2/R_1)(v_{I2} - v_{I1})$이다. 비반전 입력은 더하고 반전 입력은 뺀다.

NoteBase

8. 다음 연산증폭기를 이용한 가산기 회로에서 저항 R_2가 $1\,[\mathrm{k\Omega}] \sim 10\,[\mathrm{k\Omega}]$까지 변할 때, 출력전압 V_o의 범위로 가장 적절한 것은? (단, 연산증폭기는 이상적이다)



① $-7\,[V] \sim -3.4\,[V]$ ② $+12\,[V] \sim +8.4\,[V]$
③ $-12\,[V] \sim -8.4\,[V]$ ④ $-7\,[V] \sim -3.8\,[V]$

정답 1번

출제 포인트

이 문제는 이상적인 반전 가산기의 출력식을 이용하여 가변 저항 R_2의 양 끝값에서 출력전압 V_o의 범위를 구하는 문제이다.

조건 정리

주어진 값: $V_{in1} = 1V$, $V_{in2} = 2V$, $V_{in3} = 2V$, $R_1 = 1k\Omega$, $R_2 = 1 \sim 10k\Omega$, $R_3 = 4k\Omega$, $R_f = 2k\Omega$이다.
구해야 할 값: R_2가 변할 때의 V_o 범위이다.
주의할 조건: 비반전 단자가 접지된 반전 가산기이므로 출력에는 음의 부호가 붙으며, R_2가 커질수록 두 번째 입력 전류의 크기는 작아진다.

사용할 공식

이상적인 반전 가산기의 출력식은
$V_o = -R_f\left(\frac{V_{in1}}{R_1} + \frac{V_{in2}}{R_2} + \frac{V_{in3}}{R_3}\right)$
이다. 반전 입력 노드는 가상 접지 상태이고 각 입력 저항의 전류가 피드백 저항으로 합쳐지므로 이 공식을 사용한다.

NoteBase

계산 과정

고정된 첫째·셋째 입력의 출력 기여분은
$-2k\Omega\left(\frac{1V}{1k\Omega}+\frac{2V}{4k\Omega}\right)=-3V$
이다.
$R_2=1k\Omega$일 때는
$V_o=-3V-2k\Omega\left(\frac{2V}{1k\Omega}\right)=-7V$
이다.
$R_2=10k\Omega$일 때는
$V_o=-3V-2k\Omega\left(\frac{2V}{10k\Omega}\right)=-3.4V$
이다. 따라서 출력전압의 범위는 $-7V\sim\ -3.4V$이다.

선지 판단

① O — 계산한 두 끝값이 $-7V$와 $-3.4V$이므로 제시된 범위와 일치한다.
② X — '$+12V\sim\ +8.4V$'는 반전 가산기의 음의 부호를 반영하지 않았고 크기도 계산 결과와 다르다. 올바르게는 $-7V\sim\ -3.4V$이다.
③ X — '$-12V\sim\ -8.4V$'는 각 입력의 이득을 잘못 적용하여 출력의 크기를 과대 계산한 범위이다. 올바르게는 $-7V\sim\ -3.4V$이다.
④ X — '$-7V\sim\ -3.8V$'에서 상한값 $-3.8V$가 틀렸다. $R_2=10k\Omega$에서 두 번째 입력의 기여분은 $-0.4V$이므로 올바른 상한값은 $-3.4V$이고, 전체 범위는 $-7V\sim\ -3.4V$이다.

오답 포인트

반전 가산기라는 점을 놓쳐 출력 부호를 양수로 정하거나, R_2가 최대일 때 $-3V$의 고정 기여분에 $-0.4V$를 더하지 않고 끝값을 잘못 정하는 것이 함정이다. 특히 ④는 한쪽 끝값 $-7V$만 맞아 보이게 만든 선지이다.

다시 나오면 이렇게 판단

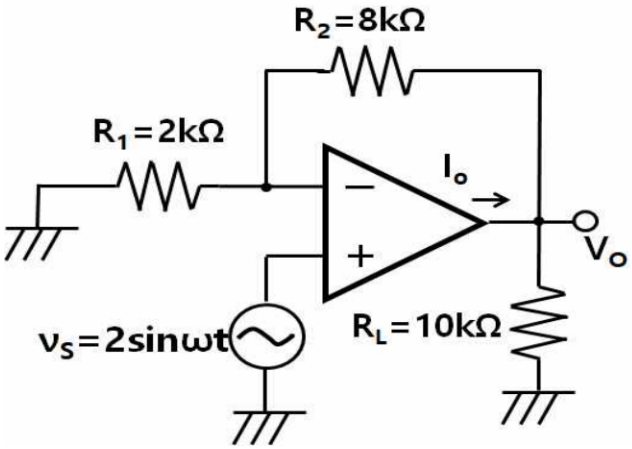
반전 가산기에서는 먼저 전체 식 앞의 음의 부호를 확인하고, 가변 저항의 최솟값과 최댓값을 각각 대입해 두 끝값을 구한다. 양의 입력전압이 고정된 경우 입력 저항이 커질수록 해당 항의 절댓값은 작아져 출력은 0에 가까워진다.

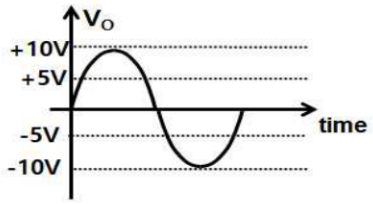
암기 포인트

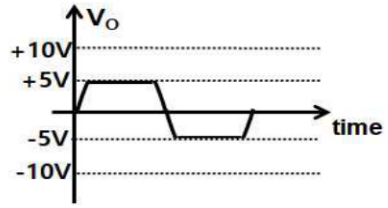
반전 가산기는 '각 입력의 V/R를 더한 뒤 $-R_f$를 곱한다'로 정리된다.

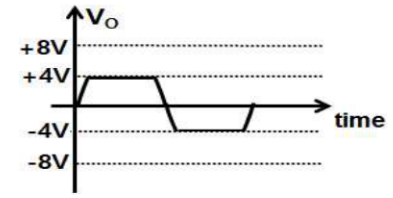
NoteBase

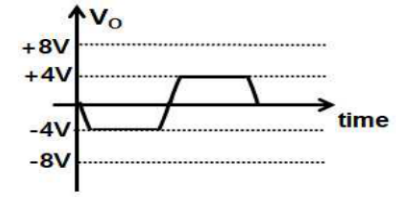
9. 다음 연산증폭기에서 연산증폭기의 최대출력 전류 I_O는 $-1\,[mA] \le I_O \le +1\,[mA]$의 범위에서 동작 가능하다. 출력 파형으로 가장 적절한 것은?



① 

② 

③ 

④ 

정답 2번

출제 포인트

비반전 증폭기의 이상적인 전압이득을 구한 뒤, 부하와 피드백망으로 흐르는 전류의 합이 최대 출력전류를 넘지 않도록 실제 출력전압의 한계를 판단하는 문제이다.

NoteBase

조건 정리

주어진 값: $R_1 = 2k\Omega, R_2 = 8k\Omega, R_L = 10k\Omega, v_s = 2\sin\omega t, -1mA \le I_o \le 1mA$이다.
구해야 할 값: 출력전류 제한을 반영한 v_o의 파형이다.
주의할 조건: I_o는 R_L로 흐르는 전류만이 아니라 $R_2 - R_1$ 피드백 경로로 흐르는 전류까지 포함한다.

사용할 공식

비반전 증폭기의 전압이득은
$A_v = 1 + \frac{R_2}{R_1}$
이다. 출력 노드에서 연산증폭기가 공급하는 전류는
$I_o = \frac{v_o}{R_L} + \frac{v_o}{R_1 + R_2}$
이다. 연산증폭기 입력전류가 0이므로 R_2와 R_1의 피드백 경로는 출력에서 접지까지 직렬 경로가 되고, 여기에 부하전류를 더해야 하므로 이 공식을 사용한다.

계산 과정

1. 전류 제한이 없다면 전압이득은
$A_v = 1 + \frac{8k\Omega}{2k\Omega} = 5$
이므로 출력은
$v_o = 5v_s = 10\sin\omega t$
가 된다.
2. 두 출력 전류 경로의 저항은 각각 $R_L = 10k\Omega, R_1 + R_2 = 10k\Omega$이므로
$I_o = \frac{v_o}{10k\Omega} + \frac{v_o}{10k\Omega} = \frac{v_o}{5k\Omega}$
이다.
3. $|I_o| \le 1mA$를 적용하면
$|v_o| \le (1mA)(5k\Omega) = 5V$
이다. 따라서 원래의 $10\sin\omega t$ 파형은 $+5V$와 $-5V$에서 대칭적으로 제한된다.

NoteBase

선지 판단

① X — $\pm 10V$ 정현파를 그대로 출력하려면 첨두에서 $|I_o| = 10V/(5k\Omega) = 2mA$가 필요하여 최대 출력전류를 초과한다. 틀린 파형이며, 올바르게는 $\pm 5V$에서 잘린 동상 파형이다.
② O — $v_o = \pm 5V$일 때 $I_o = \pm 1mA$가 되어 출력전류 한계와 정확히 일치한다. 비반전 증폭기이므로 입력과 같은 위상으로 증가하다가 $+5V$와 $-5V$에서 평탄하게 제한된다.
③ X — $\pm 4V$에서는 $|I_o| = 4V/(5k\Omega) = 0.8mA$에 불과하여 아직 출력이 제한될 조건이 아니다. 틀린 제한값이며, 올바르게는 $\pm 5V$에서 제한된다.
④ X — $\pm 4V$라는 제한값도 틀리고, 양의 입력 반주기에서 음의 출력이 나타나는 위상도 틀리다. 이 회로는 비반전 증폭기이므로 올바르게는 입력과 같은 위상의 파형이 $\pm 5V$에서 제한된다.
계산 결과 출력 파형은 $\pm 5V$에서 대칭적으로 잘리므로 정답은 2번이다.

오답 포인트

가장 큰 함정은 I_o를 부하전류 v_o/R_L만으로 보는 것이다. 연산증폭기 출력은 부하와 피드백망 양쪽에 전류를 공급하므로 두 전류를 합해야 한다. 또한 이 회로는 비반전 증폭기이므로 전류 제한은 위상을 반전시키지 않고 파형의 위아래만 평탄하게 자른다.

다시 나오면 이렇게 판단

먼저 이상적인 폐루프 이득으로 제한 전 출력의 크기와 위상을 구한다. 다음으로 출력 노드에서 갈라지는 모든 전류 경로를 합산하여 I_o를 세우고, 최대 출력전류로부터 허용되는 $|v_o|$를 계산한다. 이상적인 출력 첨두가 이 값을 넘으면 해당 전압에서 클리핑되는 파형으로 판단한다.

암기 포인트

출력전류는 부하전류와 피드백전류의 합이다. 비반전 증폭기는 동상이고, 이 회로에서는 $I_o = v_o/(5k\Omega)$이므로 $1mA \leftrightarrow 5V$이다.

NoteBase

10. 연산증폭기(Op-amp)에 대한 설명 중 가장 적절하지 않은 것은?

① 이상적인 연산증폭기는 이득이 무한대이고 입력 임피던스가 무한대이다.

② 이상적인 연산증폭기는 출력 임피던스가 0에 가깝다.

③ 비이상적인 연산증폭기의 경우 입력단에 누설전류가 존재할 수 있으며 미스매치 등에 의한 오프셋 전압이 존재한다.

④ 실제 연산증폭기가 $A(s) = \dfrac{A_0}{1 + s/\omega_b}$와 같은 주파수 특성을 가질 때, 이를 이용한 반전, 비반전 증폭기는 이득이 높을수록 3[dB] 동작주파수도 높아진다.

정답 4번

출제 포인트

이 문제는 이상적·비이상적 연산증폭기의 기본 특성과 단일 극점 연산증폭기의 이득-대역폭 관계를 묻는 문제이다.

핵심 개념

이상적인 연산증폭기: 개방 루프 이득과 입력 임피던스는 무한대이고 출력 임피던스는 0인 전압 증폭기이다.
비이상적인 연산증폭기: 유한한 이득·대역폭을 가지며 입력 바이어스 전류, 입력 오프셋 전압 등의 오차가 존재한다.
단일 극점 연산증폭기: 개방 루프 전달함수가 $A(s) = \frac{A_0}{1 + s/\omega_b}$로 주어지면 이득-대역폭 곱이 거의 일정하므로, 폐루프 이득이 커질수록 3dB 대역폭은 작아진다.

NoteBase

선지별 해설

① O — 이상적인 연산증폭기는 개방 루프 이득이 무한대이고 입력 전류가 흐르지 않도록 입력 임피던스가 무한대라고 가정한다.
② O — 이상적인 연산증폭기는 부하에 이상적인 전압을 전달할 수 있도록 출력 임피던스를 0으로 가정한다.
③ O — 실제 연산증폭기의 입력단에는 트랜지스터 동작에 필요한 입력 바이어스 전류가 흐를 수 있고, 입력 소자의 불일치 등으로 입력 오프셋 전압이 생길 수 있다.
④ X — 틀린 표현은 '이득이 높을수록 3dB 동작주파수도 높아진다'이다. 단일 극점 보상 연산증폭기는 이득-대역폭 곱이 거의 일정하므로, 올바르게는 반전·비반전 증폭기의 폐루프 이득이 높아질수록 3dB 대역폭은 낮아진다.

오답 포인트

④는 이득과 대역폭이 함께 증가한다고 착각하게 만드는 선지이다. 단일 극점 연산증폭기에서는 이득을 크게 설정하면 그만큼 대역폭을 희생하므로 두 값은 같은 방향으로 증가하지 않는다.

다시 나오면 이렇게 판단

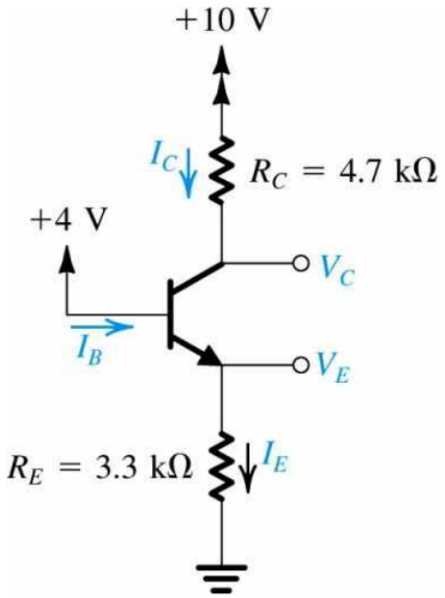
이상적 특성은 '입력은 전류를 받지 않고, 출력은 이상적인 전압원처럼 동작하며, 개방 루프 이득은 무한대'로 판단한다. 주파수 특성에서는 이득-대역폭 곱이 일정하다는 관계를 적용해 폐루프 이득 증가와 대역폭 감소를 연결한다.

암기 포인트

이상적 연산증폭기는 입력 ∞, 출력 0, 이득 ∞이고, 실제 단일 극점 연산증폭기는 이득이 커지면 대역폭이 작아진다.

NoteBase

11. 주어진 BJT 회로에서 공통 에미터 전류 이득(β)이 100이고 V_{BE}가 0.7 [V]일 때, 에미터 전류 I_E와 컬렉터 전압 V_C으로 가장 적절한 것은? (단, Early 효과는 무시한다)



① $I_E = 1\ [mA]$, $V_C = 5.3\ [V]$
② $I_E = 1\ [mA]$, $V_C = 4.7\ [V]$
③ $I_E = 0.5\ [mA]$, $V_C = 5.3\ [V]$
④ $I_E = 0.5\ [mA]$, $V_C = 4.7\ [V]$

정답 1번

출제 포인트

베이스 전압과 V_{BE}로 이미터 전압을 구한 뒤, 공통 이미터 전류 이득 β를 이용해 이미터 전류와 컬렉터 전압을 계산하는 문제이다.

조건 정리

주어진 값: $V_B = 4V$, $V_{BE} = 0.7V$, $R_E = 3.3k\Omega$, $R_C = 4.7k\Omega$, $V_{CC} = 10V$, $\beta = 100$이다.
구해야 할 값: 이미터 전류 I_E와 컬렉터 전압 V_C이다.
주의할 조건: Early 효과를 무시하므로 $I_C = \alpha I_E$, $\alpha = \beta/(\beta + 1)$의 관계를 적용한다.

NoteBase

사용할 공식

$V_E = V_B - V_{BE}$
$I_E = V_E / R_E$
$I_C = \beta I_B = \frac{\beta}{\beta+1} I_E$
$V_C = V_{CC} - I_C R_C$

베이스가 $+4V$로 고정되어 있으므로 베이스-이미터 전압 강하를 빼면 이미터 전압이 정해진다. 이미터 저항 전류가 곧 I_E이고, 컬렉터 저항의 전압 강하는 $I_C R_C$이므로 전원 전압에서 이를 빼서 V_C를 구한다.

계산 과정

1. 이미터 전압은 $V_E = 4 - 0.7 = 3.3V$이다.
2. 이미터 전류는 $I_E = \frac{3.3V}{3.3k\Omega} = 1mA$이다.
3. 컬렉터 전류는 $I_C = \frac{100}{101} \times 1mA \approx 0.990mA$이다.
4. 컬렉터 전압은 $V_C = 10V - (0.990mA)(4.7k\Omega) \approx 5.35V \approx 5.3V$이다.
5. $V_{CE} \approx 5.35 - 3.3 = 2.05V$이므로 활성 영역 계산과도 모순되지 않는다.

선지 판단

① O — $I_E = 1mA$, $V_C \approx 5.3V$로 두 값이 모두 계산 결과와 일치한다.
② X — $I_E = 1mA$는 맞지만 '$V_C = 4.7V$'가 틀렸다. $4.7V$는 $I_C \approx 1mA$로 근사할 때 컬렉터 저항에 걸리는 전압 강하이고, 올바르게는 $V_C \approx 5.3V$이다.
③ X — '$I_E = 0.5mA$'가 틀렸다. $V_E = 3.3V$가 $3.3k\Omega$에 걸리므로 올바르게는 $I_E = 1mA$이며, $V_C \approx 5.3V$이다.
④ X — '$I_E = 0.5mA$, $V_C = 4.7V$'가 모두 틀렸다. 올바르게는 $I_E = 1mA$, $V_C \approx 5.3V$이다.

오답 포인트

컬렉터 저항의 전압 강하 $I_C R_C \approx 4.65V$를 컬렉터의 접지 기준 전압 V_C로 착각하면 ② 또는 ④를 고르게 된다. 또한 I_E를 구할 때 R_E에 걸리는 전압은 베이스 전압 $4V$가 아니라 $V_B - V_{BE} = 3.3V$임을 구분해야 한다.

다시 나오면 이렇게 판단

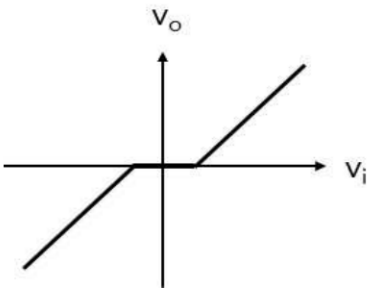
공통 이미터 바이어스 회로에서는 $V_E = V_B - V_{BE}$로 시작하여 $I_E = V_E/R_E$, $I_C = \beta I_E/(\beta+1)$, $V_C = V_{CC} - I_C R_C$의 순서로 계산한다. 마지막에는 저항의 전압 강하와 노드 전압을 구분하고 V_{CE}가 활성 영역에 맞는지도 확인한다.

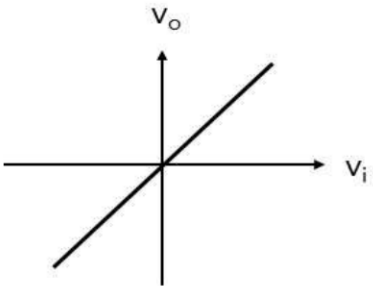
암기 포인트

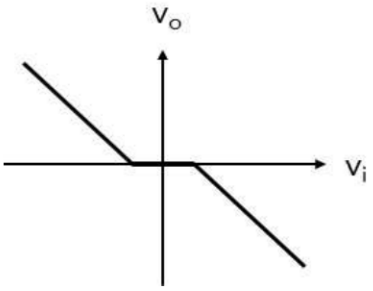
베이스에서 V_{BE}를 빼면 이미터 전압, 전원에서 $I_C R_C$를 빼면 컬렉터 전압이다.

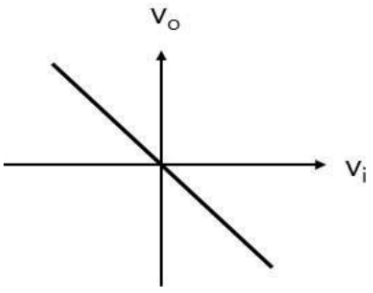
NoteBase

12. NPN 및 PNP 타입의 트랜지스터 상보형 구조로 구성된 B급 푸시풀 전력 증폭기가 이상적이지 않을 때, 입출력 전달 특성 곡선으로 가장 적절한 것은?

① 

② 

③ 

④ 

정답 1번

출제 포인트

B급 상보형 푸시풀 전력 증폭기의 입력·출력 전달 특성에서 비반전 기울기와 0V 부근의 크로스오버 데드존을 식별하는 문제이다. NPN과 PNP 트랜지스터는 각각 입력의 양·음 반주기를 담당하며, 입력의 절댓값이 베이스-이미터 도통 전압에 미치지 못하는 구간에서는 두 소자가 모두 차단되어 출력이 거의 0이 된다.

NoteBase

선지별 해설

① O — 원점 부근에 출력이 0인 수평 구간이 있고, 그 바깥에서는 입력과 출력이 같은 방향으로 증가하거나 감소한다. 이는 상보형 이미터 팔로어의 비반전 특성과 두 트랜지스터가 모두 꺼지는 크로스오버 데드존을 함께 나타내므로 적절하다.
② X — 원점을 지나는 하나의 비반전 직선은 입력이 아주 작아도 출력이 즉시 따라가는 이상적인 특성이다. 틀린 부분은 '원점 부근에도 직선적으로 전달된다'는 형태이며, 실제 B급 회로에서는 V_{BE} 문턱 때문에 원점 부근에 출력이 거의 0인 수평 데드존이 나타난다.
③ X — 원점 부근의 데드존은 나타내지만, 데드존 밖에서 입력이 증가할수록 출력이 감소하는 음의 기울기가 잘못되었다. 실제로는 이미터 팔로어 구조이므로 데드존 밖의 전달 곡선은 ①처럼 양의 기울기를 가져야 한다.
④ X — 원점을 지나는 음의 기울기 직선은 위상 반전 특성을 나타내며 크로스오버 데드존도 없다. 실제로는 입력과 출력이 같은 방향으로 변하는 양의 기울기이고, 0V 부근에는 수평 데드존이 있어야 한다.

오답 포인트

핵심 함정은 '증폭기이므로 직선'이라고 보고 ②를 고르거나, 두 트랜지스터가 교대로 동작한다는 사실을 출력 반전으로 오해하여 ③ 또는 ④를 고르는 것이다. B급 바이어스에서는 0V 부근에서 두 소자가 모두 차단되므로 데드존이 생기지만, 상보형 이미터 팔로어 자체는 비반전이므로 데드존 밖의 기울기는 양수이다.

다시 나오면 이렇게 판단

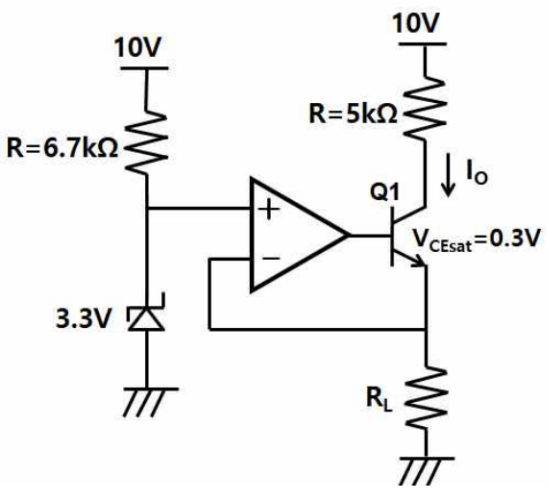
먼저 0V 부근에 수평 데드존이 있는지 확인하고, 다음으로 데드존 밖에서 입력과 출력이 같은 방향으로 변하는지 확인한다. '데드존 있음 + 양의 기울기'이면 이상적이지 않은 B급 상보형 푸시풀 회로의 전달 특성이다.

암기 포인트

B급 상보형 푸시풀은 '가운데는 크로스오버 데드존, 양쪽은 비반전 양의 기울기'이다.

NoteBase

13. 다음 회로에서 Zener 다이오드의 전압 $V_Z = 3.3\,[V]$ 이고, BJT Q_1의 콜렉터에미터 포화전압 V_{CEsat}은 $0.3\,[V]$이다. 그리고 활성영역에서 β는 무한대로 가정하고 R_L 저항은 바꿀 수 있을 때 가장 적절하지 않은 것은?



① $R_L = 3.3\,[\mathrm{k\Omega}]$ 일 때, 출력전류 I_O는 거의 $1\,[mA]$ 이다.

② $R_L = 3.3\,[\mathrm{k\Omega}]$ 일 때, BJT Q_1은 활성영역(Active Mode)에서 동작한다.

③ $R_L = 4\,[\mathrm{k\Omega}]$ 일 때, BJT Q_1은 활성영역(Active Mode)에서 동작한다.

④ $R_L = 2\,[\mathrm{k\Omega}]$ 일 때, BJT Q_1은 활성영역(Active Mode)에서 동작한다.

정답 4번

출제 포인트

이 문제는 연산증폭기의 음귀환으로 정해지는 출력 전압과 BJT의 포화 경계 전류를 이용하여, 부하저항에 따라 Q_1이 활성영역에 있는지를 판단하는 문제이다.

NoteBase

조건 정리

제너 다이오드는 연산증폭기의 비반전 입력을 $3.3V$로 만든다. 음귀환이 정상적으로 작동하고 Q_1이 활성영역에 있으면 반전 입력에 연결된 이미터 전압도 $V_E = 3.3V$가 된다. 또한 $\beta \to \infty$이므로 베이스 전류를 무시할 수 있어 $I_C \simeq I_E = I_O$로 본다. 포화 경계는 $V_{CE} = V_{CEsat} = 0.3V$이다.

사용할 공식

활성영역에서 부하전류는 $I_O = V_E/R_L = 3.3/R_L$이고, 컬렉터 전압은 $V_C = 10 - I_O(5k\Omega)$이다. 활성영역을 유지하려면 $V_{CE} = V_C - V_E > 0.3V$이어야 한다. 이는 컬렉터 저항의 전압 강하와 포화 전압을 함께 고려하여 트랜지스터가 요구 전류를 공급할 수 있는지 확인하는 식이다.

계산 과정

포화 경계에서 컬렉터 전압은 $V_C = V_E + V_{CEsat} = 3.3 + 0.3 = 3.6V$이다. 따라서 공급 가능한 경계 전류는

$$I_{O,\,\max} = \frac{10 - 3.6}{5k\Omega} = 1.28mA$$

이다. 이에 대응하는 최소 부하저항은

$$R_{L,\,\min} = \frac{3.3V}{1.28mA} \simeq 2.58k\Omega$$

이다. 그러므로 $R_L > 2.58k\Omega$이면 활성영역에서 $3.3V$가 유지되고, 그보다 작으면 요구 전류가 포화 경계 전류를 넘어 Q_1이 포화된다.

선지 판단

① O — $R_L = 3.3k\Omega$이면 $I_O = 3.3V/(3.3k\Omega) = 1.0mA$이므로 '거의 $1mA$'가 맞다. 이때 $V_C = 10 - 1.0mA \times 5k\Omega = 5.0V$, $V_{CE} = 5.0 - 3.3 = 1.7V$이므로 포화되지 않는다.

② O — ①의 계산처럼 $R_L = 3.3k\Omega$일 때 $V_{CE} = 1.7V > 0.3V$이므로 Q_1은 활성영역에서 동작한다.

③ O — $R_L = 4k\Omega$이면 $I_O = 3.3V/(4k\Omega) = 0.825mA$이고, $V_C = 10 - 0.825mA \times 5k\Omega = 5.875V$이다. 따라서 $V_{CE} = 5.875 - 3.3 = 2.575V > 0.3V$이므로 활성영역이다.

④ X — $R_L = 2k\Omega$에서 출력 전압을 $3.3V$로 유지하려면 $I_O = 1.65mA$가 필요하지만, 이는 포화 경계 전류 $1.28mA$보다 크다. '활성영역에서 동작한다'는 표현이 틀렸으며, 올바르게는 Q_1이 포화영역에서 동작한다. 따라서 가장 적절하지 않은 것은 ④이다.

오답 포인트

부하전류를 $3.3/R_L$로 계산하는 데서 끝내면 ④의 포화를 놓치기 쉽다. 특히 $R_L = 2k\Omega$일 때 요구되는 $1.65mA$와 컬렉터 저항 및 V_{CEsat}가 제한하는 $1.28mA$를 반드시 비교해야 한다.

다시 나오면 이렇게 판단

먼저 음귀환이 정하는 이미터 전압으로 요구 부하전류 V_E/R_L를 계산한다. 다음으로 $(V_{CC} - V_E - V_{CEsat})/R_C$에서 포화 경계 전류를 구한다. 요구 전류가 경계 전류보다 작으면 활성영역이고, 크면 포화영역이다.

암기 포인트

이미터 팔로어형 정전압 회로에서는 I_{load}와 $(V_{CC} - V_O - V_{CEsat})/R_C$를 비교한다. 부하전류가 포화 경계 전류를 넘으면 출력 정전압을 유지할 수 없다.

NoteBase

14. MOSFET의 기생 커패시턴스(Parasitic Capacitance)가 시스템에 미치는 영향으로 가장 적절하지 않은 것은?
① 고주파 동작 시 이득을 감소시킨다.
② 동적 전력 소모의 원인이 된다.
③ 밀러 효과에 의해 입력 용량이 증폭되어 보일 수 있다.
④ 트랜지스터의 스위칭 속도를 무한히 빠르게 만든다.

정답 4번

출제 포인트

MOSFET의 기생 커패시턴스가 고주파 이득, 동적 전력 소모, 입력 용량, 스위칭 속도에 미치는 영향을 구분하는 문제이다.

핵심 개념

기생 커패시턴스는 MOSFET의 단자와 접합 사이에 의도하지 않아도 생기는 커패시턴스이다. 이 커패시턴스를 충·방전하는 데 시간과 에너지가 필요하므로 고주파 이득이 감소하고 동적 전력 소모가 증가하며 스위칭이 느려질 수 있다. 특히 게이트-드레인 커패시턴스는 밀러 효과에 의해 입력에서 더 큰 등가 용량으로 보일 수 있다.

선지별 해설

① O — 주파수가 높아지면 커패시터의 리액턴스 크기 $|X_C| = 1/(2\pi fC)$가 작아져 신호가 우회되거나 피드백이 커지므로 고주파 이득이 감소한다.

② O — 기생 커패시턴스도 출력 전환 때마다 충·방전되며, 동적 전력은 대략 $P_{dyn} = \alpha C_{eff} V_{DD}^2 f$에 비례하므로 전력 소모의 원인이 된다.

③ O — 반전 증폭 동작에서 게이트-드레인 커패시턴스가 밀러 효과를 일으키면 입력에서 본 등가 커패시턴스가 약 $C_{gd}(1 - A_V)$만큼 커져 입력 용량이 증폭되어 보일 수 있다.

④ X — 틀린 표현은 '스위칭 속도를 무한히 빠르게 만든다'이다. 기생 커패시턴스는 구동 저항을 통해 충·방전되어 시간 지연을 만들므로, 올바르게는 '스위칭 속도를 제한하고 일반적으로 느리게 만든다'이다.

NoteBase

오답 포인트

기생 커패시턴스를 신호 전달을 돕는 소자로 오해하면 ④를 고르기 어렵다. 이 문항의 함정은 '무한히 빠르게'라는 절대 표현이며, 실제로 커패시턴스가 클수록 필요한 전하량과 충·방전 시간이 늘어난다.

다시 나오면 이렇게 판단

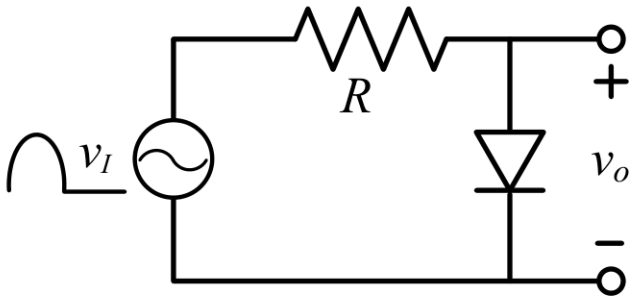
기생 커패시턴스가 나오면 '충·방전 필요'를 출발점으로 판단한다. 그 결과는 고주파 이득 감소, 동적 전력 증가, 밀러 효과에 따른 입력 용량 증가, 스위칭 지연 증가로 연결된다.

암기 포인트

기생 커패시턴스가 커지면 이득은 내려가고, 전력·입력 용량·지연은 올라간다.

NoteBase

15. 아래의 회로에서 입력 전압(V_I)가 다음과 같이 주어졌을 때, 출력 전압(V_o)으로 가장 적절한 것은? (단, 다이오드는 이상적이다)



① 

② 

③

④ 

정답 3번

출제 포인트

이 문제는 이상적 다이오드의 도통·차단 상태를 입력 전압의 극성과 다이오드 방향으로 판단하는 문제이다.
그림의 다이오드는 출력 노드가 접지보다 양(+)이 되려 할 때 도통하므로, 제시된 양의 반주기 입력 동안 V_o를 0V로 고정한다.

NoteBase

선지별 해설

① X
양의 반주기 입력이 저항을 거쳐 그대로 출력되는 파형이 아니다. 출력 노드가 양(+)이 되려 하면 이상적 다이오드가 즉시 도통하여 출력이 $0V$로 제한된다. 틀린 파형 → 올바른 파형은 전 구간에서 $0V$인 수평선이다.

② X
제시된 입력은 양의 반주기만 나타나며, 회로가 이를 음·양의 정현파로 만들어 내지 않는다. 또한 양의 입력 구간에는 다이오드가 도통하여 출력이 $0V$가 된다. 틀린 파형 → 올바른 파형은 전 구간에서 $0V$인 수평선이다.

③ O
입력이 양(+)인 동안 다이오드가 순방향 도통하여 출력 노드를 접지와 연결한다. 이상적 다이오드의 순방향 전압 강하는 $0V$이므로 $V_o = 0$이고, 입력이 $0V$인 나머지 구간에도 출력은 $0V$이다.

④ X
이 회로는 양의 입력을 음의 출력으로 반전시키는 회로가 아니다. 저항과 다이오드만으로는 제시된 양의 반주기에서 음의 반주기가 생기지 않는다. 틀린 파형 → 올바른 파형은 전 구간에서 $0V$인 수평선이다.

오답 포인트

입력 옆의 파형을 완전한 정현파로 오인하거나, 다이오드가 도통할 때 입력 파형이 그대로 출력된다고 생각하기 쉽다. 이 문항의 입력은 양의 반주기 뒤에 $0V$가 이어지는 파형이며, 도통한 이상적 다이오드는 출력 노드를 $0V$로 클램프한다.

다시 나오면 이렇게 판단

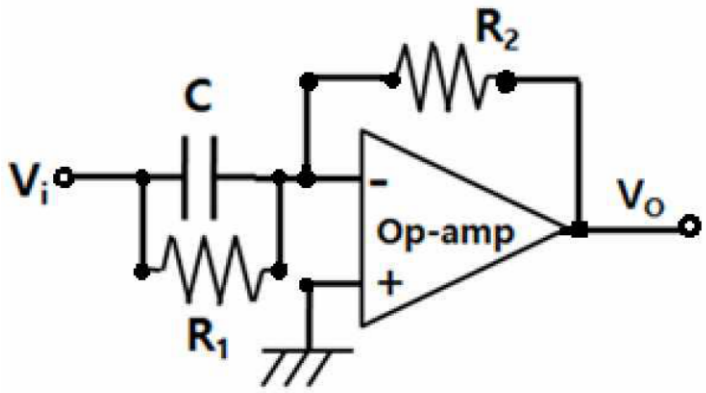
먼저 입력의 실제 극성을 읽고, 그 극성에서 다이오드가 순방향인지 역방향인지 판단한다. 순방향이면 이상적 다이오드를 단락으로 보아 출력 전압을 구하고, 역방향이면 개방으로 보아 회로를 다시 계산한다.

암기 포인트

이상적 다이오드는 도통 시 단락, 차단 시 개방이다. 이 회로에서는 양의 입력이 $0V$로 클리핑된다.

NoteBase

16. 다음 연산증폭기를 이용한 회로에 대해 가장 적절하지 않은 것은?



① 고대역 통과필터의 특성을 갖는다.

② 회로의 출력 임피던스는 이상적인 연산증폭기를 활용한 경우 0[Ω]이다.

③ $3dB$ 대역폭 : $\omega_{3dB} = \frac{1}{CR_1}$ 이다.

④ $A_V(\omega) = V_0 / V_i = -\frac{R_1}{R_2}(1 + j\omega CR_1)$ 이다.

정답 4번

출제 포인트

이 문제는 이상적인 반전 연산증폭기에서 입력 임피던스와 귀환 임피던스를 구해 주파수 전달함수와 차단각주파수를 판단하는 문제이다.

조건 정리

입력단의 R_1과 커패시터 C는 서로 병렬이고, 귀환 임피던스는 R_2이다. 비반전 입력이 접지되어 있으므로 이상적인 연산증폭기의 반전 입력은 가상 접지 상태이다. 이상적인 연산증폭기의 출력 임피던스는 0Ω이다.

사용할 공식

반전 증폭기의 전달함수는 $A_V(j\omega) = -Z_f/Z_{in}$이다. 이 회로에서는

$Z_f = R_2, \quad Z_{in} = R_1 \parallel \frac{1}{j\omega C} = \frac{R_1}{1 + j\omega CR_1}$

이 공식을 쓰는 이유는 입력 신호가 병렬 입력망을 거쳐 반전 단자로 들어가고, 출력에서 반전 단자로 R_2의 음귀환이 걸리기 때문이다.

NoteBase

계산 과정

입력 임피던스를 전달함수에 대입하면
$A_V(j\omega) = -\frac{R_2}{R_1/(1+j\omega CR_1)} = -\frac{R_2}{R_1}(1+j\omega CR_1)$
이 된다. 크기는
$|A_V(j\omega)| = \frac{R_2}{R_1}\sqrt{1+(\omega CR_1)^2}$
이므로 주파수가 증가할수록 이득이 커지는 고대역 통과 특성을 갖는다. 저주파 이득보다 크기가 $\sqrt{2}$배가 되는 경계에서 $\omega CR_1 = 1$이므로 $\omega_{3dB} = 1/(CR_1)$이다.

선지 판단

① O — $|A_V| = (R_2/R_1)\sqrt{1+(\omega CR_1)^2}$이므로 주파수가 높아질수록 이득이 증가하여 고대역 통과 특성을 갖는다.
② O — 이상적인 연산증폭기는 출력 저항을 0Ω으로 가정하므로 회로의 출력 임피던스도 0Ω이다.
③ O — 저항 성분과 커패시터 성분의 크기가 같아지는 경계는 $\omega CR_1 = 1$이므로 $\omega_{3dB} = 1/(CR_1)$이다.
④ X — R_1/R_2는 저항비의 분자와 분모를 뒤바꾼 표현이다. 올바른 전달함수는
$A_V(j\omega) = V_o/V_i = -(R_2/R_1)(1+j\omega CR_1)$이다. 따라서 가장 적절하지 않은 것은 ④이다.

오답 포인트

④의 함정은 반전 증폭기의 이득을 입력 임피던스와 귀환 임피던스의 비로 거꾸로 쓰는 데 있다. 반전 증폭기의 이득은 항상 '귀환 임피던스 ÷ 입력 임피던스'에 음의 부호를 붙인 값이므로 저항비는 R_2/R_1이다.

다시 나오면 이렇게 판단

먼저 입력망과 귀환망을 각각 임피던스로 바꾸고, $A_V = -Z_f/Z_{in}$에 대입한다. 그다음 전달함수의 상수항과 $j\omega$ 항을 비교해 주파수 특성과 경계 각주파수를 판단한다.

암기 포인트

반전형은 $-Z_f/Z_{in}$, 병렬 R_1-C 입력망은 $Z_{in} = R_1/(1+j\omega CR_1)$, 경계 각주파수는 $1/(CR_1)$이다.

NoteBase

17. 노이즈 마진(Noise Margin)에 대한 설명으로 가장 적절한 것은?
① 회로의 동작 주파수를 결정하는 주요 인자이다.
② 논리 상태를 정확히 유지할 수 있는 최대 허용 잡음 전압을 의미한다.
③ 노이즈 마진이 작을수록 외부 간섭에 강해진다.
④ 게이트의 전력 소모량을 나타내는 지표이다.

정답 2번

출제 포인트

노이즈 마진이 논리회로의 주파수나 전력 특성이 아니라 잡음에 대한 허용 여유를 뜻한다는 점을 묻는 문제이다.

핵심 개념

노이즈 마진은 디지털 회로의 논리 0 또는 논리 1이 잘못 판정되지 않고 견딜 수 있는 최대 잡음 전압의 여유이다. 값이 클수록 잡음이 섞여도 논리 상태를 안정적으로 유지하므로 잡음 내성이 크다.

선지별 해설

① X — 틀린 표현은 '회로의 동작 주파수를 결정하는 주요 인자'이다. 동작 주파수는 주로 전파 지연 시간과 회로의 스위칭 속도 등에 의해 제한되며, 노이즈 마진은 잡음 허용 능력을 나타낸다.
② O — 논리 상태가 잘못 바뀌지 않고 정확히 유지될 수 있는 최대 허용 잡음 전압을 뜻하므로 노이즈 마진의 정의에 해당한다.
③ X — 틀린 표현은 '노이즈 마진이 작을수록 외부 간섭에 강해진다'이다. 올바르게는 노이즈 마진이 클수록 더 큰 잡음 전압을 견딜 수 있어 외부 간섭에 강해진다.
④ X — 틀린 표현은 '게이트의 전력 소모량을 나타내는 지표'이다. 올바르게는 노이즈 마진은 게이트의 잡음 허용 능력을 나타내며, 전력 소모량은 별도의 전력 특성이다.

오답 포인트

③은 '작을수록'이라는 방향을 뒤집어 놓은 선지이다. 노이즈 마진은 허용 가능한 전압 여유이므로 작아질수록 약한 잡음에도 논리 오류가 발생하기 쉽다. ①의 동작 속도와 ④의 전력 소모는 디지털 게이트의 다른 성능 지표이다.

다시 나오면 이렇게 판단

노이즈 마진이라는 말이 나오면 '논리 상태를 유지하면서 견딜 수 있는 잡음 전압의 여유'로 판단한다. 값이 클수록 잡음 내성이 크고, 주파수·속도·전력 소모와는 구분한다.

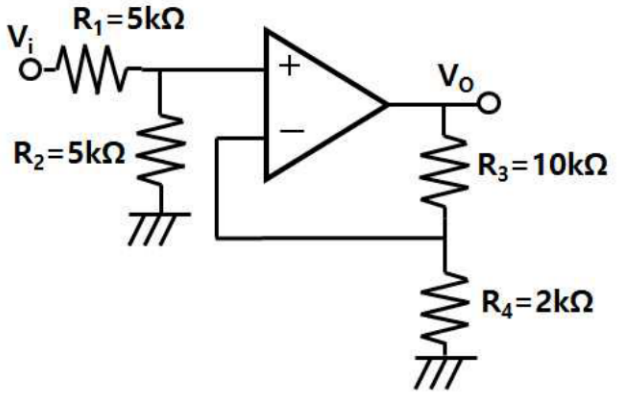
NoteBase

암기 포인트

노이즈 마진은 잡음 전압의 허용 여유이며, 클수록 잡음에 강하다.

NoteBase

18. 다음 연산증폭기를 이용한 회로에 대한 설명으로 가장 적절하지 않은 것은?



① 비반전 증폭기 회로이며 이득 $A_v = \frac{V_o}{V_i}$은 3이다.

② 출력 임피던스는 이상적인 연산증폭기를 사용할 경우 0 [Ω]이다.

③ 입력에서 바라본 입력 임피던스는 2.5 [kΩ]이다.

④ 연산증폭기 회로의 동작대역폭이 작아지면 이 회로의 동작대역폭도 같이 작아진다.

정답 3번

출제 포인트

이 문제는 이상적인 연산증폭기의 입력 전류가 0이라는 성질, 비반전 증폭기의 전압 이득, 입력·출력 임피던스 및 대역폭의 관계를 판단하는 문제이다.

조건 정리

주어진 값: $R_1 = 5k\Omega$, $R_2 = 5k\Omega$, $R_3 = 10k\Omega$, $R_4 = 2k\Omega$이다.
이상적인 연산증폭기의 입력 단자에는 전류가 흐르지 않고, 출력 임피던스는 0이다.
비반전 입력 전압은 R_1과 R_2의 분압으로 정해지며, 출력에서 반전 입력으로 부귀환이 걸린 비반전 증폭기이다.

NoteBase

사용할 공식

입력 분압 전압은
$V_+ = \frac{R_2}{R_1+R_2}V_i$
이고, 비반전 증폭기의 이득은
$\frac{V_o}{V_+} = 1 + \frac{R_3}{R_4}$
이다. 따라서 전체 전압 이득은
$A_v = \frac{V_o}{V_i} = \frac{R_2}{R_1+R_2}\left(1+\frac{R_3}{R_4}\right)$
이다. 입력 단자에 전류가 흐르지 않으므로 입력에서 접지까지의 전류 경로에는 R_1과 R_2가 직렬로 놓인다.

계산 과정

1. 입력 분압을 계산하면 $V_+ = \frac{5}{5+5}V_i = \frac{1}{2}V_i$이다.
2. 비반전 증폭기의 이득은 $1 + \frac{10}{2} = 6$이다.
3. 따라서 $V_o = 6V_+ = 6 \times \frac{1}{2}V_i = 3V_i$이므로 $A_v = 3$이다.
4. 입력 임피던스는 $Z_{in} = R_1 + R_2 = 10k\Omega$이다.

선지 판단

① O — 비반전 입력에 신호가 들어가고 출력 일부가 반전 입력으로 부귀환된다. 계산 결과 $A_v = V_o/V_i = 3$이므로 옳다.

② O — 이상적인 연산증폭기의 출력 임피던스는 0Ω이므로 옳다.

③ X — '입력 임피던스는 $2.5k\Omega$이다'가 틀렸다. $2.5k\Omega$은 $R_1 \parallel R_2$로 잘못 계산한 값이다. 연산증폭기 입력으로 전류가 흐르지 않으므로 입력 전류는 R_1과 R_2를 차례로 지나며, 올바르게는 $Z_{in} = R_1 + R_2 = 10k\Omega$이다.

④ O — 동일한 폐루프 이득 조건에서 회로의 동작 대역폭은 사용한 연산증폭기의 주파수 특성에 제한된다. 연산증폭기의 동작 대역폭이 작아지면 이 회로에서 확보할 수 있는 동작 대역폭도 작아지므로 옳다.

오답 포인트

③은 두 저항이 같은 노드 양단에 연결된 것으로 착각하여 $R_1 \parallel R_2 = 2.5k\Omega$로 계산하게 만든다. 그러나 이상적인 연산증폭기의 비반전 입력은 개방 회로처럼 전류를 받지 않으므로, 입력에서 본 전류 경로는 R_1과 R_2의 직렬 경로이다. 또한 전체 이득은 비반전단의 이득 6만이 아니라 입력 분압 1/2까지 곱해야 한다.

다시 나오면 이렇게 판단

먼저 이상적인 연산증폭기 입력 전류를 0으로 두고 입력 분압과 입력 임피던스를 판단한다. 다음으로 비반전 폐루프 이득 $1 + R_f/R_g$을 구한 뒤 입력 분압비를 곱해 전체 이득을 계산한다. 마지막으로 출력 임피던스와 대역폭 설명을 이상적 특성 및 주파수 제한과 대조한다.

NoteBase

암기 포인트

입력 분압비 × 비반전 이득이 전체 이득이고, 입력 전류가 0이면 이 회로의 입력 저항은 $R_1 + R_2$이다.

NoteBase

19. NMOS 트랜지스터의 문턱전압은 $V_{th}=2\,[V]$이고, $V_{GS}=4\,[V]$ 일 때, $I_{DS}=10\,[mA]$가 흘렀다. 이때 $V_{GS}=5\,[V]$로 증가시키면 전류 I_{DS}로 가장 적절한 것은? (단, 트랜지스터는 포화영역에서 계속 동작하며 Early 효과는 무시한다)

① $15\,[mA]$ ② $15.625\,[mA]$
③ $22.5\,[mA]$ ④ $25\,[mA]$

정답 3번

출제 포인트

NMOS 트랜지스터가 포화영역에서 동작하고 Early 효과를 무시할 때, 드레인 전류가 과구동전압 $V_{GS}-V_{th}$의 제곱에 비례한다는 관계를 이용하는 문제이다.

조건 정리

주어진 값: $V_{th}=2V$, $V_{GS1}=4V$, $I_{DS1}=10mA$, $V_{GS2}=5V$이다.
구해야 할 값: V_{GS}가 $5V$일 때의 I_{DS2}이다.
주의할 조건: 트랜지스터는 계속 포화영역에서 동작하며 Early 효과를 무시하므로 채널 길이 변조에 따른 전류 변화는 고려하지 않는다.

사용할 공식

포화영역에서 $I_{DS}=K(V_{GS}-V_{th})^2$로 둘 수 있으므로, 동일한 트랜지스터의 두 동작점 사이에는
$\frac{I_{DS2}}{I_{DS1}}=\left(\frac{V_{GS2}-V_{th}}{V_{GS1}-V_{th}}\right)^2$
가 성립한다. 공정 및 소자 상수인 K가 동일하고 Early 효과를 무시하므로 전류의 비를 이용하면 K를 따로 구하지 않아도 된다.

계산 과정

첫 번째 과구동전압은 $V_{GS1}-V_{th}=4-2=2V$이고, 두 번째 과구동전압은 $V_{GS2}-V_{th}=5-2=3V$이다.
따라서
$I_{DS2}=10mA\times\left(\frac{3}{2}\right)^2=10mA\times\frac{9}{4}=22.5mA$
이다.

NoteBase

선지 판단

① X — $15mA$는 과구동전압의 비 3/2를 전류에 그대로 곱한 값이다. 포화영역의 전류는 과구동전압의 제곱에 비례하므로 올바른 값은 $22.5mA$이다.
② X — $15.625mA$는 제곱법칙을 올바르게 적용한 결과가 아니다. 과구동전압이 $2V$에서 $3V$로 변하므로 올바른 값은 $10mA \times (3/2)^2 = 22.5mA$이다.
③ O — 계산 결과가 $22.5mA$이므로 주어진 조건에 맞는다.
④ X — $25mA$는 과구동전압 비의 제곱인 9/4를 정확히 적용한 값이 아니다. 올바른 값은 $22.5mA$이다.
계산 결과 $22.5mA$이므로 정답은 3번이다.

오답 포인트

①의 $15mA$처럼 V_{GS}의 증가 비율이나 과구동전압의 증가 비율을 전류에 선형으로 적용하면 안 된다. 기준이 되는 전압은 V_{GS} 자체가 아니라 $V_{GS} - V_{th}$이며, 포화영역의 드레인 전류에는 그 값을 제곱하여 적용한다.

다시 나오면 이렇게 판단

먼저 각 동작점의 과구동전압 $V_{OV} = V_{GS} - V_{th}$을 구한 뒤, 포화영역이고 Early 효과를 무시하는 조건에서는 $I_{DS2}/I_{DS1} = (V_{OV2}/V_{OV1})^2$를 적용한다. 마지막으로 전류 단위가 동일한지 확인한다.

암기 포인트

포화영역 NMOS의 제곱법칙은 $I_{DS} \propto (V_{GS} - V_{th})^2$이다. 문턱전압을 뺀 과구동전압을 먼저 구하고 그 비를 제곱한다.

NoteBase

20. 반도체 다이오드 및 트랜지스터 소자에 대한 설명으로 가장 적절하지 않은 것은?

① PN 다이오드는 P단자에 N단자보다 문턱 이상의 높은 전압을 인가하면 순방향 전류가 흐른다.

② 제너(Zener) 다이오드는 역방향 항복전압을 이용하여 일정한 전압에서 Clamping하는 특성이 있어 전원회로 전압조정 등에 사용된다.

③ NPN Bipolar 트랜지스터의 경우 전자가 다수 전류의 캐리어이며 활성모드(Active Mode)에서 증폭기 등으로 활용이 적합하다.

④ MOSFET의 경우 게이트에 전압을 인가해 전자를 모아 채널을 형성하면 PMOS, 정공을 모아 채널을 형성하면 NMOS 소자이다.

정답 4번

출제 포인트

PN 다이오드의 순방향 바이어스, 제너 다이오드의 정전압 특성, NPN 트랜지스터의 주 운반자, MOSFET 채널의 종류를 구분하는 문제이다.

핵심 개념

PN 다이오드는 P형 쪽 전위를 N형 쪽보다 충분히 높이는 순방향 바이어스에서 전류가 흐른다.
제너 다이오드는 역방향 항복 영역에서 전압을 거의 일정하게 유지하여 전압 조정과 클램핑에 이용된다.
NPN BJT는 전자가 주된 전류 운반자이며, 활성 모드에서 신호를 증폭한다.
MOSFET은 전자 채널을 형성하는 소자가 NMOS이고, 정공 채널을 형성하는 소자가 PMOS이다.

NoteBase

선지별 해설

① O — P단자 전압이 N단자 전압보다 문턱전압 이상 높아지면 PN 접합이 순방향 바이어스되어 순방향 전류가 흐른다.
② O — 제너 다이오드는 역방향 항복 영역에서 양단 전압이 거의 일정하게 유지되는 특성이 있어 전압 조정 및 클램핑 회로에 사용된다.
③ O — NPN BJT에서는 전자가 주된 전류 운반자이고, 활성 모드에서는 베이스의 작은 입력 변화로 컬렉터 전류를 제어하므로 증폭기로 활용하기 적합하다.
④ X — 틀린 표현은 '전자를 모아 채널을 형성하면 PMOS, 정공을 모아 채널을 형성하면 NMOS'이다.
올바르게는 전자 채널을 형성하면 NMOS이고, 정공 채널을 형성하면 PMOS이다.

오답 포인트

④는 MOSFET의 채널 운반자와 소자 이름을 서로 바꾸어 놓았다. N형 채널의 주 운반자는 전자이고 P형 채널의 주 운반자는 정공이라는 대응을 놓치면 반대로 판단하기 쉽다.

다시 나오면 이렇게 판단

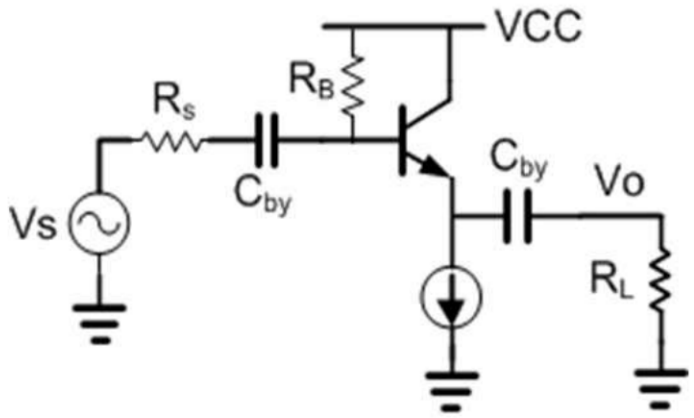
다이오드는 인가 전압의 방향과 항복 영역 사용 여부를 확인하고, BJT와 MOSFET은 주된 운반자와 동작 모드를 대응시킨다. MOSFET에서는 전자 채널인지 정공 채널인지를 먼저 확인하면 각각 NMOS와 PMOS로 판단할 수 있다.

암기 포인트

전자 채널은 NMOS, 정공 채널은 PMOS이다. NPN의 주 운반자는 전자이며, 제너 다이오드는 역방향 항복을 정전압 용도로 이용한다.

NoteBase

21. 다음 회로의 구조에 대해 가장 적절한 것은?



① 입력 임피던스가 $R_i \approx 1/r_e$로 일반적으로 작다.
② 에미터 축퇴된 공통에미터 증폭기이다.
③ 다른 공통 단자(에미터, 콜렉터, 베이스 등) 증폭기들과 비교해 가장 전압 이득이 높고, 출력임피던스가 작다.
④ 에미터 팔로워로서 보통 이득이 1에 가깝고 전압 버퍼증폭기로도 활용된다.

정답 4번

출제 포인트

입력은 베이스에 가하고 출력은 에미터에서 꺼내며 컬렉터가 전원에 고정된 회로가 공통컬렉터 증폭기, 즉 에미터 팔로워임을 판별하는 문제이다.

선지별 해설

① X — 에미터 팔로워의 베이스 입력 임피던스는 에미터 쪽 임피던스가 트랜지스터의 전류 이득에 의해 크게 반영되므로 일반적으로 크다. $R_i \approx 1/r_e$로 작다는 표현이 틀렸으며, 올바르게는 입력 임피던스가 일반적으로 크다고 해야 한다.
② X — 출력이 에미터에서 나오므로 이 회로는 에미터 축퇴된 공통에미터 증폭기가 아니라 공통컬렉터 증폭기이다. 올바르게는 에미터 팔로워라고 해야 한다.
③ X — 에미터 팔로워는 출력 임피던스가 작지만 전압 이득은 1보다 약간 작은 값으로 가장 높지 않다. '전압 이득이 가장 높다'가 틀렸으며, 올바르게는 전압 이득이 1에 가깝고 출력 임피던스가 작다고 해야 한다.
④ O — 에미터 전압이 베이스 전압을 거의 그대로 따라가므로 전압 이득이 1에 가깝다. 입력 임피던스는 크고 출력 임피던스는 작아 전압 버퍼로 활용된다.

NoteBase

오답 포인트

②의 '에미터 축퇴'와 회로에서 출력을 에미터에서 꺼낸다는 사실을 혼동하기 쉽다. 증폭기 형식은 출력 단자를 기준으로 구별하며, 이 회로는 컬렉터가 공통이고 출력이 에미터에 있으므로 공통컬렉터 증폭기이다. 또한 ③은 출력 임피던스가 작다는 일부만 맞고 전압 이득이 가장 높다는 부분이 틀린 복합 선지이다.

다시 나오면 이렇게 판단

입력과 출력 단자를 먼저 확인한다. 베이스 입력·에미터 출력·컬렉터 공통이면 에미터 팔로워이며, 전압 이득은 1에 가깝고 입력 임피던스는 크며 출력 임피던스는 작다고 판단한다.

암기 포인트

에미터 팔로워는 '전압은 따라가고, 입력은 크게, 출력은 작게'인 전압 버퍼이다.

NoteBase

22. 증가형(Enhancement Mode) NMOS 트랜지스터에서 채널이 형성되기 위해 필요한 조건으로 적절하지 않은 것은?

① 게이트 전압에 의해 기판의 소수 캐리어가 표면으로 끌어당겨져야 한다.
② 게이트 전압은 문턱 전압보다 낮아야 한다.
③ 충분한 크기의 전계가 산화막을 통과하여 형성되어야 한다.
④ 기판과 소스 단자 사이의 전압은 문턱 전압에 영향을 줄 수 있다.

정답 2번

출제 포인트

증가형 NMOS 트랜지스터에서 게이트 전압에 의해 반전층 채널이 형성되는 조건을 묻는 문제이다.

핵심 개념

증가형 NMOS는 게이트에 양의 전압을 가하여 산화막을 사이에 둔 전계를 만들고, 기판 표면에 전자를 모아 n형 반전층 채널을 형성하는 소자이다. 채널이 생기려면 게이트-소스 전압 V_{GS}가 문턱 전압 V_{TH} 이상이어야 한다.

선지별 해설

① O — 게이트에 양의 전압을 가하면 p형 기판의 소수 캐리어인 전자가 산화막과 기판의 경계면 쪽으로 끌려와 채널을 이룬다.

② X — 틀린 표현은 '게이트 전압은 문턱 전압보다 낮아야 한다'이다. 실제로는 채널 형성을 위해 게이트-소스 전압 V_{GS}가 문턱 전압 V_{TH} 이상이어야 한다.

③ O — 게이트 전압이 산화막 양단에 충분한 전계를 만들면 기판 표면의 전하 분포가 변하여 전자 반전층이 형성된다. 전자가 산화막을 통과한다는 뜻이 아니라 전계가 산화막을 사이에 두고 작용한다는 뜻이다.

④ O — 기판-소스 전압 V_{SB}이 증가하여 기판과 소스 사이의 역바이어스가 커지면 공핍층이 넓어지고 문턱 전압 V_{TH}이 증가하는 바디 효과가 나타난다. 따라서 기판과 소스 단자 사이의 전압은 문턱 전압에 영향을 줄 수 있다.

NoteBase

오답 포인트

②의 '낮아야 한다'가 핵심 함정이다. 증가형 NMOS는 V_{GS}가 문턱 전압에 도달하기 전에는 채널이 없고, 문턱 전압 이상이 되어야 반전층 채널이 형성된다.

다시 나오면 이렇게 판단

증가형 NMOS의 채널 형성 조건은 먼저 V_{GS}와 V_{TH}의 대소를 비교한다. $V_{GS} < V_{TH}$이면 채널이 형성되지 않고, V_{GS}가 V_{TH} 이상이면 채널이 형성된다고 판단한다.

암기 포인트

증가형 NMOS는 양의 게이트 전압으로 전자를 모으며, 채널 조건은 $V_{GS} \geq V_{TH}$이다.

NoteBase

23. 부궤환(Negative Feedback)을 증폭기에 적용했을 때 나타나는 현상으로 가장 적절하지 않은 것은?
① 주파수 대역폭이 넓어진다.
② 전압 이득이 증가한다.
③ 비직선 왜곡이 감소한다.
④ 이득의 안정도가 향상된다.

정답 2번

출제 포인트

부귀환을 적용했을 때 전압 이득, 주파수 대역폭, 비직선 왜곡, 이득 안정도가 각각 어떻게 변하는지를 묻는 문제이다. 문제의 부정형 표현인 '가장 적절하지 않은 것'을 확인해야 한다.

핵심 개념

부귀환은 출력의 일부를 입력과 반대 위상으로 되돌려 입력 변화에 대한 출력의 과도한 변화를 억제하는 방식이다. 폐루프 이득은 무귀환 이득보다 감소하지만, 이득의 소자 변화 민감도와 비직선 왜곡은 줄어들고 주파수 대역폭과 이득 안정도는 향상된다.

선지별 해설

① O — 부귀환을 적용하면 일반적으로 저역 차단주파수는 낮아지고 고역 차단주파수는 높아져 주파수 대역폭이 넓어진다.
② X — 틀린 표현은 '전압 이득이 증가한다'이다. 부귀환은 귀환량만큼 폐루프 전압 이득을 감소시키며, 올바르게는 '전압 이득이 감소한다'이다.
③ O — 부귀환은 증폭기의 비선형 성분을 억제하므로 비직선 왜곡이 감소한다.
④ O — 부귀환을 적용하면 폐루프 이득이 능동소자의 이득 변화에 덜 민감해져 이득의 안정도가 향상된다.

오답 포인트

부귀환이 증폭기의 여러 성능을 개선한다는 사실 때문에 전압 이득까지 증가한다고 오해하기 쉽다. 부귀환은 이득의 크기는 낮추는 대신 대역폭, 선형성, 잡음·왜곡 억제, 이득 안정도를 개선하는 방식이다.

다시 나오면 이렇게 판단

부귀환의 효과는 '이득은 감소, 대역폭은 증가, 왜곡은 감소, 안정도는 증가'의 네 방향으로 판단한다. 이후 문제의 긍정형·부정형 여부를 적용해 정답을 고른다.

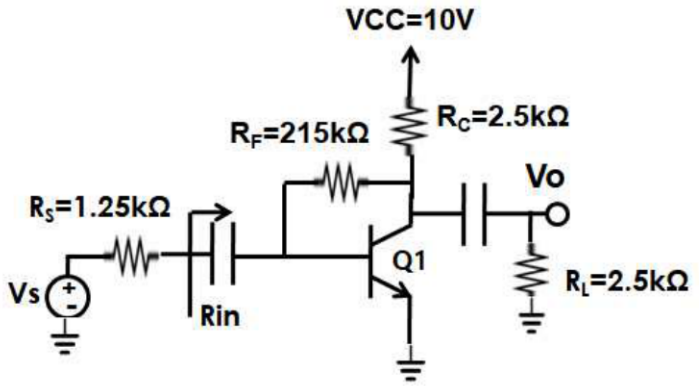
NoteBase

암기 포인트

부귀환은 이득을 양보하고 대역폭·선형성·안정도를 얻는다.

NoteBase

24. BJT기반 저항 피드백 공통에미터 증폭기에서 Q_1의 Collector 전류 I_C로 가장 적절한 것은? (단, Early 효과는 무시하며, $\beta = 100$이고, 순방향 전압은 $0.7\,[V]$이며 V_T는 $25\,[mV]$이다)



① $1\,[mA]$ ② $2\,[mA]$
③ $2.5\,[mA]$ ④ $3\,[mA]$

정답 2번

출제 포인트

이 문제는 컬렉터-베이스 저항 피드백 바이어스 회로에서 직류 폐회로 방정식을 세워 Q_1의 컬렉터 전류 I_C를 구하는 문제이다.

조건 정리

주어진 값: $V_{CC} = 10V$, $R_C = 2.5k\Omega$, $R_F = 215k\Omega$, $\beta = 100$, $V_{BE} = 0.7V$이다.
구해야 할 값: Q_1의 컬렉터 전류 I_C이다.
주의할 조건: 직류 해석에서 입력·출력 결합 커패시터는 개방되므로 R_S와 R_L은 바이어스 계산에 영향을 주지 않는다. 또한 컬렉터 노드에서 전류가 I_C와 I_B로 갈라지므로 R_C에는 $I_C + I_B$가 흐른다.

사용할 공식

$I_C = \beta I_B$
$V_{CC} = (I_C + I_B)R_C + I_B R_F + V_{BE}$
따라서
$I_B = \frac{V_{CC} - V_{BE}}{R_F + (\beta + 1)R_C}$
이 공식을 쓰는 이유: 컬렉터 피드백 저항 R_F의 전류가 베이스 전류 I_B이고, 전원에서 R_C로 들어온 전류는 $I_C + I_B$이기 때문이다.

NoteBase

계산 과정

1. 베이스 전류를 계산한다.

$I_B = \frac{10 - 0.7}{215 \times 10^3 + (100+1)(2.5 \times 10^3)} = 19.9\mu A$

2. $I_C = \beta I_B$를 적용한다.

$I_C = 100(19.9\mu A) = 1.99mA \simeq 2mA$

3. 이때 컬렉터 전압은 $V_C = V_{BE} + I_B R_F \simeq 4.98V$이므로 트랜지스터는 활성 영역에 있으며 계산 조건과도 일치한다.

선지 판단

① X — $1mA$는 계산 결과 $I_C \simeq 2mA$와 다르다. 틀린 값 $1mA$가 아니라 올바른 컬렉터 전류는 약 $2mA$이다.

② O — 직류 폐회로 방정식으로 구한 I_C가 $1.99mA \simeq 2mA$이므로 맞다.

③ X — $2.5mA$는 계산 결과보다 크다. 틀린 값 $2.5mA$가 아니라 올바른 컬렉터 전류는 약 $2mA$이다.

④ X — $3mA$는 계산 결과보다 크다. 틀린 값 $3mA$가 아니라 올바른 컬렉터 전류는 약 $2mA$이다.

오답 포인트

직류 바이어스 계산에 R_S나 R_L을 포함하는 것이 함정이다. 결합 커패시터는 직류에서 개방된다. 또 R_C의 전류를 I_C만으로 두기 쉽지만, 이 회로에서는 R_F로 흐르는 I_B까지 포함하여 $I_C + I_B$로 두어야 한다.

다시 나오면 이렇게 판단

저항 피드백 BJT의 직류 문제는 먼저 커패시터를 개방하고, 컬렉터 노드에서 전류 분기를 확인한 뒤, $V_{CC} \to R_C \to R_F \to V_{BE}$의 폐회로 방정식과 $I_C = \beta I_B$를 함께 적용한다. 마지막으로 V_C를 구해 활성 영역 여부를 검산한다.

암기 포인트

컬렉터-베이스 피드백 바이어스에서는 R_C 전류가 $(\beta + 1)I_B$이고, 직류에서 결합 커패시터 바깥의 R_S와 R_L은 보이지 않는다.

NoteBase

25. 궤환 증폭기의 감도(Sensitivity) 개선에 대한 설명으로 가장 적절한 것은?

① 루프 이득 $A\beta$가 클수록 감도는 나빠진다.

② 궤환 계수 β가 변할 때 이득의 안정도가 가장 크게 향상된다.

③ 개루프 이득 A가 변해도 폐루프 이득 A_f의 변동폭이 $\frac{1}{(1+A\beta)}$ 배로 줄어든다.

④ 온도가 올라가면 부궤환(Negative Feedback)은 자동으로 정궤환(Positive Feedback)으로 바뀐다.

정답 3번

출제 포인트

부귀환 증폭기에서 개루프 이득 A의 변화가 폐루프 이득 A_f에 얼마나 작게 전달되는지를 감도 공식으로 판단하는 문제이다.

조건 정리

부귀환 증폭기의 폐루프 이득은 $A_f = A/(1 + A\beta)$이다. 감도는 원인 변수의 상대 변화율에 대한 결과 변수의 상대 변화율이므로, 이 문항에서는 A의 상대 변화에 대한 A_f의 상대 변화를 구한다. 감도 개선은 감도가 작아져 폐루프 이득이 더 안정해진다는 뜻이다.

사용할 공식

$A_f = \frac{A}{1 + A\beta}$

$S_A^{A_f} = \frac{dA_f/A_f}{dA/A} = \frac{1}{1 + A\beta}$

부귀환을 걸면 분모에 $1 + A\beta$가 생기므로 개루프 이득의 변화가 폐루프 이득에 전달되는 비율을 이 공식으로 판단한다.

NoteBase

계산 과정

β가 일정할 때 폐루프 이득을 A로 미분하면 다음과 같다.
$\frac{dA_f}{dA} = \frac{1}{(1+A\beta)^2}$
이를 상대 변화율로 바꾸면 다음과 같다.
$\frac{dA_f}{A_f} = \frac{1}{1+A\beta}\frac{dA}{A}$
따라서 A의 상대 변동이 폐루프 이득에는 $1/(1+A\beta)$배만 전달된다. $A\beta$가 클수록 이 값은 작아져 이득 안정도가 높아진다.

선지 판단

① X — '루프 이득 $A\beta$가 클수록 감도는 나빠진다'가 틀렸다. 감도 $1/(1+A\beta)$는 $A\beta$가 커질수록 작아지므로 감도 특성은 좋아진다. 올바르게는 '루프 이득 $A\beta$가 클수록 감도는 개선되고 폐루프 이득은 안정해진다'이다.
② X — 부귀환이 크게 억제하는 것은 주로 개루프 이득 A의 변동이다. β의 상대 변화에 대한 감도는 $S_\beta^{A_f} = -A\beta/(1+A\beta)$이므로, $A\beta$가 크면 그 크기가 1에 가까워져 β의 변동이 크게 억제되는 것이 아니다. 올바르게는 '개루프 이득 A가 변할 때 폐루프 이득의 안정도가 향상된다'이다.
③ O — A의 상대 변화에 대한 A_f의 감도는 정확히 $1/(1+A\beta)$이다. 따라서 개루프 이득의 변동이 폐루프 이득에는 그 비율만큼 줄어 전달된다.
④ X — 온도 상승만으로 부귀환이 자동으로 정귀환으로 바뀌지는 않는다. 귀환의 부호는 귀환 신호의 위상과 접속 방식으로 결정된다. 올바르게는 '회로의 귀환 경로와 극성이 유지되는 한 온도가 변해도 부귀환은 부귀환으로 작용하며, 소자 이득의 온도 변화를 안정화한다'이다.

오답 포인트

①은 루프 이득이 커질수록 분모도 커진다는 방향을 반대로 제시한 함정이다. ②는 변동 원인을 A가 아니라 β로 바꾼 함정이며, ④는 온도 변화와 귀환 극성의 변화를 혼동하게 한다. 이 문항에서 감도 개선의 대상은 개루프 이득 A의 변동이다.

다시 나오면 이렇게 판단

부귀환의 이득 안정도 문제가 나오면 먼저 $A_f = A/(1+A\beta)$를 적고, 어떤 변수가 변하는지 확인한다. A가 변하면 상대 감도는 $1/(1+A\beta)$이므로 루프 이득이 클수록 폐루프 이득의 변동이 작아진다고 판단한다.

암기 포인트

부귀환의 핵심은 '루프 이득 증가 → 감도 $1/(1+A\beta)$ 감소 → 이득 안정도 증가'이다.

NoteBase