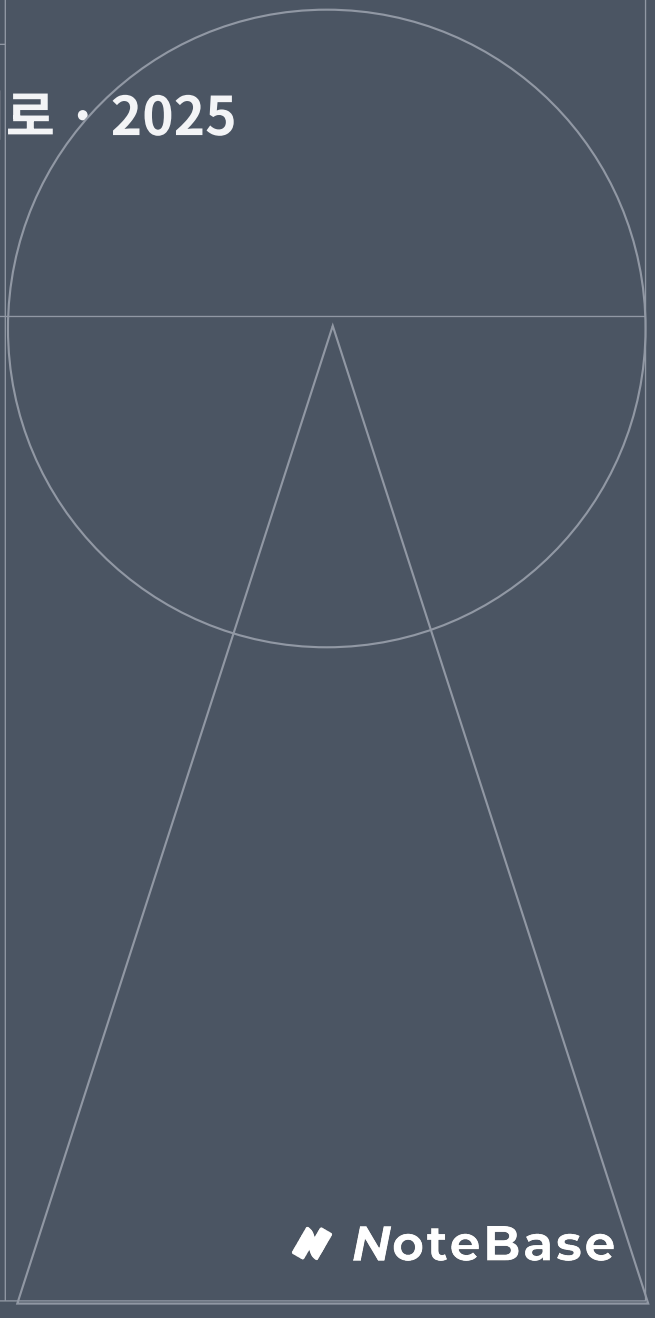
기출OX 해설집

공무원/군무원/9급 · 전자회로 · 2025



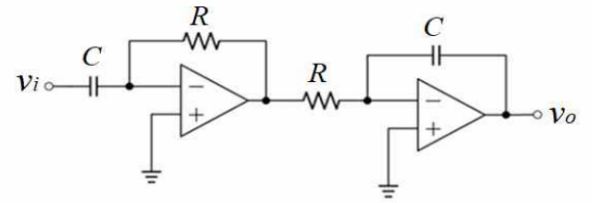
NoteBase

기출OX 해설집

공무원/군무원/9급 · 전자회로 · 2025

공무원/군무원/9급 · 전자회로 · 2025

1. 다음 연산증폭기 회로가 정상 상태일 때, 출력전압(v_o)으로 가장 적절한 것은? (단, 연산증폭기는 이상적이고, 커패시터 초기전압은 0[V]이다)



① $-RC\frac{dv_i}{dt}$

② $-v_i$

③ $\frac{v_i}{(RC)^2}$

④ v_i

정답 4번

출제 포인트

이 문제는 반전 미분기와 반전 적분기를 직렬로 연결했을 때 각 단의 전달함수를 곱하여 전체 출력전압을 구하는 문제이다.

조건 정리

첫째 연산증폭기: 입력 소자는 커패시터 *C*, 피드백 소자는 저항 *R*인 반전 미분기이다.
둘째 연산증폭기: 입력 소자는 저항 *R*, 피드백 소자는 커패시터 *C*인 반전 적분기이다.
두 연산증폭기는 이상적이며, 커패시터 초기전압은 0*V*이므로 적분에 따른 초기조건 항은 없다.

NoteBase

사용할 공식

반전 미분기의 출력은
$v_1(t) = -RC\frac{dv_i(t)}{dt}$
이고, 반전 적분기의 출력은
$v_o(t) = -\frac{1}{RC}\int v_1(t)dt$
이다. 첫째 단이 미분하고 둘째 단이 같은 시정수 RC로 적분하므로 두 단의 전달함수를 곱하면 전체 입출력 관계를 구할 수 있다.

계산 과정

1. 첫째 단의 전달함수는 $V_1(s)/V_i(s) = -sRC$이다.
2. 둘째 단의 전달함수는 $V_o(s)/V_1(s) = -1/(sRC)$이다.
3. 두 전달함수를 곱하면
$\frac{V_o(s)}{V_i(s)} = (-sRC)\left(-\frac{1}{sRC}\right) = 1$
이다. 따라서 커패시터 초기전압이 $0V$일 때 $v_o(t) = v_i(t)$이다.

선지 판단

① X — $-RCdv_i/dt$는 첫째 미분기만 지난 중간 출력 v_1이다. 둘째 적분기까지 지난 전체 출력은 $v_o = v_i$로 고쳐야 한다.
② X — 두 단이 모두 반전형이므로 음의 부호가 두 번 생겨 양의 부호가 된다. $-v_i$가 아니라 v_i로 고쳐야 한다.
③ X — 미분기의 RC와 적분기의 $1/(RC)$는 서로 상쇄된다. $v_i/(RC)^2$가 아니라 v_i로 고쳐야 한다. 또한 $v_i/(RC)^2$는 전압과 차원이 같지 않다.
④ O — 두 전달함수의 곱이 1이므로 출력전압은 입력전압과 같은 v_i이다.

오답 포인트

①은 첫째 단의 출력에서 계산을 멈추게 하는 함정이다. ②는 반전 부호를 한 번만 반영한 결과이고, ③은 두 단의 RC 계수를 곱해야 한다고 잘못 판단한 결과이다. 이 회로에서는 두 번의 반전과 미분·적분의 계수가 각각 상쇄된다.

다시 나오면 이렇게 판단

직렬 연결된 연산증폭기 회로는 각 단의 입력 소자와 피드백 소자로 전달함수를 먼저 정한 뒤 그 전달함수들을 곱한다. 이때 반전 부호의 개수, 미분·적분 연산, 시정수의 상쇄 여부, 초기조건 항을 차례로 확인한다.

암기 포인트

같은 R과 C를 쓰는 반전 미분기와 반전 적분기의 직렬 연결은 $(-sRC) \times [-1/(sRC)] = 1$이므로 초기전압이 $0V$일 때 입력을 그대로 복원한다.

NoteBase

2. n형으로 도핑된 반도체에 금, 은, 백금, 몰리브덴과 같은 금속을 결합하여 만든 금속-반도체 접합의 구조를 갖는 소자의 명칭으로 가장 적절한 것은?
① 광 다이오드(photo diode)
② 터널 다이오드(tunnel diode)
③ LED(Light Emitting Diode)
④ 쇼트키 다이오드(schottky diode)

정답 4번

출제 포인트

금속과 반도체의 접합으로 만드는 다이오드와 PN 접합을 이용하는 다이오드를 구별하는 문제이다.

핵심 개념

쇼트키 다이오드는 금속과 반도체의 접촉면에 형성되는 쇼트키 장벽을 이용하여 정류 작용을 하는 소자이다.
금속-반도체 접합을 사용하므로 PN 접합 다이오드보다 순방향 전압 강하가 작고 스위칭이 빠른 편이다.
광 다이오드·터널 다이오드·LED는 기본적으로 반도체의 PN 접합 또는 그 변형 구조를 이용한다.

선지별 해설

① X — 광 다이오드는 빛을 받으면 광전류가 생기는 광검출 소자이며, 대표적으로 PN 접합이나 PIN 접합으로 만든다. 틀린 부분은 금속-반도체 접합 소자를 '광 다이오드'라고 한 명칭이며, 올바르게는 '쇼트키 다이오드'이다.
② X — 터널 다이오드는 불순물 농도를 매우 높인 PN 접합에서 양자역학적 터널 효과와 부성저항 특성을 이용한다. 틀린 부분은 금속-반도체 접합 소자를 '터널 다이오드'라고 한 명칭이며, 올바르게는 '쇼트키 다이오드'이다.
③ X — LED는 순방향 바이어스된 PN 접합에서 전자와 정공이 재결합하며 빛을 내는 소자이다. 틀린 부분은 금속-반도체 접합 소자를 'LED'라고 한 명칭이며, 올바르게는 '쇼트키 다이오드'이다.
④ O — 쇼트키 다이오드는 n형 반도체와 금·은·백금·몰리브덴 같은 금속을 접촉시켜 형성한 금속-반도체 접합의 쇼트키 장벽을 이용하는 소자이므로 제시된 구조에 가장 적절하다.

오답 포인트

네 소자가 모두 다이오드라는 점만 보고 기능으로 접근하면 혼동하기 쉽다. 이 문항의 결정적 표현은 'n형 반도체에 금속을 결합'이며, 이는 PN 접합이 아니라 금속-반도체 접합을 뜻한다.

NoteBase

다시 나오면 이렇게 판단

접합 재료를 먼저 확인한다. 금속과 반도체의 접합이면 쇼트키 다이오드, 고농도 PN 접합이면 터널 다이오드, 빛을 받는 PN·PIN 접합이면 광 다이오드, 빛을 내는 PN 접합이면 LED로 판단한다.

암기 포인트

금속＋반도체＝쇼트키, 고농도 PN＝터널, 수광＝광 다이오드, 발광＝LED이다.

NoteBase

3. 실제의 펄스 신호에 사용되는 용어 설명으로 가장 적절하지 않은 것은?
① 펄스폭이란 펄스 파형이 상승 및 하강의 진폭의 50 %가 되는 구간의 시간이다.
② 상승 시간이란 펄스의 진폭이 0~100 %까지 상승하여 도달한 시간이다.
③ 새그(sag)는 펄스 파형의 제일 높은 부분에서 경사의 기울기이다.
④ 오버슈트(over shoot)란 상승 파형에서 이상적 펄스파의 진폭보다 높은 부분이다.

정답 2번

출제 포인트

실제 펄스 파형에서 펄스폭, 상승 시간, 새그, 오버슈트가 각각 어떤 구간이나 현상을 뜻하는지 구별하는 문제이다.

핵심 개념

펄스폭: 상승 구간과 하강 구간에서 진폭의 50%가 되는 두 시점 사이의 시간이다.
상승 시간: 펄스 진폭이 통상 최종값의 10%에서 90%까지 상승하는 데 걸리는 시간이다.
새그(sag): 펄스의 높은 준위가 유지되는 윗부분에서 나타나는 처짐이나 기울기이다.
오버슈트(overshoot): 상승 과정에서 파형이 정상적인 펄스 진폭을 일시적으로 초과하는 현상이다.

선지별 해설

① O — 펄스폭은 상승 에지와 하강 에지에서 각각 진폭의 50%가 되는 지점 사이의 시간으로 측정한다.
② X — 틀린 표현은 '0~100%까지'이다. 실제로 상승 시간은 통상 펄스 진폭이 최종값의 10%에서 90%까지 상승하는 데 걸리는 시간이다.
③ O — 새그는 펄스 파형의 가장 높은 준위가 유지되는 부분에서 생기는 처짐 또는 경사의 기울기를 뜻한다.
④ O — 오버슈트는 상승 에지에서 파형의 피크가 정상적인 펄스 진폭보다 일시적으로 높아지는 부분이다.

오답 포인트

'상승'이라는 말만 보고 상승 시간을 0%에서 100%까지의 시간으로 판단하기 쉽다. 실제 파형은 시작점과 최종값 부근의 경계가 불분명하므로 통상 10%와 90% 지점을 기준으로 측정한다.

NoteBase

다시 나오면 이렇게 판단

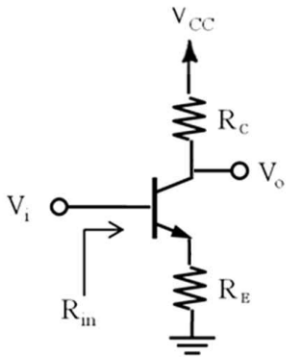
시간 관련 용어는 측정 기준점을 먼저 확인한다. 펄스폭은 50% 지점 사이, 상승 시간은 10%에서 90%까지이며, 파형의 윗부분이 기울면 새그, 정상 진폭을 순간적으로 넘으면 오버슈트로 판단한다.

암기 포인트

폭은 50%와 50% 사이, 상승은 10%에서 90%, 윗부분의 처짐은 새그, 순간 초과는 오버슈트이다.

NoteBase

4. 다음 증폭기의 입력저항 R_{in}으로 가장 적절한 것은? (단, BJT의 특성은 β, r_π, r_e로 표시한다)



① $r_\pi + (1+\beta)R_E$
② $(1+\beta)(r_\pi + R_E)$
③ $r_\pi + R_E$
④ $r_e + (1+\beta)R_E$

정답 1번

출제 포인트

이미터 저항이 있는 BJT 회로에서 이미터 저항이 베이스 입력단에 $1+\beta$배로 반영된다는 원리를 이용해 입력저항 R_{in}을 구하는 문제이다.

조건 정리

주어진 요소: 베이스-이미터 소신호 저항 r_π, 전류이득 β, 이미터 저항 R_E이다.
구해야 할 값: 베이스 단자에서 바라본 입력저항 $R_{in} = v_i/i_b$이다.
주의할 조건: 이미터 전류는 베이스 전류와 같지 않고 $i_e = i_c + i_b = (1+\beta)i_b$이다. 제시된 소신호 모델에서는 컬렉터 측의 R_C가 이 입력저항 식에 포함되지 않는다.

사용할 공식

$v_i = v_{be} + v_e = i_b r_\pi + i_e R_E$
$i_e = (1+\beta)i_b$
따라서
$R_{in} = \frac{v_i}{i_b} = r_\pi + (1+\beta)R_E$
이 공식을 쓰는 이유는 입력전압이 베이스-이미터 소신호 전압과 이미터 저항의 전압강하의 합이며, R_E에는 베이스 전류보다 $1+\beta$배 큰 이미터 전류가 흐르기 때문이다.

NoteBase

계산 과정

1. 베이스-이미터 소신호 전압은 $v_{be} = i_b r_\pi$이다.
2. 이미터 저항의 전압은 $v_e = i_e R_E = (1+\beta) i_b R_E$이다.
3. 두 전압을 더하면 $v_i = i_b[r_\pi + (1+\beta)R_E]$이다.
4. 이를 i_b로 나누면 $R_{in} = r_\pi + (1+\beta)R_E$가 된다.

선지 판단

① O — $r_\pi + (1+\beta)R_E$는 위에서 구한 입력저항과 정확히 일치한다.

② X — $(1+\beta)(r_\pi + R_E)$는 r_π까지 $1+\beta$배 한 식이므로 틀리다. 올바르게는 $r_\pi + (1+\beta)R_E$이다.

③ X — $r_\pi + R_E$는 이미터 저항에 흐르는 전류가 i_b라고 잘못 본 식이다. 올바르게는 R_E가 입력단에 $1+\beta$배로 반영된 $r_\pi + (1+\beta)R_E$이다.

④ X — $r_e + (1+\beta)R_E$는 베이스 입력단의 소신호 저항 자리에 이미터 소신호 저항 r_e를 넣었으므로 틀리다. 올바르게는 베이스-이미터 입력저항 r_π를 사용한 $r_\pi + (1+\beta)R_E$이다.

계산 결과가 $r_\pi + (1+\beta)R_E$이므로 정답은 1번이다.

오답 포인트

핵심 함정은 R_E의 환산 배율과 r_π의 위치이다. $1+\beta$는 이미터 전류와 베이스 전류의 비에서 생기므로 R_E에만 곱해진다. 따라서 ②처럼 전체 괄호에 곱하거나, ③처럼 배율을 생략하거나, ④처럼 베이스 입력단의 r_π를 r_e로 바꾸면 안 된다.

다시 나오면 이렇게 판단

베이스에서 입력저항을 구할 때는 먼저 $v_i = v_{be} + v_e$로 나누고, $v_{be} = i_b r_\pi$, $v_e = (1+\beta) i_b R_E$를 대입한 뒤 i_b로 나누어 판단한다.

암기 포인트

베이스에서 본 이미터 저항은 $(1+\beta)R_E$로 보이므로 $R_{in} = r_\pi + (1+\beta)R_E$이다.

NoteBase

5. 어떤 증폭기의 입력 전력이 4 [mW], 출력 전력이 80 [W]일 때의 전력 이득 [dB]으로 가장 적절한 것은? (단, $\log 2 = 0.3$, $\log 3 = 0.5$이다)

① 15 [dB] ② 23 [dB]

③ 43 [dB] ④ 86 [dB]

정답 3번

출제 포인트

이 문제는 입력 전력과 출력 전력의 비를 데시벨로 환산하여 증폭기의 전력 이득을 구하는 문제이다.

조건 정리

주어진 값: 입력 전력은 $4mW$, 출력 전력은 $80W$이다.

구해야 할 값: 전력 이득 G_P이다.

주의할 조건: 전력비를 계산하기 전에 두 전력의 단위를 같게 맞추며, 전력 이득에는 $10\log_{10}$을 사용한다.

사용할 공식

전력 이득의 데시벨 환산식은 다음과 같다.

$G_P = 10\log_{10}\left(\frac{P_o}{P_i}\right)$

이 공식은 증폭기의 출력 전력 P_o가 입력 전력 P_i의 몇 배인지 로그 척도로 나타내기 위해 사용한다.

계산 과정

1. 출력 전력을 입력 전력과 같은 단위로 바꾸면 $80W = 80{,}000mW$이다.

2. 전력비는 다음과 같다.

$\frac{P_o}{P_i} = \frac{80{,}000}{4} = 20{,}000 = 2 \times 10^4$

3. 주어진 $\log_{10} 2 = 0.3$을 이용하면 다음과 같다.

$G_P = 10\log_{10}(2 \times 10^4) = 10(0.3 + 4) = 43dB$

따라서 전력 이득은 $43dB$이다.

선지 판단

① X — $15dB$는 계산 결과 $43dB$와 일치하지 않는다. 틀린 값 $15dB$ → 올바르게는 $43dB$이다.

② X — $23dB$는 전력비 20,000을 데시벨로 환산한 결과가 아니다. 틀린 값 $23dB$ → 올바르게는 $43dB$이다.

③ O — $10\log_{10}(20{,}000) = 43dB$이므로 계산 결과와 일치한다.

④ X — $86dB$는 전력비에 전압비의 계수인 $20\log_{10}$을 잘못 적용하면 나오는 값이다. 틀린 값 $86dB$ → 올바르게는 전력비에 $10\log_{10}$을 적용한 $43dB$이다.

NoteBase

오답 포인트

입력 전력 $4mW$와 출력 전력 $80W$를 단위 변환 없이 바로 나누면 전력비가 잘못된다. 또한 전력비에는 $10\log_{10}$을 사용해야 하며, 전압비·전류비에 쓰는 $20\log_{10}$을 적용하면 ④의 $86dB$가 나온다.

다시 나오면 이렇게 판단

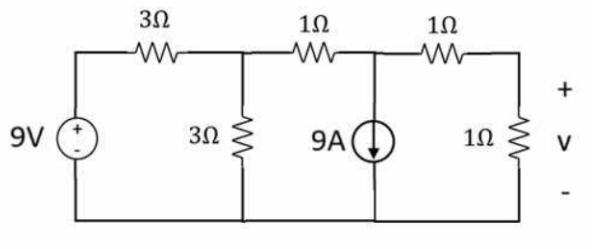
전력 이득 문제는 입력과 출력의 단위를 통일한 뒤 출력 전력을 입력 전력으로 나누고, 그 비에 $10\log_{10}$을 적용하는 순서로 판단한다.

암기 포인트

전력비는 $10\log_{10}$, 전압비·전류비는 같은 임피던스 조건에서 $20\log_{10}$이다.

NoteBase

6. 다음 회로에서 전압 v의 값으로 가장 적절한 것은?



① 4 [V]　② −4 [V]
③ 5 [V]　④ −5 [V]

정답 2번

출제 포인트

이 문제는 키르히호프의 전류 법칙(KCL)을 이용한 마디전압법으로 출력 전압 V를 구하는 문제이다.

조건 정리

아래쪽 공통선을 기준 노드 $0V$로 둔다. 전압원 위쪽 노드는 $9V$이다. 왼쪽부터 미지의 세 마디전압을 V_A, V_B, V_C로 두면 출력 전압의 표시 극성이 위쪽 +, 아래쪽 −이므로 $V = V_C$이다. $9A$ 전류원은 V_B 마디에서 기준 노드 쪽으로 흐른다.

사용할 공식

각 마디에서 나가는 전류의 대수합을 0으로 두는 KCL을 사용한다. 저항 전류는 $I = (V_1 - V_2)/R$로 나타낸다. 이 회로에는 여러 마디와 전류원이 있으므로 마디전압법을 적용하면 전류원의 방향과 출력 전압의 부호를 함께 반영할 수 있다.

NoteBase

계산 과정

1. V_A 마디에 KCL을 적용한다.
$\frac{V_A-9}{3}+\frac{V_A}{3}+(V_A-V_B)=0$
따라서 $5V_A-3V_B=9$이다.

2. V_B 마디에서는 아래 방향 전류원 $9A$가 마디에서 나가는 전류이므로 다음과 같다.
$(V_B-V_A)+(V_B-V_C)+9=0$
따라서 $-V_A+2V_B-V_C=-9$이다.

3. V_C 마디에 KCL을 적용한다.
$(V_C-V_B)+V_C=0$
따라서 $V_B=2V_C$이다.

4. $V_B=2V_C$를 두 앞 식에 대입하면 $V_A=9+3V_C$이고,
$5(9+3V_C)-6V_C=9$
$9V_C=-36$
이므로 $V_C=-4V$이다. 따라서 $V=-4V$이다.

선지 판단

① X — $4V$는 출력의 표시 극성을 무시하고 크기만 취한 값이다. 틀린 값 $4V$ → 올바르게는 $-4V$이다.
② O — 마디방정식의 해가 $V_C=-4V$이고 $V=V_C$이므로 일치한다.
③ X — $5V$를 최종 관계식 $9V_C=-36$에 대입하면 성립하지 않는다. 틀린 값 $5V$ → 올바르게는 $-4V$이다.
④ X — $-5V$를 최종 관계식 $9V_C=-36$에 대입하면 성립하지 않는다. 틀린 값 $-5V$ → 올바르게는 $-4V$이다.

오답 포인트

가장 큰 함정은 전류원의 화살표와 출력 전압의 기준 극성이다. $9A$ 전류원은 V_B 마디에서 아래로 나가므로 KCL 식에 $+9$로 들어가며, 계산된 위쪽 출력 노드 전위가 음수이므로 전압의 크기만 취해 $4V$로 바꾸면 안 된다.

다시 나오면 이렇게 판단

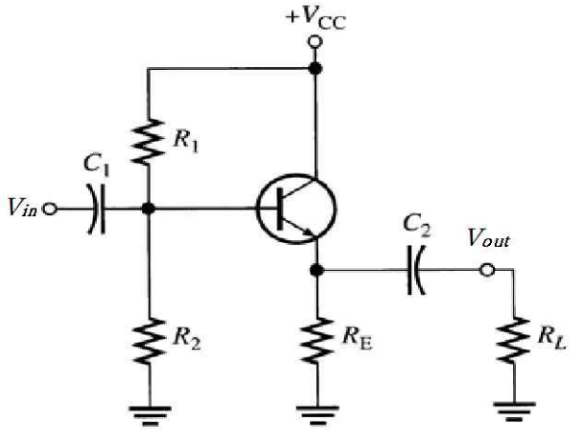
공통선을 기준 노드로 정하고 각 마디전압을 표시한 뒤, 전류원의 화살표 방향을 기준으로 KCL 부호를 정한다. 마지막에는 구한 마디전압이 문제에 표시된 출력 전압의 +, − 기준과 같은 방향인지 확인한다.

암기 포인트

마디전압법의 핵심은 '저항 전류는 전위차를 저항으로 나누고, 전류원은 화살표 방향대로 부호를 정하며, 출력 극성까지 확인한다'이다.

NoteBase

7. 다음 그림의 증폭 회로에 대한 설명으로 가장 적절한 것은?



① 입력과 출력 신호 간에 위상 반전이 일어난다.
② 전류 이득과 전력 이득은 모두 1보다 작다.
③ 입력 저항은 높고 출력 저항은 낮다.
④ 폐루프 전압 이득은 100이상으로 매우 크다.

정답 3번

출제 포인트

그림에서 컬렉터가 전원에 직접 연결되고 출력이 이미터에서 나오는 공통 컬렉터 증폭기, 즉 이미터 팔로어를 식별하고 그 특성을 판단하는 문제이다. 이미터 팔로어는 입력과 출력이 동상이고, 전압 이득은 1보다 약간 작으며, 입력 저항은 높고 출력 저항은 낮다.

선지별 해설

① X — 입력은 베이스에 가해지고 출력은 이미터에서 나오므로 출력 전압이 입력 전압을 따라가며 위상 반전이 일어나지 않는다. 틀린 표현인 '위상 반전이 일어난다'는 '입력과 출력은 동상이다'로 고쳐야 한다.
② X — 이미터 전류가 베이스 전류보다 훨씬 크므로 전류 이득은 1보다 크고, 이에 따라 전력 이득도 1보다 크다. 틀린 표현인 '전류 이득과 전력 이득은 모두 1보다 작다'는 '전류 이득과 전력 이득은 모두 1보다 크다'로 고쳐야 한다. 다만 전압 이득은 1보다 약간 작다.
③ O — 베이스에서 바라본 입력 저항은 높고 이미터에서 바라본 출력 저항은 낮다. 이 때문에 이미터 팔로어는 전압 완충기와 임피던스 정합 회로로 사용된다.
④ X — 이미터 팔로어의 폐루프 전압 이득은 100 이상이 아니라 1보다 약간 작다. 따라서 '100 이상으로 매우 크다'는 '1보다 약간 작다'로 고쳐야 한다.

NoteBase

오답 포인트

②에서 전압 이득이 1보다 작다는 사실을 전류 이득과 전력 이득에도 그대로 적용하기 쉽다. 이미터 팔로어는 전압을 크게 증폭하지는 않지만 전류 이득과 전력 이득은 1보다 크다. 또한 ①의 공통 이미터 증폭기와 혼동하면 위상 반전이 있다고 잘못 판단하게 된다.

다시 나오면 이렇게 판단

출력 단자를 먼저 확인한다. 출력이 이미터이면 공통 컬렉터 회로로 판단하고, 동상·전압 이득 1 미만·높은 입력 저항·낮은 출력 저항의 조합을 적용한다.

암기 포인트

이미터 팔로어는 전압은 따라가고, 전류는 키우며, 입력은 높고 출력은 낮다.

NoteBase

8. 일반적인 NPN 타입의 바이폴라 접합 트랜지스터(BJT: bipolar junction transistor)를 전압 증폭기로 사용하려 한다. 에미터 베이스 접합부(EBJ)와 컬랙터 베이스(CBJ) 접합부의 바이어스 인가 방법으로 가장 적절한 것은?
① 순방향, 역방향
② 역방향, 순방향
③ 역방향, 역방향
④ 순방향, 순방향

정답 1번

출제 포인트

일반적인 NPN BJT를 전압 증폭기로 사용할 때의 활성영역 바이어스 조건, 즉 EBJ와 CBJ의 바이어스 방향을 구분하는 문제이다.

핵심 개념

활성영역은 BJT가 입력 신호의 변화에 따라 컬렉터 전류를 제어하여 증폭 동작을 하는 영역이다.
EBJ(에미터-베이스 접합): 순방향 바이어스를 걸어 에미터의 전자가 베이스로 주입되게 한다.
CBJ(컬렉터-베이스 접합): 역방향 바이어스를 걸어 공핍층 전계가 베이스를 통과한 전자를 컬렉터로 끌어가게 한다.
따라서 증폭 동작의 접합 조건은 'EBJ 순방향, CBJ 역방향'이다.

선지별 해설

① O — EBJ가 순방향이고 CBJ가 역방향이므로 NPN BJT의 활성영역 조건과 일치한다.
② X — 틀린 부분은 'EBJ 역방향, CBJ 순방향'이다. 이는 두 접합의 방향을 모두 반대로 쓴 것이며, 올바르게는 'EBJ 순방향, CBJ 역방향'이다.
③ X — 틀린 부분은 'EBJ 역방향'이다. 두 접합을 모두 역방향으로 두면 차단영역에 해당하여 정상적인 증폭 동작을 하지 않으며, 올바르게는 'EBJ 순방향, CBJ 역방향'이다.
④ X — 틀린 부분은 'CBJ 순방향'이다. 두 접합을 모두 순방향으로 두면 포화영역에 해당하여 정상적인 선형 증폭 조건이 아니며, 올바르게는 'EBJ 순방향, CBJ 역방향'이다.

오답 포인트

문제에 제시된 순서는 EBJ, CBJ이다. 두 접합을 하나의 PN 접합처럼 같은 방향으로 생각하거나, ②처럼 두 방향의 순서를 뒤집으면 오답이 된다.

NoteBase

다시 나오면 이렇게 판단

BJT의 일반적인 증폭 동작이 나오면 먼저 활성영역을 떠올린다. 그다음 에미터에서 베이스로 반송자를 주입하는 EBJ는 순방향, 주입된 반송자를 컬렉터로 수집하는 CBJ는 역방향으로 판단한다.

암기 포인트

NPN BJT 증폭의 활성영역은 ‘EB 순, CB 역’이다.

NoteBase

9. 어떤 RC 결합 증폭기 중간 영역에서 20 [V]의 출력전압의 실효값을 갖는다. 입력전압이 일정한 실효값을 가질 때 −3 [dB]만큼의 이득감소에 대한 출력전압의 실효값 [V]으로 가장 가까운 값은?
① 2.5 [V]
② 7.07 [V]
③ 14.14 [V]
④ 28.28 [V]

정답 3번

출제 포인트

이 문제는 전압 이득의 데시벨 감소량을 전압비로 변환하여 출력전압의 실효값을 구하는 문제이다.

조건 정리

주어진 값: 중간 영역의 출력전압은 $20V$이다.
구해야 할 값: 입력전압의 실효값이 일정할 때 이득이 $-3dB$ 감소한 지점의 출력전압 실효값이다.
주의할 조건: 전압의 데시벨 관계에는 $20\log_{10}$을 사용하며, 감소이므로 데시벨 값의 부호는 음수이다.

사용할 공식

전압 이득의 변화량은 다음과 같다.
$\Delta G_{dB} = 20\log_{10}\left(\frac{V_{o2}}{V_{o1}}\right)$
따라서
$\frac{V_{o2}}{V_{o1}} = 10^{\Delta G_{dB}/20}$
입력전압이 일정하므로 전압 이득의 비는 출력전압의 비와 같아 이 공식을 사용한다.

계산 과정

$-3dB$ 감소를 대입하면
$\frac{V_{o2}}{20} = 10^{-3/20} \approx 0.707$
이므로
$V_{o2} = 20 \times 0.707 \approx 14.14V$
이다.

NoteBase

선지 판단

① X — $2.5V$는 $-3dB$의 전압비 0.707을 적용한 값이 아니다. 올바르게는 $20V$에 0.707을 곱한 약 $14.14V$이다.
② X — $7.07V$는 기준 출력의 약 0.354배로, $-3dB$ 감소에 해당하는 0.707배가 아니다. 올바른 출력전압은 약 $14.14V$이다.
③ O — $20 \times 10^{-3/20} \approx 20 \times 0.707 = 14.14$이므로 계산 결과와 일치한다.
④ X — $28.28V$는 $20V$에 1.414를 곱한 값으로, 이득 감소가 아니라 약 $+3dB$ 증가에 해당한다. 감소 조건에서는 약 $14.14V$가 된다.

오답 포인트

핵심 함정은 $-3dB$를 전압이 $3V$ 감소한다는 뜻으로 해석하거나, 감소 부호를 놓쳐 1.414배로 계산하는 것이다. 전압비에서 $-3dB$는 약 0.707배이다.

다시 나오면 이렇게 판단

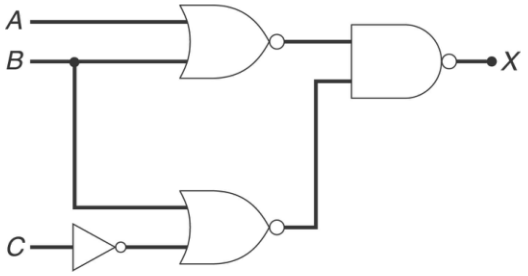
입력이 일정한 전압 이득 문제에서는 먼저 데시벨 변화량을 $10^{\Delta G_{dB}/20}$으로 전압비로 바꾼 뒤 기준 출력전압에 곱한다. 감소이면 계산 결과가 기준값보다 작아야 한다.

암기 포인트

전압 기준 $-3dB$는 약 $1/\sqrt{2} = 0.707$배이고, $+3dB$는 약 $\sqrt{2} = 1.414$배이다.

NoteBase

10. 다음 논리 회로의 출력 X를 간소화한 것으로 가장 적절한 것은?



① $X = \overline{A} \cdot B \cdot \overline{C}$
② $X = \overline{A} + \overline{B} + C$
③ $X = A + B + \overline{C}$
④ $X = \overline{A} + B + \overline{C}$

정답 3번

출제 포인트

이 문제는 NOR·NAND 게이트의 출력을 식으로 옮기고 드모르간 법칙으로 간소화하는 문제이다. 출력 단자의 작은 원은 해당 게이트 출력 전체를 부정한다.

조건 정리

위쪽 게이트는 입력 A, B를 받는 NOR 게이트이다. 아래쪽에서는 C가 먼저 반전되어 $\overline{C}$가 되고, 이것과 B가 NOR 게이트에 입력된다. 마지막 게이트는 두 NOR 출력을 입력으로 받는 NAND 게이트이다.

사용할 공식

드모르간 법칙은 다음과 같다.

$\overline{P \cdot Q} = \overline{P} + \overline{Q}, \qquad \overline{P + Q} = \overline{P} \cdot \overline{Q}$

또한 이중 부정은 $\overline{\overline{P}} = P$이다. 각 게이트의 출력 반전을 차례로 제거해야 하므로 이 공식을 사용한다.

계산 과정

위쪽 NOR 출력을 P, 아래쪽 NOR 출력을 Q라 하면

$P = \overline{A + B}, \qquad Q = \overline{B + \overline{C}}$

이다. 마지막 NAND의 출력은

$X = \overline{P \cdot Q} = \overline{P} + \overline{Q}$

이므로

$X = \overline{\overline{A + B}} + \overline{\overline{B + \overline{C}}} = (A + B) + (B + \overline{C}) = A + B + \overline{C}$

가 된다. 중복된 B는 $B + B = B$에 따라 하나로 합쳐진다.

NoteBase

선지 판단

① X — $X = \overline{A} \cdot B \cdot \overline{C}$는 마지막 NAND에 드모르간 법칙을 적용할 때 곱을 합으로 바꾸지 않은 식이다. 올바르게는 $X = A + B + \overline{C}$이다.
② X — $X = \overline{A} + \overline{B} + C$는 NOR 출력에 이미 있는 부정을 마지막 NAND의 부정과 상쇄하지 못한 식이다. 이중 부정으로 $A + B$와 $B + \overline{C}$가 복원되므로, 올바르게는 $X = A + B + \overline{C}$이다.
③ O — 게이트별 식을 마지막 NAND에 대입해 간소화하면 정확히 $X = A + B + \overline{C}$가 된다.
④ X — $X = \overline{A} + B + \overline{C}$에서 $\overline{A}$가 잘못되었다. 위쪽 NOR의 부정과 마지막 NAND에서 생기는 부정이 이중 부정으로 상쇄되므로 A가 남으며, 올바르게는 $X = A + B + \overline{C}$이다.

오답 포인트

출력의 작은 원을 입력 하나에만 붙이거나, 마지막 NAND의 부정을 각 NOR 출력에 적용하면서 연산자 ·를 +로 바꾸지 않는 것이 핵심 함정이다. 특히 ④는 위쪽 NOR의 부정이 다시 부정되어 A가 된다는 점을 놓치게 만든다.

다시 나오면 이렇게 판단

각 게이트 출력을 중간변수로 먼저 적고, 마지막 게이트부터 드모르간 법칙을 적용한 뒤 이중 부정과 중복 항을 정리한다. 출력의 작은 원은 괄호로 묶은 게이트 출력 전체에 적용한다.

암기 포인트

NAND의 부정을 풀면 곱은 합으로, NOR의 부정을 풀면 합은 곱으로 바뀐다. 연속된 두 번의 부정은 원래 식으로 돌아간다.

NoteBase

11. 수정 발진기에서 안정된 발진을 유지할 수 있는 발진 주파수 f_o의 범위에 대한 설명으로 가장 적절한 것은? (단, f_s = 직렬 공진 주파수, f_p = 병렬 공진 주파수이다)

① $f_p = f_o = f_s$

② $f_s < f_o < f_p$

③ $f_p < f_o < f_s$

④ $f_p < f_o < 2f_s$

정답 2번

출제 포인트

수정 발진기에서 직렬 공진 주파수 f_s, 병렬 공진 주파수 f_p, 실제 발진 주파수 f_o의 대소 관계를 묻는 문제이다.

핵심 개념

직렬 공진 주파수 f_s: 수정의 등가 직렬 공진이 일어나는 주파수로, 임피던스가 매우 작아지는 지점이다.
병렬 공진 주파수 f_p: 수정의 등가 회로에서 병렬 공진이 일어나는 주파수로, f_s보다 조금 높고 임피던스가 매우 커지는 지점이다.
수정은 f_s와 f_p 사이에서 유도성 리액턴스를 나타내므로 안정된 발진 주파수는 $f_s < f_o < f_p$의 관계를 만족한다.

선지별 해설

① X — $f_p = f_o = f_s$가 틀린 표현이다. 직렬 공진과 병렬 공진은 서로 다른 주파수이며, 올바른 관계는 $f_s < f_o < f_p$이다.
② O — 발진 주파수 f_o는 직렬 공진 주파수 f_s보다 높고 병렬 공진 주파수 f_p보다 낮은 범위에 있으므로 옳다.
③ X — $f_p < f_o < f_s$는 직렬 공진과 병렬 공진의 순서를 반대로 쓴 표현이다. 올바르게는 $f_s < f_o < f_p$이다.
④ X — $f_p < f_o$가 틀린 표현이다. 발진 주파수는 병렬 공진 주파수보다 낮아야 하므로 올바르게는 $f_s < f_o < f_p$이다. 따라서 상한을 $2f_s$로 두는 것도 이 발진 범위를 나타내지 못한다.

오답 포인트

직렬 공진과 병렬 공진의 명칭만 보고 두 주파수의 순서를 뒤집거나, 발진 주파수가 공진점 자체와 같다고 판단하기 쉽다. 핵심은 f_s가 아래 경계, f_p가 위 경계이고 f_o가 그 사이에 있다는 점이다.

다시 나오면 이렇게 판단

먼저 수정의 공진 주파수 순서를 $f_s < f_p$로 놓고, 안정된 발진 주파수 f_o를 두 공진점 사이에 배치하면 $f_s < f_o < f_p$가 된다.

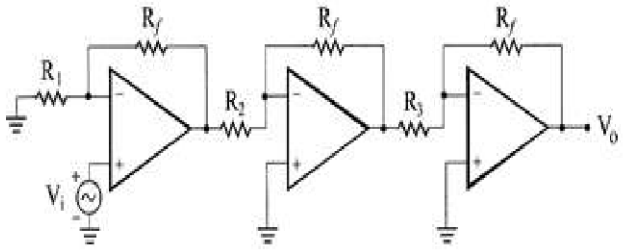
NoteBase

암기 포인트

직렬 공진 f_s는 아래, 병렬 공진 f_p는 위, 발진 주파수 f_o는 그 사이이다.

NoteBase

12. 아래의 연산증폭기를 활용한 다단 증폭기에서 $R_f = 500\,[k\Omega]$, $R_1 = 5.0\,[k\Omega]$, $R_2 = R_3 = 50\,[k\Omega]$이다. 입력전압의 실효값이 $V_i = 300\,[\mu V]$일 때 출력전압의 실효값(V_o)으로 가장 적절한 것은? (단, 연산증폭기는 이상적이다)



① 2.02 [V]　② 3.03 [V]
③ 4.04 [V]　④ 5.05 [V]

정답 2번

출제 포인트

이 문제는 비반전 증폭기와 반전 증폭기의 전압 이득을 각각 구한 뒤, 각 단의 이득을 곱하여 다단 증폭기의 출력 전압 실효값을 계산하는 문제이다.

조건 정리

주어진 값: $R_f = 500k\Omega, R_1 = 5.0k\Omega, R_2 = R_3 = 50k\Omega, V_i = 300\mu V$이다.
구해야 할 값: 출력 전압의 실효값 V_o이다.
주의할 조건: 첫째 단은 비반전 증폭기이고, 둘째 단과 셋째 단은 반전 증폭기이다. 이상적인 연산증폭기이므로 각 단이 다음 단에 의해 부하 효과를 받지 않는 것으로 보고 각 단의 전압 이득을 곱한다.

사용할 공식

비반전 증폭기의 전압 이득은
$A_{v1} = 1 + \frac{R_f}{R_1}$
이고, 반전 증폭기의 전압 이득은
$A_v = -\frac{R_f}{R_{in}}$
이다. 따라서 전체 전압 이득은
$A_{vT} = A_{v1}A_{v2}A_{v3}$
이다. 각 증폭단이 직렬로 연결되어 있으므로 앞 단의 출력이 다음 단의 입력이 되어 전체 이득은 각 단 이득의 곱으로 구한다.

NoteBase

계산 과정

1. 첫째 단의 비반전 이득은
$A_{v1} = 1 + \frac{500k\Omega}{5.0k\Omega} = 101$
이다.
2. 둘째 단과 셋째 단의 반전 이득은 각각
$A_{v2} = A_{v3} = -\frac{500k\Omega}{50k\Omega} = -10$
이다.
3. 전체 전압 이득은
$A_{vT} = 101 \times (-10) \times (-10) = 10100$
이다. 두 번 반전되므로 전체 출력의 위상은 입력과 같다.
4. 입력 전압을 변환하면 $300\mu V = 300 \times 10^{-6} V$이므로 출력 전압의 실효값은
$V_o = 10100 \times 300 \times 10^{-6} V = 3.03V$
이다.

선지 판단

① X — $2.02V$는 전체 이득 10100을 입력 실효값에 곱한 결과와 일치하지 않는다. 올바른 출력 전압의 실효값은 $3.03V$이다.
② O — 전체 전압 이득 10100에 $300\mu V$를 곱하면 $3.03V$가 된다.
③ X — $4.04V$는 세 증폭단의 정확한 이득을 모두 곱한 결과가 아니다. 올바르게 계산하면 $V_o = 3.03V$이다.
④ X — $5.05V$는 비반전 이득 101과 두 반전 이득 -10, -10을 적용한 결과가 아니다. 올바른 출력 전압의 실효값은 $3.03V$이다.

오답 포인트

첫째 단을 반전 증폭기로 보고 이득을 $-R_f/R_1$로 계산하면 안 된다. 첫째 단은 입력이 비반전 단자에 들어가므로 이득에 1을 더한 $1 + R_f/R_1 = 101$을 사용한다. 또한 둘째 단과 셋째 단에서 부호가 두 번 바뀌므로 전체 이득은 양수이며, μV를 V로 바꿀 때 10^{-6}을 적용한다.

다시 나오면 이렇게 판단

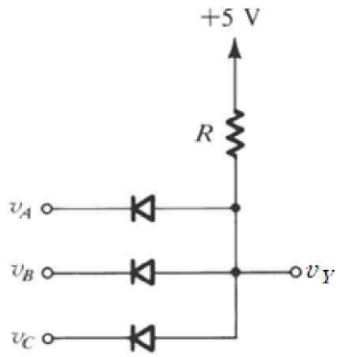
각 단의 입력이 비반전 단자인지 반전 단자인지 먼저 확인하고, 각 단의 이득을 따로 계산한 뒤 모두 곱한다. 마지막에는 입력 전압의 단위를 V로 환산하고, 반전된 횟수로 전체 부호를 검산한다.

암기 포인트

비반전 이득은 $1 + R_f/R_{in}$, 반전 이득은 $-R_f/R_{in}$, 다단 증폭기의 전체 이득은 각 단 이득의 곱이다.

NoteBase

13. 다음 회로의 논리식으로 가장 적절한 것은?



① $Y = A \cdot B \cdot C$
② $Y = A + B + C$
③ $Y = \overline{A \cdot B \cdot C}$
④ $Y = \overline{A + B + C}$

정답 1번

출제 포인트

출력 노드는 저항 R로 $+5V$에 풀업되어 있고, 각 다이오드의 애노드는 출력 쪽, 캐소드는 입력 쪽에 연결되어 있다. 이 극성에서 입력 중 하나라도 0이면 해당 다이오드가 도통하여 출력을 0으로 제한하고, 세 입력이 모두 1일 때만 출력이 1이 되므로 다이오드 AND 회로이다.

선지별 해설

① O — 세 입력 A, B, C가 모두 1일 때만 모든 다이오드가 차단되고 저항 R이 출력 Y를 1로 끌어올린다. 따라서 $Y = A \cdot B \cdot C$이다.
② X — $Y = A + B + C$는 하나 이상의 입력이 1이면 출력이 1인 OR 논리식이므로 이 회로의 동작과 다르다. 틀린 식 $Y = A + B + C$는 $Y = A \cdot B \cdot C$로 고쳐야 한다.
③ X — $Y = \overline{A \cdot B \cdot C}$는 세 입력이 모두 1일 때 출력이 0인 NAND 논리식이지만, 이 회로에는 출력을 반전하는 소자가 없다. 틀린 반전항은 제거하여 $Y = A \cdot B \cdot C$로 고쳐야 한다.
④ X — $Y = \overline{A + B + C}$는 하나 이상의 입력이 1이면 출력이 0인 NOR 논리식이며, 이 회로는 OR 동작도 반전 동작도 하지 않는다. 틀린 합과 반전을 곱의 비반전 형태로 바꾸어 $Y = A \cdot B \cdot C$로 고쳐야 한다.

오답 포인트

저항이 출력을 위로 끌어올린다는 사실만 보고 OR로 판단하거나, 다이오드가 있다는 이유로 반전 논리를 붙이면 틀린다. 핵심은 다이오드의 막대가 표시된 캐소드가 입력 쪽을 향한다는 점이다. 이 방향에서는 낮은 입력 하나가 출력 노드를 낮게 제한하므로 모든 입력이 높아야만 출력이 높다.

NoteBase

다시 나오면 이렇게 판단

먼저 풀업 저항과 다이오드의 애노드·캐소드 방향을 확인한다. 그다음 입력 하나를 0으로 가정했을 때 출력에서 그 입력 쪽으로 전류가 흘러 출력이 낮아지는지를 본다. 낮은 입력 하나가 출력을 0으로 만들면 AND, 높은 입력 하나가 출력을 1로 만들면 OR로 판단하며, 별도의 반전단이 없으면 논리식에 부정을 붙이지 않는다.

암기 포인트

풀업된 출력에서 다이오드의 캐소드가 입력 쪽이면 ‘하나라도 0이면 출력 0’인 AND이다.

NoteBase

14. 다음 설명 중 괄호 안에 들어갈 내용으로 가장 적절한 것은?

> CMOS 스위치는 상보형 MOS(Complementary MOS)를 의미한다. 이 CMOS 스위치는 직류 전원(DC전원) V_{DD}쪽에 (Ⓐ)채널 MOSFET, 접지(Ground)쪽에 (Ⓑ)채널 MOSFET가 연결된 구조이다. 이 CMOS 스위치는 디지털 회로에서 (Ⓒ) 기능으로 사용한다.

① Ⓐ n, Ⓑ p, Ⓒ 인버터(inverter)
② Ⓐ p, Ⓑ p, Ⓒ 버퍼(buffer)
③ Ⓐ n, Ⓑ n, Ⓒ 버퍼(buffer)
④ Ⓐ p, Ⓑ n, Ⓒ 인버터(inverter)

정답 4번

출제 포인트

CMOS 인버터에서 전원 측과 접지 측에 연결되는 MOSFET의 채널 종류와 회로 기능을 묻는 문제이다.

핵심 개념

CMOS는 p채널 MOSFET과 n채널 MOSFET을 상보적으로 결합한 회로 방식이다.
전원 V_{DD} 측에는 출력의 풀업을 담당하는 p채널 MOSFET이, 접지 측에는 출력의 풀다운을 담당하는 n채널 MOSFET이 연결된다.
입력이 낮으면 PMOS가 켜지고 NMOS가 꺼져 출력이 높아지며, 입력이 높으면 PMOS가 꺼지고 NMOS가 켜져 출력이 낮아진다. 따라서 기본 CMOS 스위치는 인버터로 동작한다.

NoteBase

선지별 해설

① X
㉠ n, ㉡ p라는 채널 배치가 반대로 되어 있다. 올바르게는 전원 V_{DD} 측의 ㉠이 p채널이고 접지 측의 ㉡이 n채널이다. ㉢ 인버터는 맞다.

② X
㉡ p채널과 ㉢ 버퍼가 틀렸다. 올바르게는 접지 측의 ㉡이 n채널이고, 상보 동작으로 입력과 반대 논리값을 출력하므로 ㉢은 인버터이다.

③ X
㉠ n채널과 ㉢ 버퍼가 틀렸다. 올바르게는 전원 V_{DD} 측의 ㉠이 p채널이고, 회로의 기능인 ㉢은 인버터이다. 접지 측의 ㉡ n채널은 맞다.

④ O
전원 V_{DD} 측에는 p채널 MOSFET, 접지 측에는 n채널 MOSFET이 연결되고 두 소자의 상보 동작으로 출력이 입력의 반대가 되므로 인버터 기능을 한다.

오답 포인트

전원 측과 접지 측의 채널을 뒤바꾸거나, 두 MOSFET이 상보적으로 켜지고 꺼진다는 말을 입력과 같은 값이 나오는 버퍼로 오해하기 쉽다. 이 문항에서는 ①의 인버터만 맞고 채널 배치가 반대이며, ②와 ③의 버퍼 표현도 틀렸다는 점이 함정이다.

다시 나오면 이렇게 판단

먼저 전원 측은 PMOS, 접지 측은 NMOS로 배치되는지 확인한다. 이어서 입력이 낮을 때 출력이 높고 입력이 높을 때 출력이 낮아지는지를 확인하면 인버터임을 판단할 수 있다.

암기 포인트

위쪽 V_{DD}는 PMOS, 아래쪽 Ground는 NMOS, 기본 기능은 인버터이다.

NoteBase

15. BJT 트랜지스터의 에미터 컬렉터 전류 증폭률 α가 0.99일 때, 베이스 컬렉터 전류 증폭률 β의 값으로 가장 적절한 것은?

① 99 ② 100

③ 199 ④ 200

정답 1번

출제 포인트

BJT의 에미터 전류 증폭률 α와 베이스 전류 증폭률 β의 관계를 이용해 β를 구하는 문제이다.

조건 정리

주어진 값: $\alpha = 0.99$

구해야 할 값: β

주의할 조건: α는 에미터 전류에 대한 컬렉터 전류의 비이고, β는 베이스 전류에 대한 컬렉터 전류의 비이다.

사용할 공식

$\alpha = \frac{\beta}{\beta + 1}$

이를 β에 관해 정리하면 다음과 같다.

$\beta = \frac{\alpha}{1 - \alpha}$

이 공식을 쓰는 이유는 BJT에서 $I_E = I_C + I_B$, $\alpha = I_C/I_E$, $\beta = I_C/I_B$이므로 두 전류 증폭률이 위 관계를 만족하기 때문이다.

계산 과정

1. $1 - \alpha = 1 - 0.99 = 0.01$이다.
2. 공식에 대입하면 다음과 같다.

$\beta = \frac{0.99}{0.01} = 99$

3. 따라서 베이스 전류 증폭률은 99이다.

선지 판단

① O — 계산 결과 $\beta = 99$이므로 옳다.

② X — 100은 α를 분자에 곱하지 않고 $1/(1 - \alpha)$만 계산한 값이다. 100이 아니라 99가 올바른 값이다.

③ X — 199는 $\beta = \alpha/(1 - \alpha)$에 대입한 결과가 아니다. 199가 아니라 99가 올바른 값이다.

④ X — 200은 주어진 $\alpha = 0.99$와 증폭률 관계를 만족하지 않는다. 200이 아니라 99가 올바른 값이다.

계산 결과 99이므로 정답은 1번이다.

NoteBase

오답 포인트

②의 100은 분모 $1-\alpha=0.01$의 역수만 구할 때 나오는 값이다. 공식의 분자는 1이 아니라 $\alpha=0.99$라는 점이 핵심 함정이다.

다시 나오면 이렇게 판단

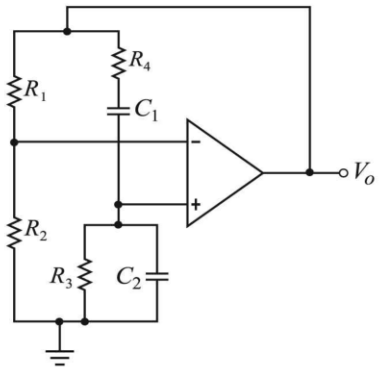
α가 주어지고 β를 묻는 문제에서는 먼저 $\beta=\alpha/(1-\alpha)$를 선택하고, $1-\alpha$를 계산한 뒤 대입한다.

암기 포인트

알파에서 베타로 바꿀 때는 $\beta=\alpha/(1-\alpha)$이다.

NoteBase

16. 그림의 발진기에서 발진 주파수 f_o[Hz]를 구하는 식으로 가장 적절한 것은?



① $\dfrac{1}{2\pi R_1 R_2 C_1 C_2}$

② $\dfrac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$

③ $\dfrac{1}{2\pi\sqrt{R_3 R_4 C_1 C_2}}$

④ $\dfrac{1}{2\pi R_3 R_4 C_1 C_2}$

정답 3번

출제 포인트

이 문제는 빈 브리지 발진기에서 양의 피드백 RC망의 위상 조건을 이용해 발진 주파수 f_o를 구하는 문제이다.

조건 정리

출력에서 비반전 입력 (+)으로 이어지는 주파수 선택망은 직렬 $R_4 - C_1$ 가지와 접지로 연결된 병렬 $R_3 \parallel C_2$ 가지로 구성된다. 반전 입력 (−) 쪽의 R_1, R_2는 음의 피드백 이득을 정하는 저항이며 발진 주파수식에는 들어가지 않는다. 구해야 할 값은 발진 위상 조건을 만족하는 f_o[Hz]이다.

사용할 공식

직렬 가지와 병렬 가지의 임피던스를 각각 $Z_s = R_4 + 1/(sC_1), Z_p = R_3/(1 + sR_3C_2)$라 하면 양의 피드백 전달함수는 다음과 같다.

$\beta(s) = \dfrac{Z_p}{Z_s + Z_p} = \dfrac{sR_3C_1}{1 + s(R_3C_2 + R_4C_1 + R_3C_1) + s^2R_3R_4C_1C_2}$

발진하려면 루프의 위상차가 0이어야 하므로 $s = j\omega$를 대입했을 때 $1 - \omega^2 R_3R_4C_1C_2 = 0$이 되어야 한다.

따라서 $\omega_o = 1/\sqrt{R_3R_4C_1C_2}$이다.

NoteBase

계산 과정

위상 조건에서 다음 관계를 얻는다.
$\omega_o^2 R_3 R_4 C_1 C_2 = 1$
따라서 각주파수와 주파수의 관계 $f_o = \omega_o/(2\pi)$를 적용하면
$f_o = \frac{1}{2\pi\sqrt{R_3 R_4 C_1 C_2}}$
가 된다. 이 식은 $R_3 R_4 C_1 C_2$의 제곱근이 시간 차원을 가지므로 전체 단위가 Hz가 된다는 점에서도 확인된다.

선지 판단

① X — R_1, R_2는 음의 피드백 이득을 정하므로 주파수 결정 저항이 아니다. 또한 제곱근이 없어 식의 차원도 Hz가 아니다. 올바르게는 $1/(2\pi\sqrt{R_3 R_4 C_1 C_2})$이다.
② X — 제곱근의 형태는 맞지만 R_1, R_2를 사용한 부분이 틀렸다. 주파수 선택망의 저항인 R_3, R_4를 사용하여 $1/(2\pi\sqrt{R_3 R_4 C_1 C_2})$로 고쳐야 한다.
③ O — 양의 피드백 RC망의 위상 조건에서 얻은 $f_o = 1/(2\pi\sqrt{R_3 R_4 C_1 C_2})$와 일치한다.
④ X — 주파수 결정 소자 R_3, R_4, C_1, C_2는 맞게 선택했지만 곱 전체에 제곱근이 빠졌다. 올바르게는 $1/(2\pi\sqrt{R_3 R_4 C_1 C_2})$이다.

오답 포인트

핵심 함정은 이득 설정망과 주파수 선택망을 혼동하는 것이다. R_1, R_2는 반전 입력의 음의 피드백 이득을 정하고, R_3, R_4, C_1, C_2는 비반전 입력의 양의 피드백망에서 발진 주파수를 정한다. 또 ①과 ④처럼 제곱근을 누락하면 저항 두 개와 커패시터 두 개의 곱이 그대로 남아 주파수 차원이 성립하지 않는다.

다시 나오면 이렇게 판단

발진기에서는 먼저 출력에서 비반전 입력으로 돌아가는 주파수 선택망을 찾고, 그 망의 위상 조건으로 ω_o를 구한 뒤 $f_o = \omega_o/(2\pi)$로 변환한다. 마지막으로 제곱근을 포함한 식의 단위가 Hz인지 검산한다.

암기 포인트

빈 브리지의 일반 발진 주파수는 f_o=1/(2πR_병렬R_직렬C_직렬C_병렬)이며, 이 회로에서는 R_3, R_4, C_1, C_2가 해당한다.

NoteBase

17. 이상적인 연산 증폭기의 특성이 아닌 것은?
① 전압 이득은 무한대이다.
② 입력 저항은 무한대이다.
③ 출력 저항은 0이다.
④ 동상 잡음 제거율(CMRR)은 0이다.

정답 4번

출제 포인트

이 문제는 이상적인 연산증폭기의 전압 이득, 입력·출력 저항, 동상 신호 제거 능력의 기준값을 묻는 문제이다.

핵심 개념

이상적인 연산증폭기는 두 입력 전압의 차이만을 무한히 크게 증폭하고, 두 입력에 공통으로 들어오는 동상 신호는 전혀 증폭하지 않는 가상적 소자이다.
핵심 특성은 개방 루프 전압 이득 A_d가 무한대, 입력 저항 R_i가 무한대, 출력 저항 R_o가 0, 동상 이득 A_{cm}이 0이라는 것이다. 따라서 CMRR = A_d/A_{cm}는 무한대이다.

선지별 해설

① O — 이상적인 연산증폭기의 개방 루프 전압 이득은 무한대이므로 옳다.
② O — 입력 저항이 무한대이므로 입력 단자로 전류가 흐르지 않는다고 본다.
③ O — 출력 저항이 0이므로 이상적으로 부하에 의한 출력 전압 강하가 없다고 본다.
④ X — 틀린 표현은 '동상 잡음 제거율(CMRR)은 0이다'이다. 이상적인 연산증폭기는 동상 이득이 0이어서 동상 성분을 완전히 제거하므로, 올바르게는 '동상 잡음 제거율(CMRR)은 무한대이다'이다.

오답 포인트

④에서 0이 되는 것은 CMRR가 아니라 동상 이득 A_{cm}이다. 동상 신호의 출력이 0이라는 사실과 동상 신호 제거 능력을 나타내는 CMRR의 값을 혼동하기 쉽다.

다시 나오면 이렇게 판단

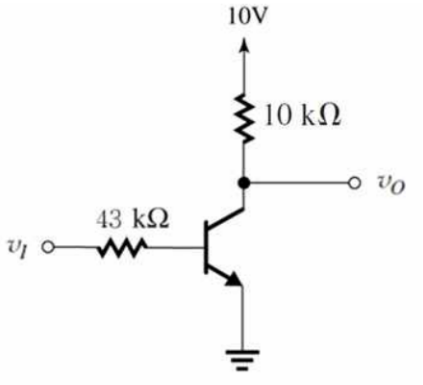
이상적 연산증폭기 문항에서는 '이득·입력 저항·CMRR은 무한대, 출력 저항·입력 전류·동상 이득은 0'으로 항목을 나누어 판단한다. 특히 CMRR와 동상 이득을 서로 반대되는 값으로 구분한다.

암기 포인트

이상적 연산증폭기는 A_d, R_i, CMRR → ∞, R_o, A_{cm} → 0이다.

NoteBase

18. 아래 회로에서 $v_I = 5\,[\mathrm{V}]$일 때, v_O의 값으로 가장 적절한 것은? (단, $\mathrm{V_{BE}} = 0.7\,[\mathrm{V}]$, $\beta = 50$, BJT가 포화모드일 경우, $\mathrm{V_{CE}} = 0.2\,[\mathrm{V}]$로 가정한다)



① 0 [V]
② 0.2 [V]
③ 0.7 [V]
④ 1.4 [V]

정답 2번

출제 포인트

이 문제는 베이스 전류로 예상한 컬렉터 전류와 컬렉터 회로가 공급할 수 있는 최대 전류를 비교하여 BJT의 포화 여부와 출력전압 v_O를 구하는 문제이다.

조건 정리

주어진 값: $v_I = 5V$, $V_{BE} = 0.7V$, $\beta = 50$, $R_B = 43k\Omega$, $V_{CC} = 10V$, $R_C = 10k\Omega$, $V_{CE(sat)} = 0.2V$이다.
구해야 할 값: 컬렉터 노드의 출력전압 v_O이다.
주의할 조건: 먼저 활성영역 전류를 계산한 뒤, 컬렉터 회로가 그 전류를 실제로 공급할 수 있는지 확인해야 한다.

사용할 공식

베이스 전류와 활성영역에서의 컬렉터 전류는
$I_B = \frac{v_I - V_{BE}}{R_B}, \qquad I_C = \beta I_B$
이다. 포화 상태에서 컬렉터 회로가 공급하는 전류는
$I_{C(sat)} = \frac{V_{CC} - V_{CE(sat)}}{R_C}$
이다. $\beta I_B > I_{C(sat)}$이면 활성영역 가정으로 요구되는 전류를 컬렉터 회로가 공급할 수 없으므로 BJT는 포화된다.

NoteBase

계산 과정

1. 베이스 전류는
$I_B = \frac{5 - 0.7}{43k\Omega} = 0.1mA$
이다.
2. 활성영역을 가정한 컬렉터 전류는
$I_C = \beta I_B = 50 \times 0.1mA = 5mA$
이다.
3. 포화 상태에서 컬렉터 회로가 공급할 수 있는 전류는
$I_{C(sat)} = \frac{10 - 0.2}{10k\Omega} = 0.98mA$
이다.
4. $5mA > 0.98mA$이므로 BJT는 포화된다. 이미터가 접지되어 있으므로 출력전압은
$v_O = V_{CE(sat)} = 0.2V$
이다.

선지 판단

① X — $0V$는 포화된 BJT의 컬렉터-이미터 전압을 이상적으로 0으로 본 값이다. 문제에서 $V_{CE(sat)} = 0.2V$로 가정했으므로 올바른 값은 $0.2V$이다.
② O — BJT가 포화되고 이미터가 접지되어 있으므로 $v_O = V_{CE(sat)} = 0.2V$이다.
③ X — $0.7V$는 주어진 베이스-이미터 전압 V_{BE}이며 컬렉터 출력전압이 아니다. 올바른 출력전압은 $0.2V$이다.
④ X — $1.4V$는 포화 조건과 $V_{CE(sat)}$를 적용한 결과가 아니다. 포화된 BJT의 컬렉터 출력은 $1.4V$가 아니라 $0.2V$이다.

오답 포인트

활성영역 공식 $I_C = \beta I_B$만 적용하면 컬렉터 전류가 $5mA$라고 판단하기 쉽다. 그러나 $10k\Omega$의 컬렉터 저항과 $10V$ 전원으로는 포화 시에도 약 $0.98mA$만 공급할 수 있다. 또한 포화 출력은 이상적인 $0V$가 아니라 문제에서 제시한 $V_{CE(sat)} = 0.2V$이다.

다시 나오면 이렇게 판단

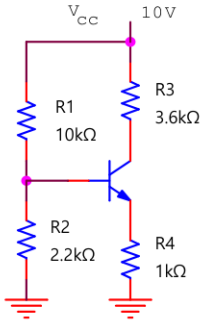
베이스 전류 I_B를 구하고, βI_B와 $I_{C(sat)} = (V_{CC} - V_{CE(sat)})/R_C$를 비교한다. βI_B가 더 크면 포화 상태이므로, 이미터가 접지된 회로의 출력은 $V_{CE(sat)}$로 판단한다.

암기 포인트

$\beta I_B > I_{C(sat)}$이면 포화, 접지 이미터의 출력은 $v_O = V_{CE(sat)}$이다.

NoteBase

19. 아래의 그림에서 컬렉터-이미터 전압을 구한 것으로 가장 가까운 것은? (단, $V_{be} = 0.7\,[V]$, $I_E \simeq I_C$를 가정한다)



① 1.94 [V]
② 2.94 [V]
③ 4.94 [V]
④ 6.04 [V]

정답 3번

출제 포인트

전압분배 회로로 베이스 전압을 구한 뒤 이미터 전압과 컬렉터 전압을 계산하여 컬렉터-이미터 전압 V_{CE}를 구하는 문제이다.

조건 정리

주어진 값: $V_{CC} = 10V$, $R_1 = 10k\Omega$, $R_2 = 2.2k\Omega$, $R_3 = 3.6k\Omega$, $R_4 = 1k\Omega$, $V_{BE} = 0.7V$이다.
구해야 할 값: 컬렉터-이미터 전압 $V_{CE} = V_C - V_E$이다.
주의할 조건: 베이스 전류가 전압분배 회로에 미치는 영향은 무시하고, 문제의 조건에 따라 $I_C \simeq I_E$로 둔다.

사용할 공식

$V_B = V_{CC}\frac{R_2}{R_1 + R_2}$
$V_E = V_B - V_{BE}, \qquad I_E = \frac{V_E}{R_4}$
$V_C = V_{CC} - I_C R_3, \qquad V_{CE} = V_C - V_E$
베이스가 R_1과 R_2의 접속점에 연결된 전압분배 바이어스 회로이므로 먼저 V_B를 구한다. 그다음 베이스-이미터 전압과 각 저항의 전압 강하를 이용하면 두 단자 전압의 차인 V_{CE}를 구할 수 있다.

NoteBase

계산 과정

1. 베이스 전압은 $V_B = 10 \times \frac{2.2}{10+2.2} \simeq 1.803V$이다.
2. 이미터 전압과 전류는 $V_E = 1.803 - 0.7 \simeq 1.103V$, $I_E = \frac{1.103V}{1k\Omega} \simeq 1.103mA$이다. 따라서 $I_C \simeq 1.103mA$이다.
3. 컬렉터 전압은 $V_C = 10 - (1.103mA)(3.6k\Omega) \simeq 6.03V$이다.
4. 컬렉터-이미터 전압은 $V_{CE} = 6.03 - 1.103 \simeq 4.92V$이다. 중간값을 소수 둘째 자리로 반올림하여 계산하면 약 $4.94V$가 되어 ③과 가장 가깝다.

선지 판단

① X — $1.94V$는 계산된 $V_{CE} \simeq 4.92V$와 가깝지 않다. 틀린 값 $1.94V$는 올바르게는 약 $4.94V$이다.
② X — $2.94V$도 $V_C - V_E$의 계산 결과와 일치하지 않는다. 틀린 값 $2.94V$는 올바르게는 약 $4.94V$이다.
③ O — $V_{CE} \simeq 4.92V$이므로 보기 중 $4.94V$가 가장 가깝다.
④ X — $6.04V$는 컬렉터의 대지 기준 전압 V_C에 가까운 값이며, 컬렉터-이미터 전압은 여기서 V_E를 빼야 한다. 틀린 값 $6.04V$는 V_{CE}로 고치면 약 $4.94V$이다.

오답 포인트

④의 $6.04V$는 컬렉터 전압 V_C까지만 구하고 이미터 전압 V_E를 빼지 않을 때 고르기 쉬운 값이다. 문제는 컬렉터의 대지 기준 전압이 아니라 두 단자 사이의 전압 $V_{CE} = V_C - V_E$를 묻는다.

다시 나오면 이렇게 판단

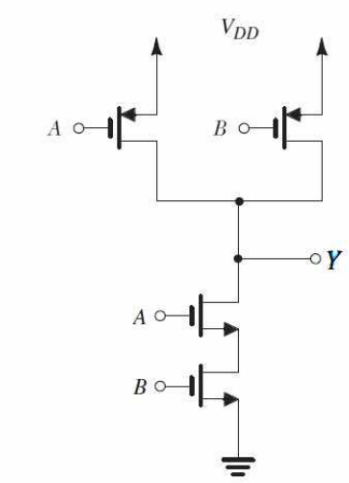
전압분배 바이어스 회로에서는 $V_B \rightarrow V_E \rightarrow I_E \simeq I_C \rightarrow V_C \rightarrow V_{CE}$ 순서로 계산한다. 마지막에 반드시 $V_{CE} = V_C - V_E$인지 확인한다.

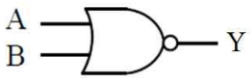
암기 포인트

컬렉터 전압은 $V_C = V_{CC} - I_C R_C$, 컬렉터-이미터 전압은 여기서 이미터 전압을 한 번 더 뺀 $V_{CE} = V_C - V_E$이다.

NoteBase

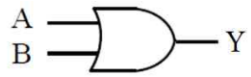
20. 다음 CMOS 논리회로에 대한 논리게이트 심볼로 가장 적절한 것은?



① 

② 

③ 

④ 

정답 2번

출제 포인트

CMOS 회로에서 상단 PMOS 풀업망과 하단 NMOS 풀다운망의 직렬·병렬 연결을 읽어 논리함수를 판단하는 문제이다. 그림은 PMOS가 병렬이고 NMOS가 직렬이므로 두 입력이 모두 1일 때만 출력이 0이 되는 NAND 회로이며, $Y = \overline{AB}$이다.

NoteBase

선지별 해설

① X
OR 게이트 모양의 출력에 반전 원이 붙은 NOR 기호이므로 $Y = \overline{A + B}$를 나타낸다. 제시된 회로의 $Y = \overline{AB}$와 다르다. 틀린 OR형 몸체는 AND형 몸체로 고쳐 출력 반전 원을 유지한 NAND 기호로 나타내야 한다.

② O
AND 게이트 모양의 출력에 반전 원이 붙어 있어 NAND를 나타낸다. 상단의 두 PMOS가 병렬이고 하단의 두 NMOS가 직렬인 제시 회로와 일치한다.

③ X
출력 반전 원이 없는 AND 기호이므로 $Y = AB$를 나타낸다. 제시된 회로는 AND가 아니라 NAND이므로 출력에 반전 원을 추가하여 $Y = \overline{AB}$로 고쳐야 한다.

④ X
출력 반전 원이 없는 OR 기호이므로 $Y = A + B$를 나타낸다. 제시된 회로의 논리함수와 다르므로 AND형 몸체에 출력 반전 원이 있는 NAND 기호로 고쳐야 한다.

오답 포인트

PMOS 병렬 연결만 보고 OR로 판단하기 쉽다. CMOS에서는 풀다운망을 기준으로 출력이 0이 되는 조건을 먼저 찾는다. 직렬 NMOS는 $A = B = 1$일 때만 도통하여 출력을 0으로 만들므로 AND 결과가 반전된 NAND이다.

다시 나오면 이렇게 판단

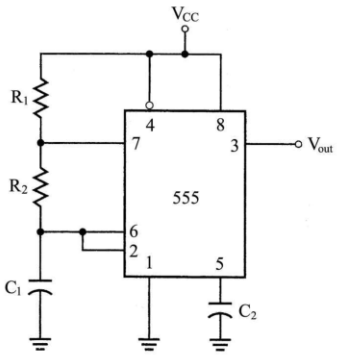
NMOS 풀다운망에서 접지까지 전류 경로가 생기는 입력 조건을 찾는다. NMOS가 직렬이면 모든 입력이 1일 때만 출력이 0이므로 NAND이고, NMOS가 병렬이면 어느 한 입력만 1이어도 출력이 0이므로 NOR이다.

암기 포인트

CMOS에서 NMOS 직렬은 NAND, NMOS 병렬은 NOR이다. NAND 기호는 AND형 몸체와 출력 반전 원의 조합이다.

NoteBase

21. 아래는 555타이머로 구성된 멀티바이브레이터 회로이다. 이 회로에서 출력 주파수 f_r[Hz]를 구하는 식으로 가장 적절한 것은?



① $\dfrac{0.7}{(R_1+2R_2)C_1}$

② $\dfrac{1.44}{(R_1+2R_2)C_1}$

③ $\dfrac{0.7}{\sqrt{(R_1+R_2)C_1}}$

④ $\dfrac{1.44}{\sqrt{(R_1+R_2)C_1}}$

정답 2번

출제 포인트

555 타이머의 비안정 멀티바이브레이터에서 커패시터의 충전 시간과 방전 시간을 합해 출력 주파수 f_r를 구하는 문제이다.

조건 정리

주어진 회로에서 C_1은 R_1 + R_2를 통해 충전되고, R_2를 통해 방전된다.
구해야 할 값은 한 주기의 역수인 출력 주파수 f_r이다.
이상적인 555 비안정 발진 회로에서 C_2는 제어 전압 단자의 잡음 억제용이므로 제시된 발진 주파수 식에는 포함되지 않는다.

NoteBase

사용할 공식

충전 시간과 방전 시간은 각각
$t_H = 0.693(R_1 + R_2)C_1$
$t_L = 0.693R_2C_1$
이다. 따라서 주기와 주파수는
$T = t_H + t_L = 0.693(R_1 + 2R_2)C_1$
$f_r = \frac{1}{T} = \frac{1}{0.693(R_1 + 2R_2)C_1} \approx \frac{1.44}{(R_1 + 2R_2)C_1}$
이다. 이 공식을 쓰는 이유는 회로가 외부 트리거 없이 C_1의 충전과 방전을 반복하는 555 비안정 발진 회로이기 때문이다.

계산 과정

1. 출력이 높은 동안 C_1이 $R_1 + R_2$를 통해 충전되므로 $t_H = 0.693(R_1 + R_2)C_1$이다.
2. 출력이 낮은 동안 C_1이 R_2를 통해 방전되므로 $t_L = 0.693R_2C_1$이다.
3. 두 시간을 더하면 $T = 0.693(R_1 + 2R_2)C_1$이다.
4. $f_r = 1/T$이고 $1/0.693 \approx 1.44$이므로 $f_r \approx \frac{1.44}{(R_1 + 2R_2)C_1}$이다.

선지 판단

① X — 분모의 $(R_1 + 2R_2)C_1$는 맞지만 분자의 0.7이 틀리다. 올바르게는 $1/0.693 \approx 1.44$를 사용하여 $\frac{1.44}{(R_1 + 2R_2)C_1}$로 고쳐야 한다.
② O — 충전 시간과 방전 시간을 합한 주기의 역수를 취하면 $f_r \approx \frac{1.44}{(R_1 + 2R_2)C_1}$이 된다.
③ X — 저항과 커패시턴의 곱에 제곱근을 취한 분모와 분자 0.7이 모두 틀리다. 올바르게는 제곱근 없이 $f_r \approx \frac{1.44}{(R_1 + 2R_2)C_1}$이다.
④ X — 제곱근을 사용한 점과 R_2의 방전 시간을 한 번 더 반영하지 않아 $R_1 + R_2$로 둔 점이 틀리다. 올바르게는 $f_r \approx \frac{1.44}{(R_1 + 2R_2)C_1}$이다.
계산 결과가 ②의 식과 일치하므로 정답은 2번이다.

오답 포인트

①의 0.7은 시간식의 계수 0.693을 주파수식의 분자에 그대로 옮긴 함정이다. 주파수는 주기의 역수이므로 계수도 역수를 취해 약 1.44가 된다. 또한 R_2는 충전과 방전 양쪽에 관여하므로 합산 결과가 $R_1 + 2R_2$가 된다.

다시 나오면 이렇게 판단

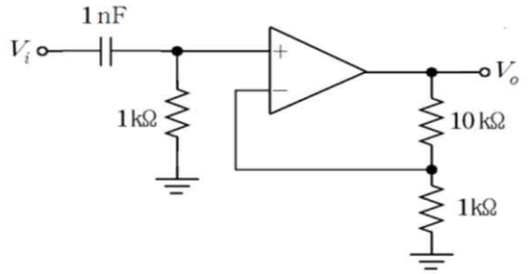
555 비안정 발진 회로는 충전 경로와 방전 경로를 따로 확인한 뒤 $t_H + t_L$로 주기를 구하고, 마지막에 역수를 취해 주파수를 판단한다. 식의 차원도 확인하여 RC의 역수는 주파수가 되지만 $\sqrt{RC}$의 역수는 주파수가 될 수 없음을 검산한다.

암기 포인트

555 비안정 발진 주파수는 $f_r \approx \frac{1.44}{(R_1 + 2R_2)C_1}$이며, R_2는 충전과 방전에 모두 관여하여 두 번 더해진다.

NoteBase

22. 아래 그림의 능동필터의 종류와 차단주파수(f_C)의 값으로 가장 가까운 것은? (단, 연산증폭기는 이상적이다)



① 저역통과, f_C = 1 [MHz]
② 저역통과, f_C = 160 [kHz]
③ 고역통과, f_C = 1 [MHz]
④ 고역통과, f_C = 160 [kHz]

정답 4번

출제 포인트

입력의 직렬 커패시터와 접지 저항으로 이루어진 1차 RC 필터의 종류를 판별하고 차단주파수 f_C를 계산하는 문제이다.

조건 정리

주어진 값: $R = 1k\Omega, C = 1nF$이다.
구해야 할 값: 능동필터의 종류와 차단주파수 f_C이다.
주의할 조건: 커패시터가 입력에 직렬이고 저항이 접지로 연결되어 있으므로 입력 RC망은 고역통과형이다.
이상적 연산증폭기의 비반전 이득 $1 + 10k\Omega/1k\Omega = 11$은 통과대역 이득만 정하며 차단주파수에는 영향을 주지 않는다.

사용할 공식

1차 RC 필터의 차단주파수는
$f_C = \frac{1}{2\pi RC}$
이다. 직렬 커패시터는 저주파에서 신호를 차단하고 고주파에서 신호를 통과시키므로 고역통과 필터로 판별한다.

NoteBase

계산 과정

저항과 커패시터를 기본 단위로 바꾸면 $R = 1 \times 10^{3}\Omega$, $C = 1 \times 10^{-9}F$이다.
따라서
$RC = (1 \times 10^{3})(1 \times 10^{-9}) = 1 \times 10^{-6}s$
이고,
$f_C = \frac{1}{2\pi \times 10^{-6}} \approx 1.59 \times 10^{5}Hz \approx 160kHz$
이다. 따라서 회로는 차단주파수가 약 $160kHz$인 고역통과 능동필터이다.

선지 판단

① X — '저역통과, $f_C = 1MHz$'는 필터 종류와 차단주파수가 모두 틀리다. 올바르게는 '고역통과, $f_C \approx 160kHz$'이다. $1MHz$는 $1/RC$만 계산하고 2π를 빠뜨릴 때 나오는 값이다.
② X — $f_C = 160kHz$는 맞지만 '저역통과'가 틀리다. 올바르게는 '고역통과, $f_C \approx 160kHz$'이다.
③ X — '고역통과'는 맞지만 $f_C = 1MHz$가 틀리다. 올바르게는 '고역통과, $f_C \approx 160kHz$'이다.
④ O — 직렬 커패시터와 접지 저항이 고역통과망을 이루며, 계산한 차단주파수도 약 $160kHz$이므로 옳다.

오답 포인트

커패시터가 있다는 이유만으로 저역통과로 판단하거나, 차단주파수를 $1/RC$로 계산하여 ① 또는 ③을 고르는 것이 함정이다. 필터 종류는 커패시터와 저항의 배치로 판단하고, 차단주파수 공식의 2π를 포함해야 한다.

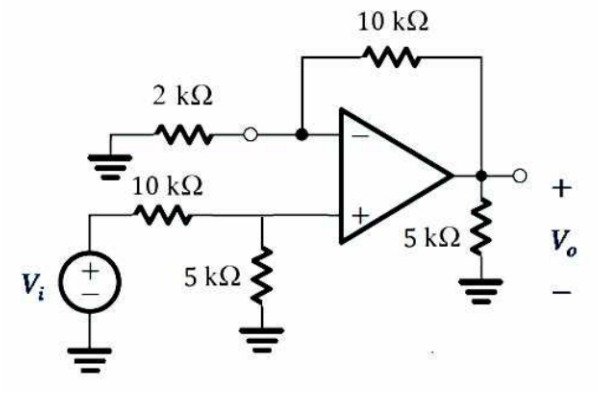
다시 나오면 이렇게 판단

먼저 입력 소자의 배치로 필터 종류를 정하고, R과 C를 기본 단위로 환산한 뒤 $f_C = 1/(2\pi RC)$를 계산한다.
이상적 연산증폭기의 저항비는 통과대역 이득을 정하는 값인지 차단주파수를 정하는 값인지 구분한다.

암기 포인트

입력에 커패시터가 직렬이면 고역통과, 1차 RC 필터의 차단주파수는 $f_C = 1/(2\pi RC)$이다.

23. 다음 연산증폭기의 전압이득(V_o/ V_i)으로 가장 적절한 것은? (단, 연산증폭기는 이상적이라고 가정한다)



① 2 [V/V]
② 4 [V/V]
③ 6 [V/V]
④ 8 [V/V]

정답 1번

출제 포인트

이 문제는 비반전 입력의 전압 분배와 비반전 증폭기의 폐루프 이득을 차례로 적용하여 전체 전압이득 V_o/V_i를 구하는 문제이다.

조건 정리

비반전 입력(+)에는 10$k\Omega$와 5$k\Omega$로 이루어진 입력 전압 분배기가 연결되어 있다.
반전 입력(-)에는 출력에서 연결된 10$k\Omega$의 귀환저항과 접지로 연결된 2$k\Omega$의 저항이 있다.
연산증폭기는 이상적이므로 입력 전류는 0이고, 출력의 5$k\Omega$ 부하저항은 폐루프 전압이득에 영향을 주지 않는다.

사용할 공식

비반전 입력 전압은 전압 분배 법칙에 따라
$V_+ = V_i \frac{5k\Omega}{10k\Omega + 5k\Omega}$
이다. 비반전 증폭기의 폐루프 이득은
$\frac{V_o}{V_+} = 1 + \frac{R_f}{R_g}$
이다. 입력단은 전압 분배기이고 연산증폭기 본체는 비반전 증폭기이므로 두 단계의 이득을 곱한다.

NoteBase

계산 과정

1. 비반전 입력 전압을 구하면
$V_+ = V_i \frac{5}{10+5} = \frac{1}{3} V_i$
이다.
2. 연산증폭기의 비반전 이득은
$1 + \frac{10k\Omega}{2k\Omega} = 6$
이다.
3. 따라서 전체 전압이득은
$\frac{V_o}{V_i} = \frac{V_o}{V_+} \frac{V_+}{V_i} = 6 \times \frac{1}{3} = 2V/V$
이다.

선지 판단

① O — 계산한 전체 전압이득이 $2V/V$이므로 옳다.
② X — $4V/V$는 계산 결과와 다르다. 올바르게는 입력 분압과 비반전 이득을 모두 반영한 $2V/V$이다.
③ X — $6V/V$는 연산증폭기 본체의 비반전 이득만 계산하고 입력 전압이 $V_i/3$으로 분압되는 것을 빠뜨린 값이다. 올바르게는 $6 \times (1/3) = 2V/V$이다.
④ X — $8V/V$는 계산 결과와 다르다. 올바르게는 $2V/V$이며, 출력의 $5k\Omega$ 부하를 이득 설정 저항처럼 더하면 안 된다.

오답 포인트

가장 큰 함정은 비반전 증폭기의 이득 6만 구하고 입력단의 $10k\Omega$-$5k\Omega$ 전압 분배를 누락하는 것이다. 또한 출력에 연결된 $5k\Omega$는 부하저항일 뿐 귀환망의 일부가 아니므로 이상적 연산증폭기의 전압이득 식에 포함되지 않는다.

다시 나오면 이렇게 판단

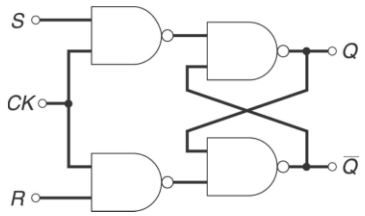
연산증폭기 입력 앞에 분압기가 있으면 먼저 실제 입력단 전압을 구하고, 다음으로 폐루프 이득을 구한 뒤 두 비율을 곱한다. 이득 설정에는 반전 입력과 출력 사이의 귀환망만 사용하고 출력 부하는 구분한다.

암기 포인트

전체 이득은 '입력 분압비 × 비반전 이득'이며, 이 회로에서는 $\frac{1}{3} \times 6 = 2$이다.

NoteBase

24. 그림의 논리 회로에서 출력 Q의 현재 상태가 Q_n 그리고 다음 상태가 Q_{n+1}이다. 다음 동작 상태에 대한 설명 중 가장 적절한 것은? (단, CK는 클럭 펄스이다)



① CK=0, 입력 S=R=0이면 출력 Q_{n+1}은 항상 세트(1) 상태를 유지한다.
② CK=1, 입력 S=R=0이면 출력 Q_{n+1}은 항상 세트(1) 상태를 유지한다.
③ CK=1, 입력 S=R=1이면 출력 Q_{n+1}은 부정(또는 금지) 상태가 된다.
④ CK=1, 입력 S=1, R=0이면 출력 Q_{n+1}은 리세트(0) 상태가 된다.

정답 3번

출제 포인트

이 문제는 입력 NAND 게이트가 클록에 따라 S, R을 차단하거나 통과시키고, 오른쪽의 교차 결합 NAND 래치가 세트·리세트·유지·금지 상태를 만드는 원리를 판단하는 문제이다. CK=0이면 두 입력 NAND의 출력이 모두 1이 되어 현재 상태를 유지하고, CK=1이면 S와 R의 조합이 래치 동작을 결정한다.

NoteBase

선지별 해설

① X — CK=0이면 S=R=0뿐 아니라 S, R의 값과 관계없이 두 입력 NAND의 출력이 모두 1이다. 따라서 오른쪽 NAND 래치는 세트 상태로 고정되는 것이 아니라 현재 상태 $Q_{n+1} = Q_n$을 유지한다. 틀린 표현 '항상 세트(1) 상태를 유지한다'는 '현재 상태를 유지한다'로 고쳐야 한다.

② X — CK=1, S=R=0이면 두 입력 NAND의 출력은 모두 1이므로 래치의 유지 조건이다. 따라서 $Q_{n+1} = Q_n$이며, 항상 세트(1)가 되는 것은 아니다. 틀린 표현 '항상 세트(1) 상태를 유지한다'는 '현재 상태를 유지한다'로 고쳐야 한다.

③ O — CK=1, S=R=1이면 두 입력 NAND의 출력이 모두 0이 된다. 교차 결합 NAND 래치에 두 개의 활성-LOW 입력이 동시에 들어가면 Q와 $\overline{Q}$가 모두 1이 되어 상보 관계가 깨지고, 입력을 해제한 뒤의 최종 상태도 확정할 수 없으므로 부정 또는 금지 상태이다.

④ X — CK=1, S=1, R=0이면 위쪽 입력 NAND의 출력은 0, 아래쪽 입력 NAND의 출력은 1이 된다. 위쪽 래치 NAND는 입력 0에 의해 Q를 1로 만들므로 리세트가 아니라 세트 상태이다. 틀린 표현 '리세트(0) 상태'는 '세트(1) 상태'로 고쳐야 한다.

오답 포인트

입력 S, R은 오른쪽 래치에 직접 들어가지 않고 CK와 NAND 연산을 거쳐 반전된 활성-LOW 신호가 된다. 이 반전을 놓치면 ④의 S=1을 리세트로 잘못 판단하기 쉽다. 또한 '유지'는 출력이 항상 1이라는 뜻이 아니라 직전 값 Q_n을 그대로 보존한다는 뜻이다.

다시 나오면 이렇게 판단

먼저 CK를 확인한다. CK=0이면 무조건 유지이다. CK=1이면 S, R 조합을 본다. S R=00은 유지, 10은 세트, 01은 리세트, 11은 금지 상태이다.

암기 포인트

클록형 NAND SR 래치는 CK=0에서 유지되고, CK=1에서 00 유지 · 10 세트 · 01 리세트 · 11 금지로 동작한다.

NoteBase

25. $X = \overline{A}B + \overline{A}\overline{B}\overline{C} + AB\overline{C} + A\overline{B}\overline{C}$를 간략화했을 때 결과값으로 가장 적절한 것은?

① $B + AC$

② $\overline{A} + BC$

③ $B + \overline{A}C$

④ $\overline{C} + \overline{A}B$

정답 4번

출제 포인트

이 문제는 불 대수의 결합법칙, 분배법칙, 보수법칙을 이용해 논리식을 간소화하는 문제이다.

조건 정리

주어진 식은 $X = \overline{A}B + \overline{ABC} + AB\overline{C} + A\overline{BC}$이다. 앞의 두 항과 뒤의 두 항을 각각 묶으면 공통 인수를 쉽게 찾을 수 있다.

사용할 공식

사용하는 불 대수 법칙은 $Y + \overline{Y}Z = Y + Z$, $Y + \overline{Y} = 1$, $Y \cdot 1 = Y$이다. 첫 번째 법칙으로 앞의 두 항을 줄이고, 보수법칙으로 뒤의 두 항을 줄일 수 있다.

계산 과정

1. 앞의 두 항을 묶는다.

$\overline{A}B + \overline{ABC} = \overline{A}(B + \overline{BC}) = \overline{A}(B + \overline{C}) = \overline{A}B + \overline{AC}$

2. 뒤의 두 항을 묶는다.

$AB\overline{C} + A\overline{BC} = A\overline{C}(B + \overline{B}) = A\overline{C}$

3. 두 결과를 합친다.

$X = \overline{A}B + \overline{AC} + A\overline{C} = \overline{A}B + \overline{C}(\overline{A} + A) = \overline{A}B + \overline{C}$

따라서 간소화된 식은 $\overline{C} + \overline{A}B$이다.

NoteBase

선지 판단

① X — $B + AC$는 $A = 1, B = 0, C = 1$일 때 1이지만 원래 식은 0이므로 동치가 아니다. 틀린 식이며, 올바른 결과는 $\overline{C} + \overline{A}B$이다.
② X — $\overline{A} + BC$는 $A = 0, B = 0, C = 1$일 때 1이지만 원래 식은 0이므로 동치가 아니다. 틀린 식이며, 올바른 결과는 $\overline{C} + \overline{A}B$이다.
③ X — $B + \overline{A}C$는 $A = 1, B = 1, C = 1$일 때 1이지만 원래 식은 0이므로 동치가 아니다. 틀린 식이며, 올바른 결과는 $\overline{C} + \overline{A}B$이다.
④ O — 계산 결과인 $\overline{C} + \overline{A}B$와 정확히 일치한다. 따라서 정답은 4번이다.

오답 포인트

두 번째 항의 $\overline{ABC}$와 네 번째 항의 $A\overline{BC}$에서 보수의 위치를 잘못 읽기 쉽다. 또한 $B + \overline{BC} = B + \overline{C}$를 적용한 뒤 생기는 $\overline{AC}$를 빠뜨리면 ④를 얻을 수 없다.

다시 나오면 이렇게 판단

불 대수 간소화 문제에서는 공통 인수가 있는 항끼리 묶고, $Y + \overline{Y} = 1$과 $Y + \overline{Y}Z = Y + Z$를 차례로 적용한다. 마지막에는 한 입력 조합을 대입해 원래 식과 간소화된 식이 같은지 검산한다.

암기 포인트

핵심 관계는 $Y + \overline{Y}Z = Y + Z$이며, 보수쌍 $Y + \overline{Y}$는 1이 된다.

NoteBase