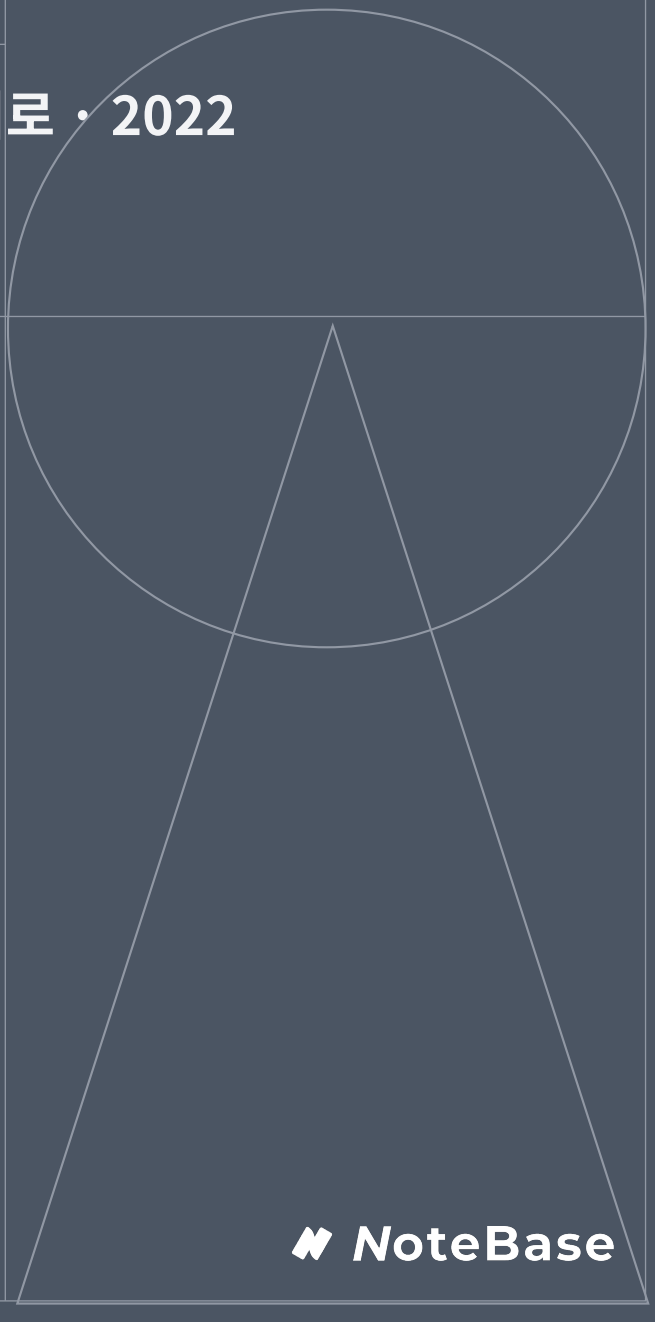
# 기출OX 해설집

공무원/군무원/9급 · 전자회로 · 2022



NoteBase

# 기출OX 해설집

## 공무원/군무원/9급 · 전자회로 · 2022

### 공무원/군무원/9급 · 전자회로 · 2022

1. 다음 반도체에 관한 설명으로 옳지 않은 것은?
   ① 반도체에 도핑을 하면 진성 반도체에 비하여 저항이 커진다.
   ② 반도체와 금속 사이에 옴성 접촉(ohmic contact)을 만들기 위해서는 반도체에 높은 농도로 도핑을 한다.
   ③ SiC와 같이 밴드갭이 큰 반도체는 고온에 동작하는데 유리하다.
   ④ 절대온도 0K에서 순수한 결정질(crystalline) Si의 가전자대(valence band)는 전자로 채워져 있다.

**정답 1번**

**출제 포인트**

이 문제는 반도체 도핑이 저항과 접촉 특성에 미치는 영향, 넓은 밴드갭 반도체의 고온 특성, 절대온도에서의 에너지대 점유 상태를 묻는 문제이다.

**핵심 개념**

진성 반도체는 의도적으로 불순물을 넣지 않은 반도체이고, 도핑 반도체는 불순물을 넣어 전자 또는 정공의 농도를 높인 반도체이다. 도핑으로 다수 운반자 농도가 증가하면 전기전도도는 커지고 저항은 작아진다. 금속과 반도체의 옴성 접촉에서는 접촉 부근을 고농도로 도핑하여 장벽을 얇게 만들면 접촉저항을 낮출 수 있다. 넓은 밴드갭 반도체는 온도가 높아져도 열에 의해 생성되는 고유 운반자가 상대적으로 적어 고온 동작에 유리하다.

NoteBase

### 선지별 해설

① X — 틀린 표현은 '진성 반도체에 비하여 저항이 커진다'이다. 도핑하면 전자 또는 정공의 농도가 증가하므로 전기전도도는 커지고 저항은 작아진다. 따라서 '진성 반도체에 비하여 저항이 작아진다'가 올바른 표현이다.
② O — 반도체를 고농도로 도핑하면 금속과 반도체 사이의 장벽 폭이 얇아져 운반자의 통과가 쉬워지고 접촉저항이 감소하므로 옴성 접촉을 만드는 데 유리하다.
③ O — SiC처럼 밴드갭이 큰 반도체는 고온에서도 열적으로 생성되는 고유 운반자와 누설전류가 상대적으로 적으므로 고온 동작에 유리하다.
④ O — 순수한 결정질 Si가 절대온도 0*K*에 있을 때에는 가전자대가 전자로 완전히 채워져 있고 전도대는 비어 있다.

### 오답 포인트

①에서 도핑이 불순물을 넣는 과정이라는 점만 보고 저항이 커진다고 오해하기 쉽다. 반도체에서는 도핑이 자유 운반자 농도를 증가시키므로 전기전도도는 증가하고 저항은 감소한다. 또한 ②의 고농도 도핑은 반도체 벌크의 저항뿐 아니라 금속 접촉부의 장벽을 얇게 하여 접촉저항을 낮추는 역할도 한다.

### 다시 나오면 이렇게 판단

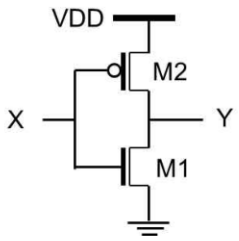
도핑 관련 선지는 먼저 운반자 농도의 변화를 본다. 운반자 농도 증가 → 전기전도도 증가 → 저항 감소의 관계로 판단한다. 고온 특성은 밴드갭이 클수록 열에 의한 고유 운반자 생성이 억제된다는 기준을 적용하고, 0*K*의 순수 반도체는 가전자대가 가득 차고 전도대가 비어 있다는 상태로 판단한다.

### 암기 포인트

도핑은 운반자를 늘려 저항을 낮추고, 고농도 접촉 도핑은 옴성 접촉을 돕는다. 넓은 밴드갭은 고온에 강하고, 0*K*에서는 가전자대가 가득 차 있다.

NoteBase

2. 그림은 CMOS 인버터를 나타낸다. 이에 관한 설명으로 옳지 않은 것은?
(단, $V_{THN}$은 M1의 문턱전압을 의미한다. 또, $t_L$ 및 $t_{pLH}$는 H → L 및 L → H로 출력 상태가 바뀔 때의 지연시간을 의미한다.)




① 다른 조건이 같을 때 $V_{THN}$이 높아지면 인버터의 스위칭 전압이 높아진다.
② 다른 조건이 같을 때 $V_{THN}$이 커지면 $t_{THN}$이 길어진다.
③ 다른 조건이 같을 때 M1의 크기 $(W/L_1)$이 커지면 인버터의 스위칭 전압이 높아진다.
④ 다른 조건이 같을 때 M2의 크기 $(W_2/L_2)$가 작아지면 $t_{pLH}$가 길어진다.

**정답 3번**

### 출제 포인트

CMOS 인버터에서 nMOS인 M1과 pMOS인 M2의 문턱전압 및 크기 변화가 스위칭 전압과 전파 지연시간에 미치는 영향을 묻는 문제이다.

### 핵심 개념

스위칭 전압은 입력과 출력 전압이 같아지고 M1의 풀다운 전류와 M2의 풀업 전류가 균형을 이루는 입력 전압이다. M1의 문턱전압 $V_{THN}$이 높아지면 M1이 더 높은 입력에서 켜지므로 스위칭 전압이 높아지고, M1의 크기 $W_1/L_1$가 커지면 풀다운 구동력이 강해져 스위칭 전압이 낮아진다. 지연시간은 해당 출력 전환을 담당하는 소자의 구동력이 약할수록 길어진다.

NoteBase

### 선지별 해설

① O — $V_{THN}$이 높아지면 M1이 충분한 풀다운 전류를 내기 위해 더 높은 입력 전압이 필요하므로 인버터의 스위칭 전압이 높아진다.
② O — $V_{THN}$이 커지면 같은 입력 전압에서 M1의 오버드라이브 전압과 방전 전류가 감소한다. 따라서 출력의 H→L 전환이 느려져 $t_{pHL}$이 길어진다.
③ X — 틀린 표현은 'M1의 크기 $W_1/L_1$가 커지면 스위칭 전압이 높아진다'이다. 실제로는 M1의 크기가 커질수록 nMOS의 풀다운 구동력이 강해지므로 더 낮은 입력 전압에서도 전류 균형이 이루어져 인버터의 스위칭 전압이 낮아진다.
④ O — M2의 크기 $W_2/L_2$가 작아지면 pMOS의 풀업 구동력이 약해져 출력 노드의 충전이 느려진다. 따라서 출력의 L→H 전환 지연시간인 $t_{pLH}$가 길어진다.

### 오답 포인트

③은 M1의 문턱전압 증가와 M1의 크기 증가를 같은 방향의 변화로 착각하게 만든다. 문턱전압 증가는 M1을 약하게 하여 스위칭 전압을 높이지만, 크기 증가는 M1을 강하게 하여 스위칭 전압을 낮춘다.

### 다시 나오면 이렇게 판단

먼저 출력 전환을 담당하는 소자를 구분한다. H→L은 M1의 방전 능력, L→H는 M2의 충전 능력이 지연시간을 결정한다. 스위칭 전압은 M1이 강해지면 낮아지고 M2가 강해지면 높아지는 방향으로 판단한다.

### 암기 포인트

M1 강화 → 스위칭 전압 하강 · H→L 고속화, M2 약화 → L→H 지연 증가이다.

NoteBase

3. 다음 pn접합에 관한 설명 중 옳지 않은 것은?
① 순방향 바이어스가 증가하면 전류가 전압에 지수함수적으로 증가한다.
② 역방향 바이어스가 증가하면 접합 커패시턴스가 감소한다.
③ 평형상태에서 공핍층 안의 정공의 농도는 n영역의 정공의 농도보다 작다.
④ 평형 상태에서 n영역의 전위는 p영역의 전위보다 높다.

**정답 3번**

**출제 포인트**

pn접합의 순방향·역방향 바이어스 특성과 평형 상태에서의 캐리어 농도 및 전위 관계를 구별하는 문제이다.

**핵심 개념**

순방향 바이어스: 장벽 전위를 낮추어 다수 캐리어의 확산과 전류를 크게 증가시키는 바이어스이다. / 키워드: 전류의 지수함수적 증가
역방향 바이어스: 장벽 전위와 공핍층 폭을 증가시키는 바이어스이다. / 키워드: 공핍층 확대, 접합 커패시턴스 감소
평형 pn접합: 확산과 드리프트가 균형을 이루며, 공핍층의 이동 캐리어 농도는 위치에 따라 변하고 내장 전위에 의해 n영역의 전위가 p영역보다 높다.

**선지별 해설**

① O — 순방향 바이어스가 증가하면 전위 장벽이 낮아져 다수 캐리어의 확산이 활발해진다. 이상적인 다이오드의 순방향 전류는 인가 전압에 대해 지수함수적으로 증가한다.
② O — 역방향 바이어스가 증가하면 공핍층 폭이 넓어진다. 접합 커패시턴스는 공핍층 폭에 반비례하므로 감소한다.
③ X — 틀린 부분은 '공핍층 안의 정공 농도는 n영역의 정공 농도보다 작다'이다. 평형 상태에서 중성 n영역의 정공은 소수 캐리어라서 농도가 매우 낮으며, 공핍층의 정공 농도는 위치에 따라 p영역 쪽에서 n영역 쪽으로 감소한다. 따라서 공핍층 전체의 정공 농도가 n영역의 정공 농도보다 작다고 할 수 없다. 올바르게는 '공핍층의 정공 농도는 위치에 따라 변하며, 중성 n영역 쪽 경계에서 n영역의 평형 정공 농도에 이른다'이다.
④ O — 공핍층의 전기장은 양전하를 띤 n영역의 이온화 도너에서 음전하를 띤 p영역의 이온화 억셉터 방향으로 형성된다. 전위는 전기장 방향으로 낮아지므로 평형 상태에서 n영역의 전위가 p영역보다 높다.

NoteBase

**오답 포인트**

③에서 '공핍층은 이동 캐리어가 거의 없는 영역'이라는 근사를 '모든 위치의 캐리어 농도가 중성영역의 소수 캐리어 농도보다도 작다'는 뜻으로 확대하면 틀린다. 공핍 근사는 이동 캐리어가 이온화 불순물 농도에 비해 매우 적다는 뜻이며, 공핍층 내부의 실제 정공 농도는 위치에 따라 변한다.

**다시 나오면 이렇게 판단**

바이어스 문제에서는 먼저 공핍층 폭을 판단한다. 순방향은 장벽과 공핍층 폭이 감소하여 전류가 증가하고, 역방향은 장벽과 공핍층 폭이 증가하여 접합 커패시턴스가 감소한다. 평형 농도 비교에서는 공핍층 전체를 하나의 일정한 농도로 보지 않고 위치에 따른 변화를 확인한다.

**암기 포인트**

순방향은 장벽 감소·전류 증가, 역방향은 공핍층 증가·커패시턴스 감소, 평형 전위는 n영역이 p영역보다 높다.

NoteBase

4. 다음 중 MOS에 대한 설명으로 옳지 않은 것은?
① PMOS에서는 소스에서 드레인 방향으로 전류가 흐른다.
② PMOS에서는 정공의 확산 현상에 의해 전류가 흐른다.
③ NMOS에서는 드레인의 전위가 소스의 전위보다 높다.
④ NMOS에서 문턱전압이 높을수록 전류는 작아진다.

**정답 2번**

**출제 포인트**

이 문제는 PMOS와 NMOS의 전류 방향, 주된 전도 입자, 드레인·소스의 전위 관계, 문턱전압과 드레인 전류의 관계를 묻는 문제이다.

**핵심 개념**

NMOS는 게이트 전압으로 전자 채널을 형성하여 동작하는 MOSFET이고, 통상 드레인 전위를 소스보다 높게 두며 관습적 전류는 드레인에서 소스로 흐른다.
PMOS는 게이트 전압으로 정공 채널을 형성하여 동작하는 MOSFET이고, 통상 소스 전위를 드레인보다 높게 두며 관습적 전류는 소스에서 드레인으로 흐른다.
MOSFET의 채널 전류는 드레인과 소스 사이의 전기장에 의한 드리프트가 주된 원인이며, 단순한 정공의 확산 전류로 설명하지 않는다.

**선지별 해설**

① O — PMOS에서는 통상 소스 전위가 드레인 전위보다 높으므로 관습적 전류가 소스에서 드레인 방향으로 흐른다.
② X — 틀린 표현은 '정공의 확산 현상에 의해 전류가 흐른다'이다. PMOS의 채널을 구성하는 주된 전도 입자는 정공이지만, 드레인과 소스 사이의 전기장에 의해 정공이 이동하는 드리프트가 채널 전류의 주된 원인이다. 올바르게는 'PMOS에서는 정공이 전기장에 의해 드리프트하여 전류가 흐른다'이다.
③ O — NMOS를 정상적으로 동작시키는 대표적인 바이어스에서는 드레인의 전위가 소스의 전위보다 높다. 이 전위차가 채널의 전자를 소스에서 드레인 쪽으로 이동시킨다.
④ O — 다른 조건, 특히 게이트-소스 전압이 같다면 문턱전압이 높아질수록 문턱전압을 넘는 유효 게이트 전압이 작아져 드레인 전류가 작아진다.

NoteBase

### 오답 포인트

②는 PMOS의 다수 운반자가 정공이라는 사실과 전류가 생기는 이동 원리를 섞어 놓은 선지이다. ‘정공’은 운반자의 종류이고, ‘드리프트’와 ‘확산’은 운반자가 이동하는 원리이므로 서로 다른 구분이다.

### 다시 나오면 이렇게 판단

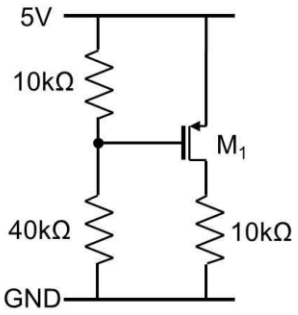
먼저 NMOS는 전자, PMOS는 정공이라는 운반자를 확인한다. 이어 채널 전류의 주된 원인은 드레인-소스 전기장에 의한 드리프트라는 점을 적용한다. 문턱전압 관련 선지는 같은 게이트-소스 전압에서 문턱전압이 커지면 유효 게이트 전압과 전류가 작아지는지 판단한다.

### 암기 포인트

NMOS는 드레인 전위가 높고, PMOS는 소스 전위가 높다. PMOS의 운반자는 정공이지만 채널 전류의 핵심 이동 원리는 확산이 아니라 드리프트이다.

NoteBase

5. 다음 회로에서 $_{ox}$ = $40\mu A/V^2$, (W/L) = (1/0.1), $|V_{thp}|$ = 0.5V일 때, $M_1$의 드레인 전류 I $_1$을 구하시오.




① 50μA
② 200μA
③ 2.45mA
④ 3.20mA

**정답 1번**

**출제 포인트**

저항 분압으로 pMOS의 게이트 전압을 구한 뒤, $V_{SG}$와 과구동전압을 이용하여 포화영역 드레인 전류를 계산하는 문제이다.

**조건 정리**

소스 전압은 $V_S = 5V$이고, 게이트에는 위쪽 $10k\Omega$, 아래쪽 $40k\Omega$의 분압 회로가 연결되어 있다. MOSFET의 게이트 전류는 0으로 보므로 분압 회로에 부하가 걸리지 않는다.
$(W/L) = 1/0.1 = 10$, $|V_{thp}| = 0.5V$이다. 채널 길이 변조는 무시한다.

**사용할 공식**

게이트 전압은
$V_G = 5 \times \frac{40}{10+40}$
로 구한다. pMOS이므로 $V_{GS}$가 아니라 $V_{SG} = V_S - V_G$를 사용한다. 포화영역 전류식은
$I_D = \frac{1}{2}(\mu_p C_{ox})\frac{W}{L}(V_{SG} - |V_{thp}|)^2$
이다. 이 식은 계산 후 $V_{SD} \geq V_{SG} - |V_{thp}|$가 성립하면 사용할 수 있다.

NoteBase

**계산 과정**

1. 분압으로 $V_G = 4V$를 얻는다.
2. $V_{SG} = 5 - 4 = 1V$, 따라서 과구동전압은 $V_{SG} - |V_{thp}| = 1 - 0.5 = 0.5V$이다.
3. 공정 파라미터와 형상비의 곱은 $40\mu A/V^2 \times 10 = 400\mu A/V^2$이다.
4. 드레인 전류는
$I_D = \frac{1}{2} \times 400 \times (0.5)^2 = 50\mu A$
이다.
5. 드레인 저항의 전압은 $50\mu A \times 10k\Omega = 0.5V$이므로 $V_D = 0.5V$, $V_{SD} = 5 - 0.5 = 4.5V$이다. 이는 포화 조건 V_SD≥0.5 V를 만족하므로 사용한 전류식이 타당하다.

**선지 판단**

① O — 계산한 드레인 전류가 $50\mu A$이므로 옳다.
② X — $200\mu A$는 문턱전압을 빼지 않고 $V_{SG} = 1V$ 자체를 제곱식에 넣을 때 나오는 값이다. $200\mu A$ → 올바르게는 $50\mu A$이다.
③ X — 포화영역 전류식에 과구동전압 $0.5V$와 형상비 10을 대입한 결과와 일치하지 않는다. $2.45mA$ → 올바르게는 $50\mu A$이다.
④ X — 분압으로 얻은 게이트 전압과 pMOS의 문턱전압을 적용한 계산 결과보다 지나치게 큰 값이다. $3.20mA$ → 올바르게는 $50\mu A$이다.

**오답 포인트**

핵심 함정은 pMOS에서 $V_{SG}$를 사용해야 한다는 점과, 전류식에 $V_{SG}$가 아니라 과구동전압 $V_{SG} - |V_{thp}|$를 제곱해야 한다는 점이다. 특히 ②는 문턱전압을 빼지 않은 오답이다.

**다시 나오면 이렇게 판단**

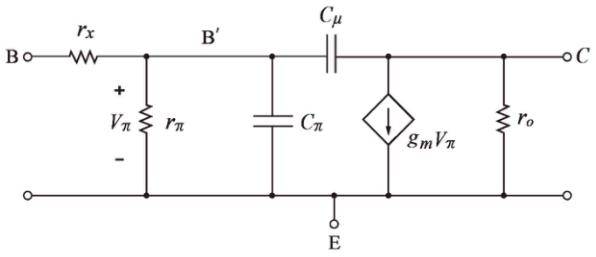
pMOS 바이어스 회로는 게이트 분압 계산 → $V_{SG}$ 계산 → 문턱전압을 뺀 과구동전압 계산 → 동작영역에 맞는 전류식 적용 → 포화 조건 검산의 순서로 판단한다.

**암기 포인트**

pMOS 포화전류의 제곱항은 $V_{SG} - |V_{thp}|$이며, 계산 뒤에는 $V_{SD} \geq V_{SG} - |V_{thp}|$를 확인한다.

NoteBase

6. 다음 회로는 고주파 하이브리드- 모델이다. 단위 이득대역폭($f$ )의 식으로 옳은 것은?
(단, 트랜스컨덕턴스 $g$ = $_C$ / $V_T$이고, $C_\pi$ 는 E-B 간 접합용량($C_{je}$)과 확산용량($C_{de}$)의 합, $C_\mu$는 C-B간 접합용량을 나타낸다.)




① $f_T = \dfrac{g_m}{\pi(C_\pi + C_\mu)}$

② $f_T = \dfrac{g_m}{\pi \quad (C_\pi + C_\mu)}$

③ $f_T = \dfrac{2}{\pi(C_\pi + C_\mu)}$

④ $f_T = \dfrac{g_m}{2\pi(C_\pi + C_\mu)}$

**정답 4번**

### 출제 포인트

고주파 하이브리드-π 모델에서 단위 전류이득 주파수 $f_T$를 구하고, 각주파수 $\omega_T$를 주파수 $f_T$로 바꿀 때 $2\pi$를 분모에 반영하는 문제이다.

### 조건 정리

트랜지스터의 입력 쪽에서 충전해야 하는 전체 접합용량은 $C_\pi + C_\mu$이다.
단위이득대역폭에서는 단락 전류이득의 크기가 1이 되는 주파수를 구한다.
저항 $r_x$, $r_\pi$, $r_o$는 이 문항의 표준 근사식에서 $f_T$를 결정하는 핵심 항이 아니며, $g_m$과 두 접합용량의 합을 사용한다.

NoteBase

### 사용할 공식

단락 전류이득의 고주파 근사는

$$|\beta(j\omega)| \approx \frac{g_m}{\omega(C_\pi + C_\mu)}$$

이다. 단위이득 조건 $|\beta(j\omega_T)| = 1$을 적용하면

$$\omega_T = \frac{g_m}{C_\pi + C_\mu}$$

이고, $\omega_T = 2\pi f_T$이므로

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$$

가 된다. 두 접합용량을 합하는 이유는 입력 전류가 $C_\pi$와 $C_\mu$를 모두 충전해야 하기 때문이다.

### 계산 과정

1. 입력에서 보이는 전체 고주파 용량을 $C_\pi + C_\mu$로 둔다.
2. 단위 전류이득 조건으로부터 $\omega_T = g_m/(C_\pi + C_\mu)$를 얻는다.
3. 각주파수를 주파수로 변환하여 $f_T = \omega_T/(2\pi) = g_m/[2\pi(C_\pi + C_\mu)]$를 얻는다.

### 선지 판단

① X — $f_T = \frac{g_m}{\pi(C_\pi + C_\mu)}$는 각주파수에서 주파수로 변환할 때 필요한 계수 2를 빠뜨려 정답의 2배가 된다.
올바르게는 $f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$이다.

② X — $\frac{g_m}{\pi}(C_\pi + C_\mu)$는 용량의 합을 곱한 식이므로, 용량이 커질수록 대역폭이 커진다는 잘못된 관계가 된다.
올바르게는 용량의 합이 분모에 들어가며 $f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$이다.

③ X — $\frac{2}{\pi(C_\pi + C_\mu)}$는 대역폭을 결정하는 트랜스컨덕턴스 $g_m$이 빠져 있고 차원도 주파수가 되지 않는다.
올바르게는 분자에 $g_m$을 두어 $f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$로 쓴다.

④ O — 단위이득 각주파수 $\omega_T = g_m/(C_\pi + C_\mu)$를 $2\pi$로 나눈 식과 정확히 일치한다.

### 오답 포인트

①과 ④의 차이는 분모의 2이다. $\omega = 2\pi f$이므로 각주파수 식을 그대로 주파수 식으로 쓰면 안 된다. 또한 ②처럼 접합용량을 분자 쪽에 곱하면 용량 증가에 따라 $f_T$가 감소한다는 물리적 관계와 반대가 된다.

NoteBase

### 다시 나오면 이렇게 판단

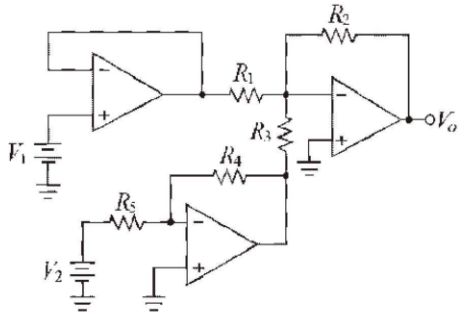
먼저 전체 접합용량을 $C_\pi + C_\mu$로 합한 뒤 $\omega_T = g_m/(C_\pi + C_\mu)$를 세우고, 마지막에 $f_T = \omega_T/(2\pi)$로 변환한다. 식의 차원과 함께 $g_m$이 커지면 $f_T$가 커지고 용량이 커지면 $f_T$가 작아지는지도 확인한다.

### 암기 포인트

BJT의 단위이득대역폭은 $f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$이다. 즉, $g_m$은 분자, 두 접합용량의 합과 $2\pi$는 분모이다.

NoteBase

7. 다음 회로에서 각 저항 $R_1 = R_5 = 10\text{k}\Omega$, $R_2 = 80\text{k}\Omega$, $R_3 = R_4 = 20\text{k}\Omega$이고, 각 입력전압 $V_1 = 4\text{V}$, $V_2 = 10\text{V}$일 때, 출력전압 $V_o$를 구하시오. (단, 연산증폭기는 이상적이다.)




① 12
② 24
③ 32
④ 48

**정답 4번**

**출제 포인트**

이 문제는 이상적인 연산증폭기의 가상단락 성질을 이용하여 전압 팔로어와 반전 증폭기의 출력을 차례로 구한 뒤, 반전 가산기의 출력전압을 계산하는 문제이다.

**조건 정리**

주어진 값: $R_1 = R_5 = 10k\Omega, R_2 = 80k\Omega, R_3 = R_4 = 20k\Omega, V_1 = 4V, V_2 = 10V$이다.
위쪽 연산증폭기는 출력이 반전 입력에 직접 연결된 전압 팔로어이다.
아래쪽 연산증폭기는 $R_5$가 입력저항이고 $R_4$가 피드백저항인 반전 증폭기이다.
오른쪽 연산증폭기는 $R_1, R_3$를 입력저항으로 하고 $R_2$를 피드백저항으로 하는 반전 가산기이다.

**사용할 공식**

전압 팔로어: $V_A = V_1$
반전 증폭기: $V_B = -\frac{R_4}{R_5}V_2$
반전 가산기: $V_o = -R_2\left(\frac{V_A}{R_1} + \frac{V_B}{R_3}\right)$
각 연산증폭기에 음의 되먹임이 걸려 있으므로 이상적인 연산증폭기의 두 입력 전압이 같다는 성질을 적용할 수 있다.

NoteBase

### 계산 과정

1. 위쪽 전압 팔로어의 출력은 $V_A = V_1 = 4V$이다.
2. 아래쪽 반전 증폭기의 출력은 $V_B = -\frac{R_4}{R_5}V_2 = -\frac{20}{10} \times 10 = -20V$이다.
3. 오른쪽 반전 가산기에 두 출력을 대입하면 $V_o = -R_2\left(\frac{V_A}{R_1} + \frac{V_B}{R_3}\right)$이다. 수치를 넣으면 $V_o = -80\left(\frac{4}{10} + \frac{-20}{20}\right) = -80(0.4 - 1) = 48V$이다.

### 선지 판단

① X — 계산 결과는 $12V$가 아니라 $48V$이다. 올바르게는 '출력전압은 $48V$이다'이다.
② X — 계산 결과는 $24V$가 아니라 $48V$이다. 올바르게는 '출력전압은 $48V$이다'이다.
③ X — 계산 결과는 $32V$가 아니라 $48V$이다. 올바르게는 '출력전압은 $48V$이다'이다.
④ O — 세 단의 출력과 반전 가산기의 부호를 모두 반영하면 $V_o = 48V$이므로 계산 결과와 일치한다.

### 오답 포인트

아래쪽 반전 증폭기의 출력 $V_B = -20V$에서 음의 부호를 빠뜨리기 쉽다. 이 값은 마지막 반전 가산기 안에서 $-20/20$으로 들어가고, 가산기 전체에 다시 음의 부호가 붙으므로 최종 출력은 양의 $48V$가 된다.

### 다시 나오면 이렇게 판단

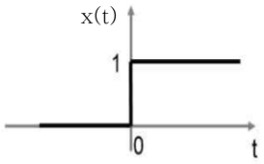
다단 연산증폭기 회로는 앞단부터 각 출력값과 부호를 확정하고, 그 값을 다음 단의 입력으로 대입한다. 마지막 반전 가산기에서는 각 입력을 해당 입력저항으로 나눈 합에 피드백저항과 음의 부호를 곱한다.

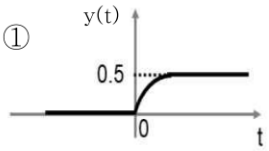
### 암기 포인트

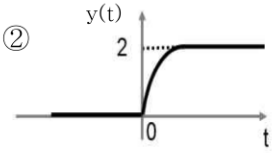
전압 팔로어는 그대로, 반전 증폭기는 $-R_f/R_{in}$, 반전 가산기는 $-R_f\sum(V_i/R_i)$이다.

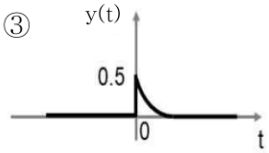
NoteBase

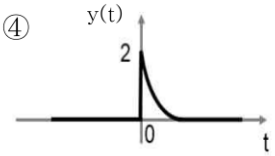
8. 어떤 선형 시불변 시스템의 라플라스 영역 전달함수가 H(s)=1/(s+2)이다. 이 시스템에 아래 x(t)의 입력이 가해질 때, 출력 y(t)로 가장 옳은 것을 고르시오.




① 


② 


③ 


④ 


**정답 1번**

### 출제 포인트

전달함수와 단위계단 입력의 라플라스 변환을 곱해 출력의 시간응답과 최종값을 구하는 문제이다.

### 조건 정리

주어진 전달함수: $H(s) = \frac{1}{s+2}$
입력: 크기가 1인 단위계단이므로 $x(t) = u(t)$, $X(s) = \frac{1}{s}$이다.
구해야 할 값: 출력 $y(t)$의 초기값, 변화 방향, 최종값이다.

### 사용할 공식

영초기조건인 선형 시불변 시스템에서는
$Y(s) = H(s)X(s)$
이다. 단위계단 입력이므로 전달함수에 $1/s$를 곱한다.

NoteBase

### 계산 과정

출력의 라플라스 변환은
$Y(s) = \frac{1}{s+2} \cdot \frac{1}{s} = \frac{1}{s(s+2)}$
이다. 이를 부분분수로 전개하면
$Y(s) = \frac{1}{2}\left(\frac{1}{s} - \frac{1}{s+2}\right)$
이므로 역라플라스 변환 결과는
$y(t) = \frac{1}{2}(1 - e^{-2t})u(t)$
이다. 따라서 출력은 $t = 0^{+}$에서 0으로 시작하여 단조 증가하고, 최종값은 $H(0) \times 1 = 1/2 = 0.5$이다.

### 선지 판단

① O — 출력이 0에서 시작해 지수적으로 증가하여 0.5에 수렴하므로 계산한 $y(t) = \frac{1}{2}(1 - e^{-2t})u(t)$와 일치한다.
② X — 0에서 증가하는 방향은 맞지만 최종값을 2로 표시한 부분이 틀리다. 올바르게는 직류 이득 $H(0) = 1/2$에 따라 최종값이 0.5인 증가 곡선이다.
③ X — 출력이 0.5에서 시작해 0으로 감소한다고 표시한 부분이 틀리다. 올바르게는 단위계단응답이 0에서 시작해 0.5로 증가한다.
④ X — 출력이 2에서 시작해 0으로 감소한다고 표시한 부분이 틀리다. 올바르게는 초기값이 0이고 최종값이 0.5인 증가 곡선이다.

### 오답 포인트

③과 ④처럼 감소하는 곡선은 계단응답과 충격응답을 혼동하게 만드는 선지이다. 이 시스템의 충격응답은 $h(t) = e^{-2t}u(t)$처럼 감소하지만, 단위계단응답은 이를 시간에 대해 누적한 형태이므로 0에서 증가한다. 또한 ②의 2는 극점의 계수 2를 최종값으로 오인한 결과이며, 최종값은 분모의 상수항을 그대로 쓰는 것이 아니라 직류 이득 $H(0) = 1/2$로 구한다.

### 다시 나오면 이렇게 판단

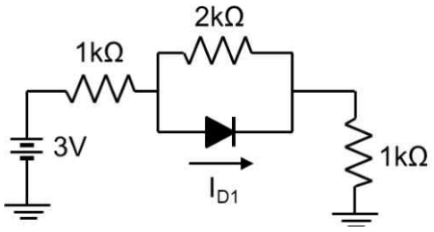
계단입력이면 먼저 $X(s) = 1/s$를 전달함수에 곱한다. 그다음 역라플라스 변환으로 응답의 모양을 구하고, $y(0^{+})$와 $y(\infty)$를 확인하여 그래프의 시작값·증감 방향·최종값을 차례로 대조한다.

### 암기 포인트

1차 시스템 $H(s) = 1/(s + a)$의 단위계단응답은 $y(t) = \frac{1}{a}(1 - e^{-at})u(t)$이며, 0에서 시작해 $1/a$로 수렴한다.

NoteBase

9. 다음 회로에서 다이오드에 흐르는 전류 $I_{D1}$을 구하시오.
(단, 다이오드의 순방향 전압 $V_{D_n}$ = 0.8V이다.)




① 0.4mA
② 0.7mA
③ 1.1mA
④ 1.5mA

**정답 2번**

**출제 포인트**

다이오드의 도통 여부를 먼저 판정한 뒤, 병렬 저항으로 흐르는 전류를 분리하여 다이오드 전류 $I_{D1}$을 구하는 문제이다.

**조건 정리**

주어진 값: 전원 $3V$, 좌우 직렬 저항 각각 $1k\Omega$, 다이오드와 병렬인 저항 $2k\Omega$, 순방향 전압 $V_{D_n} = 0.8V$이다.
구해야 할 값: 왼쪽에서 오른쪽으로 흐르는 다이오드 전류 $I_{D1}$이다.
주의할 조건: 다이오드가 도통하면 왼쪽 노드 전압 $V_A$와 오른쪽 노드 전압 $V_B$ 사이에 $V_A - V_B = 0.8V$가 성립하고, 전류는 다이오드와 $2k\Omega$ 저항으로 나뉜다.

**사용할 공식**

다이오드 차단 가정에서의 직렬전류는 $I = \frac{3V}{1k\Omega + 2k\Omega + 1k\Omega}$이다. 도통 상태에서는 $V_A - V_B = 0.8V$와 키르히호프 전류법칙을 사용한다. 양쪽 $1k\Omega$ 저항의 전류가 같으므로 $3 - V_A = V_B$이고, 병렬 저항 전류는 $I_R = (V_A - V_B)/(2k\Omega)$이다. 이 식들은 다이오드의 상태를 검증하고, 전체 전류에서 병렬 저항 전류를 분리하기 위해 사용한다.

NoteBase

### 계산 과정

1. 다이오드를 차단 상태로 가정하면 전체 저항은 $4k\Omega$이므로 $I = 0.75mA$이다. 이때 $V_A = 2.25V$, $V_B = 0.75V$이므로 $V_A - V_B = 1.5V > 0.8V$이다. 따라서 차단 가정은 성립하지 않고 다이오드는 도통한다.
2. 도통 상태에서 $V_A - V_B = 0.8V$, $V_A + V_B = 3V$이므로 $V_A = 1.9V$, $V_B = 1.1V$이다.
3. 오른쪽 $1k\Omega$ 저항으로 흐르는 전체 전류는 $I_{total} = \frac{1.1V}{1k\Omega} = 1.1mA$이다.
4. $2k\Omega$ 병렬 저항의 전류는 $I_R = \frac{0.8V}{2k\Omega} = 0.4mA$이다. 따라서 $I_{D1} = I_{total} - I_R = 1.1mA - 0.4mA = 0.7mA$이다.

### 선지 판단

① X — $0.4mA$는 다이오드 전류가 아니라 다이오드와 병렬인 $2k\Omega$ 저항의 전류이다. 올바른 다이오드 전류는 $0.7mA$이다.
② O — 전체 전류 $1.1mA$에서 병렬 저항 전류 $0.4mA$를 빼면 $I_{D1} = 0.7mA$가 된다.
③ X — $1.1mA$는 오른쪽 $1k\Omega$ 저항으로 흐르는 전체 전류이며, 다이오드와 $2k\Omega$ 저항으로 분기되기 전후의 전류이다. 병렬 저항 전류를 제외한 올바른 다이오드 전류는 $0.7mA$이다.
④ X — $1.5$는 다이오드를 차단했다고 가정했을 때 얻는 양단 전압 $1.5V$의 수치이지 다이오드 전류가 아니다. 도통 상태를 다시 계산하면 올바른 전류는 $0.7mA$이다.

### 오답 포인트

다이오드의 순방향 전압 $0.8V$만 적용하고 병렬인 $2k\Omega$ 저항의 전류를 빼지 않으면 전체 전류 $1.1mA$를 다이오드 전류로 잘못 고르게 된다. 또한 차단 가정에서 나온 $1.5V$는 상태 판정용 전압이므로 전류와 혼동하지 않아야 한다.

### 다시 나오면 이렇게 판단

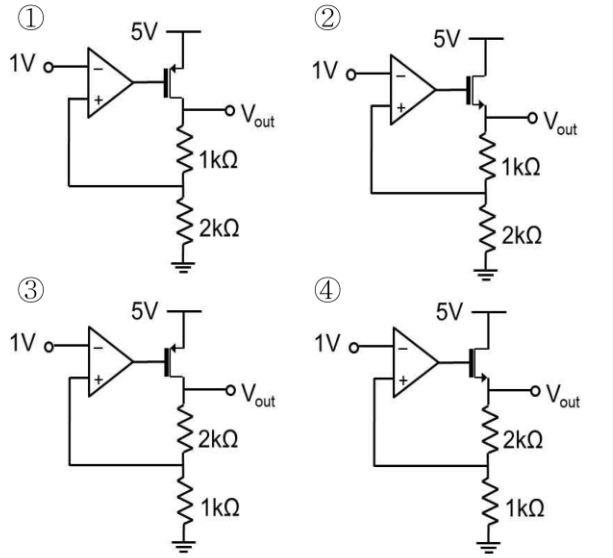
먼저 다이오드를 차단했다고 가정하여 애노드와 캐소드의 전압 차를 계산한다. 순방향 전압보다 크면 도통 조건으로 노드 전압을 다시 구하고, 다이오드와 병렬인 가지가 있으면 전체 전류에서 그 가지 전류를 빼서 다이오드 전류를 구한다.

### 암기 포인트

다이오드 전류는 병렬 회로의 전체 전류가 아니다. $I_D = I_{total} - I_{parallel}$이다.

NoteBase

10. 다음의 연산증폭기를 사용한 회로 중에서 $V_{out} = 3V$인 것으로 가장 옳은 것을 고르시오. (단, 연산증폭기는 이상적이다.)




**정답 3번**

### 출제 포인트

이 문제는 트랜지스터를 포함한 피드백의 부호를 판별하고, 이상적 연산증폭기의 가상단락과 저항 분압식을 이용해 $V_{out}$을 구하는 문제이다.

### 조건 정리

주어진 값: 반전 입력 전압은 $V_- = 1V$이고 전원은 $5V$이다.
구해야 할 값: 안정한 음의 피드백 상태에서 $V_{out} = 3V$가 되는 회로이다.
주의할 조건: 출력단 트랜지스터가 연산증폭기 출력과 $V_{out}$ 사이에서 신호를 반전시키므로, 분압 전압을 비반전 입력에 되먹임해야 전체 루프가 음의 피드백이 된다. 그림의 ①·③은 이 조건을 만족하지만 ②·④는 같은 접속에서 피드백이 양의 피드백이 된다.

### 사용할 공식

음의 피드백으로 선형 동작하는 이상적 연산증폭기에서는
$V_+ = V_- = 1V$
이다. 출력에서 접지까지 직렬 연결된 저항을 위쪽 $R_{top}$, 아래쪽 $R_{bottom}$이라 하면 비반전 입력의 분압 전압은
$V_+ = V_{out}\frac{R_{bottom}}{R_{top} + R_{bottom}}$
이다. 이 식을 쓰는 이유는 비반전 입력이 두 저항의 접속점에 연결되어 있고, 이상적인 연산증폭기의 입력 전류는 0이기 때문이다.

NoteBase

**계산 과정**

③에서 $R_{top} = 2k\Omega$, $R_{bottom} = 1k\Omega$이다. 따라서
$1 = V_{out}\frac{1}{2+1}$
이므로
$V_{out} = 3V$
이다. 또한 $3V$는 $5V$ 전원 범위 안에 있다.

**선지 판단**

① X - 트랜지스터 방향은 전체 루프를 음의 피드백으로 만들지만, 위쪽이 $1k\Omega$, 아래쪽이 $2k\Omega$이므로 $1 = V_{out} \cdot 2/3$에서 $V_{out} = 1.5V$가 된다. 틀린 저항 배치이며, 올바르게는 위쪽을 $2k\Omega$, 아래쪽을 $1k\Omega$으로 바꾸어야 한다.
② X - 위쪽 $1k\Omega$, 아래쪽 $2k\Omega$의 분압비도 $3V$에 맞지 않고, 트랜지스터 방향 때문에 비반전 입력으로 돌아오는 신호가 양의 피드백을 형성한다. 올바르게는 ③처럼 트랜지스터 방향을 바꾸고 위쪽 $2k\Omega$, 아래쪽 $1k\Omega$으로 연결해야 한다.
③ O - 트랜지스터가 포함된 전체 루프가 음의 피드백이고, 분압점은 $V_{out}/3$이므로 $V_+ = 1V$일 때 $V_{out} = 3V$가 된다.
④ X - 저항 분압비만 보면 분압점이 $V_{out}/3$이지만, 트랜지스터 방향이 ③과 반대라 비반전 입력으로의 되먹임이 양의 피드백이 되어 $V_{out} = 3V$로 안정하게 제어되지 않는다. 틀린 트랜지스터 방향이며, 올바르게는 ③과 같은 방향으로 바꾸어 전체 루프를 음의 피드백으로 만들어야 한다.

**오답 포인트**

③과 ④는 저항값이 같아 분압비만 계산하면 둘 다 답처럼 보인다. 그러나 비반전 입력에 되먹임한 회로가 항상 음의 피드백인 것은 아니다. 이 회로에서는 출력 트랜지스터의 방향에 따라 연산증폭기 출력에서 $V_{out}$까지의 증감 관계가 달라지므로, 전체 루프의 부호를 먼저 판별해야 한다.

**다시 나오면 이렇게 판단**

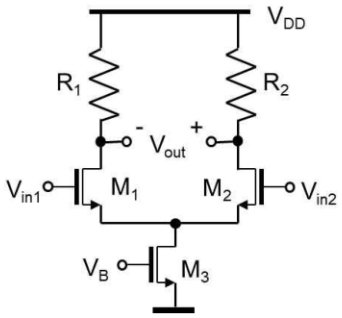
먼저 연산증폭기 출력이 증가할 때 최종 출력이 증가하는지 감소하는지를 추적하여 전체 피드백의 부호를 확인한다. 음의 피드백이 확인된 회로에만 $V_+ = V_-$를 적용하고, 그다음 분압식으로 출력 전압을 계산한다.

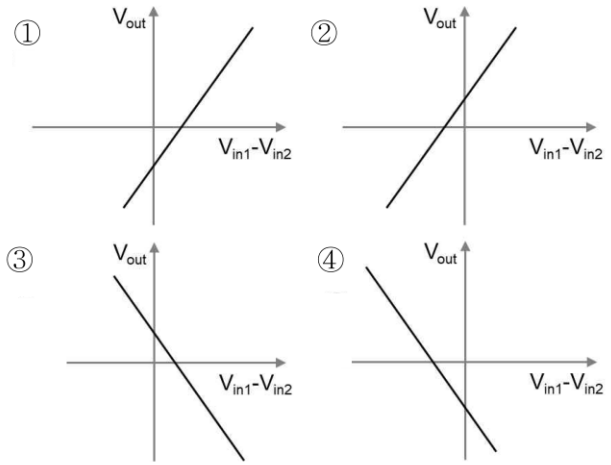
**암기 포인트**

트랜지스터가 포함된 연산증폭기 회로는 '전체 루프의 부호 확인 → 가상단락 적용 → 분압비 계산'의 순서로 판단한다. 위쪽 $2k\Omega$, 아래쪽 $1k\Omega$이면 분압점은 출력의 1/3이다.

NoteBase

11. 다음의 MOS 차동쌍에서 $M_1$과 $M_2$사이의 매칭은 완벽하지만, $R_1$은 $R_2$보다 약간 크다고 한다. 이 때 이 차동쌍의 입출력 특성으로 가장 옳은 것은?




**정답 2번**

**출제 포인트**

이 문제는 저항 부하 MOS 차동쌍에서 입력 차에 따른 출력의 기울기와, 부하 저항 불일치가 만드는 영입력 출력 오프셋의 부호를 판단하는 문제이다.

**조건 정리**

출력은 그림의 극성에 따라 $V_{out} = V_{D2} - V_{D1}$이고, 가로축은 $v_{id} = V_{in1} - V_{in2}$이다. $M_1$과 $M_2$는 정합되어 있으며 $R_1 > R_2$이다. 따라서 $v_{id} = 0$에서는 두 트랜지스터 전류가 같지만, 더 큰 $R_1$ 때문에 왼쪽 드레인 전압 $V_{D1}$이 오른쪽 드레인 전압 $V_{D2}$보다 더 낮다.

NoteBase

### 사용할 공식

각 드레인 전압은 $V_{D1} = V_{DD} - I_1R_1$, $V_{D2} = V_{DD} - I_2R_2$이므로 다음과 같다.
$V_{out} = V_{D2} - V_{D1} = I_1R_1 - I_2R_2$
이 식은 출력 극성과 부하 저항에 생기는 전압 강하를 함께 반영한다.

### 계산 과정

1. $v_{id} = 0$이면 소자 정합에 의해 $I_1 = I_2 = I_Q$이다.
2. 이때 $V_{out}(0) = I_Q(R_1 - R_2) > 0$이므로 특성선은 세로축의 원점보다 위를 지난다.
3. $v_{id}$가 증가하면 $I_1$은 증가하고 $I_2$는 감소한다. 따라서 $I_1R_1 - I_2R_2$가 증가하므로 기울기는 양수이다.
소신호로는 $v_{out} \approx I_Q(R_1 - R_2) + \frac{g_m}{2}(R_1 + R_2)v_{id}$로 나타낼 수 있다.
4. 양의 기울기와 양의 세로축 절편을 모두 나타낸 그래프는 ②이다.

### 선지 판단

① X — 양의 기울기는 맞지만 세로축 절편을 음수로 그렸다. $R_1 > R_2$이면 $v_{id} = 0$에서 $V_{out} > 0$이므로, 올바르게는 특성선이 원점 위에서 세로축과 만나야 한다.
② O — $V_{in1} - V_{in2}$가 증가할수록 $V_{out}$이 증가하여 기울기가 양수이고, $R_1 > R_2$ 때문에 영입력 출력도 양수이다.
③ X — 세로축 절편은 양수로 맞지만 기울기를 음수로 그렸다. 올바르게는 $V_{in1} - V_{in2}$가 증가할 때 왼쪽 드레인 전압은 내려가고 오른쪽 드레인 전압은 올라가므로 $V_{out} = V_{D2} - V_{D1}$의 기울기는 양수이다.
④ X — 기울기와 세로축 절편을 모두 반대로 그렸다. 올바르게는 기울기가 양수이고 세로축 절편도 양수인 그래프가 되어야 한다.

### 오답 포인트

출력의 +, − 표시를 반대로 읽으면 ③이나 ④처럼 기울기를 음수로 판단하게 된다. 또한 소자 정합만 보고 영입력 출력이 0이라고 생각하기 쉽지만, $R_1 > R_2$인 부하 불일치 때문에 $v_{id} = 0$에서도 양의 출력 오프셋이 생긴다.

### 다시 나오면 이렇게 판단

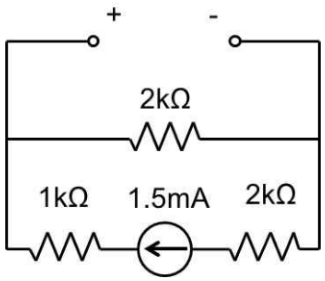
먼저 출력 극성으로 기울기의 부호를 정하고, 다음으로 두 입력이 같을 때 각 출력 노드의 저항 전압 강하를 비교하여 세로축 절편의 부호를 정한다.

### 암기 포인트

오른쪽 출력이 +인 NMOS 차동쌍에서는 $V_{in1} - V_{in2}$에 대한 기울기가 양수이다. 영입력 오프셋은 $V_{out}(0) = I_Q(R_1 - R_2)$의 부호를 따른다.

NoteBase

12. 다음 회로를 테브난 등가로 나타냈을 때의 등가 전압 $V_{hev}$와 등가 저항 $R_{Thev}$를 구하시오.




① $V_{Thev} = 3V,\ R_{Thev} = 2k$
② $V_{Thev} = 4.5V,\ R_{Thev} = 2k\Omega$
③ $V_{Thev} = 3V,\ R_{Thev} = 1.2k\Omega$
④ $V_{Thev} = 4.5V,\ R_{Thev} = 1.2k\Omega$

**정답 1번**

### 출제 포인트

이 문제는 출력단의 개방전압으로 테브난 등가전압 $V_{Thev}$을 구하고, 독립 전류원을 비활성화하여 테브난 등가저항 $R_{Thev}$을 구하는 문제이다.

### 조건 정리

출력단은 왼쪽이 +, 오른쪽이 −이므로 V_Thev=V_왼쪽-V_오른쪽이다.
전류원의 화살표가 왼쪽을 향하므로 아래쪽 가지에는 오른쪽에서 왼쪽으로 $1.5mA$가 흐른다.
가운데 $2k\Omega$ 저항은 두 출력단 사이에 직접 연결되어 있다.

### 사용할 공식

개방된 출력단에서 키르히호프 전류법칙을 적용하면 가운데 저항의 전류는 전류원이 만드는 가지 전류와 크기가 같고 방향이 반대이다. 따라서
$V_{Thev} = IR$
이다. 등가저항은 독립 전류원을 개방한 뒤 출력단에서 바라본 합성저항으로 구한다. 이상적인 독립 전류원은 비활성화할 때 개방하는 이유는 그 전류값을 0으로 만들어야 하기 때문이다.

NoteBase

### 계산 과정

1. 아래쪽 가지에는 오른쪽에서 왼쪽으로 $1.5mA$가 흐른다. 출력단이 개방되어 있으므로 가운데 $2k\Omega$ 저항에는 왼쪽에서 오른쪽으로 같은 크기의 전류가 흐른다.
2. 표시된 극성에 따른 개방전압은
$V_{Thev} = (1.5mA)(2k\Omega) = 3V$
이다.
3. $R_{Thev}$을 구할 때 독립 전류원을 개방하면 아래쪽의 $1k\Omega$와 $2k\Omega$가 포함된 가지는 중간이 끊어진다. 출력단 사이에는 가운데 $2k\Omega$만 남으므로
$R_{Thev} = 2k\Omega$
이다.

### 선지 판단

① O — $V_{Thev} = 3V$, $R_{Thev} = 2k\Omega$로 계산 결과와 모두 일치한다.
② X — $R_{Thev} = 2k\Omega$는 맞지만 '$V_{Thev} = 4.5V$'가 틀렸다. 올바르게는 $V_{Thev} = 3V$, $R_{Thev} = 2k\Omega$이다. $4.5V$는 아래쪽 두 저항의 합 $3k\Omega$에 $1.5mA$를 곱한 값일 뿐이며, 이상적 전류원 양단 전압을 빠뜨린 값이다.
③ X — $V_{Thev} = 3V$는 맞지만 '$R_{Thev} = 1.2k\Omega$'가 틀렸다. 올바르게는 $V_{Thev} = 3V$, $R_{Thev} = 2k\Omega$이다. $1.2k\Omega$는 전류원을 잘못 단락하여 $2k\Omega$와 $3k\Omega$를 병렬로 계산할 때 나오는 값이다.
④ X — '$V_{Thev} = 4.5V$'와 '$R_{Thev} = 1.2k\Omega$'가 모두 틀렸다. 올바르게는 $V_{Thev} = 3V$, $R_{Thev} = 2k\Omega$이다.

### 오답 포인트

전류원의 화살표와 반대 방향으로 가운데 저항 전류가 흐른다는 점을 놓치면 전압의 부호를 틀리기 쉽다. 또한 등가저항을 구할 때 전류원을 단락하면 아래쪽 $1k\Omega + 2k\Omega$ 가지까지 연결된 것으로 보아 $1.2k\Omega$라는 오답이 나온다. 독립 전류원은 반드시 개방 상태로 비활성화한다.

### 다시 나오면 이렇게 판단

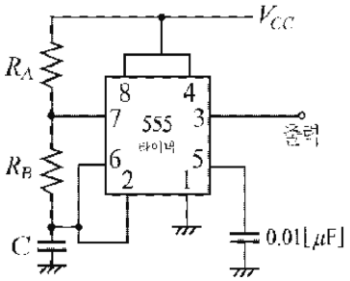
먼저 출력단 극성과 전류원 화살표를 확인하고, 개방 상태에서 키르히호프 전류법칙으로 $V_{Thev}$을 계산한다.
이어서 독립 전압원은 단락하고 독립 전류원은 개방한 뒤 출력단에서 보이는 저항만 합성하여 $R_{Thev}$을 구한다.

### 암기 포인트

테브난 전압은 개방전압이고, 테브난 저항을 구할 때 독립 전류원은 개방한다.

NoteBase

13. 다음 그림의 회로에서 출력 신호의 주파수 $f$를 구하는 식으로 옳은 것은?
(단, 단위는 Hz이다.)




① $\frac{0.707}{(2_{A}+R_B)C}$

② $\frac{1.44}{\pi(2R_A+R_B)C}$

③ $\frac{0.707}{\pi(R_A+2R_B)C}$

④ $\frac{1.44}{(R_A+2R_B)C}$

**정답 4번**

### 출제 포인트

555 타이머를 비안정 멀티바이브레이터로 구성했을 때 충전 시간과 방전 시간을 합하여 출력 주파수를 구하는 문제이다.

### 조건 정리

타이밍 커패시터 $C$는 충전할 때 $R_A + R_B$를 거치고, 방전할 때 $R_B$만을 거친다. 따라서 $R_A$는 한 번, $R_B$는 충전과 방전에 각각 한 번씩 반영된다. 5번 핀에 연결된 $0.01\mu F$ 커패시터는 제어전압의 잡음을 줄이는 바이패스용이며 발진 주기를 정하는 $C$가 아니다.

### 사용할 공식

충전 시간은 $t_H = 0.693(R_A + R_B)C$, 방전 시간은 $t_L = 0.693R_BC$이다. 따라서 주기와 주파수는

$T = t_H + t_L = 0.693(R_A + 2R_B)C$

$f = \frac{1}{T} = \frac{1}{0.693(R_A + 2R_B)C} \simeq \frac{1.44}{(R_A + 2R_B)C}$

이다. 이 회로는 외부 트리거 없이 충전과 방전을 반복하는 555 비안정 발진 회로이므로 이 공식을 사용한다.

NoteBase

**계산 과정**

1. 충전 구간과 방전 구간을 더하여 $T = 0.693(R_A + R_B)C + 0.693R_BC$로 둔다.
2. 저항 항을 정리하면 $T = 0.693(R_A + 2R_B)C$가 된다.
3. 역수를 취하면 $f = 1/T \simeq 1.44/[(R_A + 2R_B)C]$가 된다.

**선지 판단**

① X — $R_A$를 두 번, $R_B$를 한 번 반영한 $2R_A + R_B$와 계수 0.707은 이 회로의 주기 계산과 맞지 않는다. 올바르게는 $f = 1.44/[(R_A + 2R_B)C]$이다.
② X — 충전·방전 경로의 저항 계수를 $2R_A + R_B$로 뒤바꾸었고 분모에 불필요한 $\pi$를 넣었다. 올바르게는 분모가 $(R_A + 2R_B)C$이고 계수가 1.44인 식이다.
③ X — 저항 조합 $R_A + 2R_B$은 맞지만 계수 0.707과 분모의 $\pi$가 잘못되었다. 올바르게는 $f = 1.44/[(R_A + 2R_B)C]$이다.
④ O — $T = 0.693(R_A + 2R_B)C$의 역수를 취한 $f = 1.44/[(R_A + 2R_B)C]$와 정확히 일치한다.

**오답 포인트**

핵심 함정은 $R_A$와 $R_B$의 계수를 뒤바꾸는 것과, 정현파 회로의 각주파수 식처럼 분모에 $\pi$를 넣는 것이다. 이 회로에서는 $R_B$가 충전과 방전 양쪽 경로에 포함되므로 $2R_B$가 되며, ③처럼 저항 조합만 맞아도 계수와 $\pi$까지 확인해야 한다.

**다시 나오면 이렇게 판단**

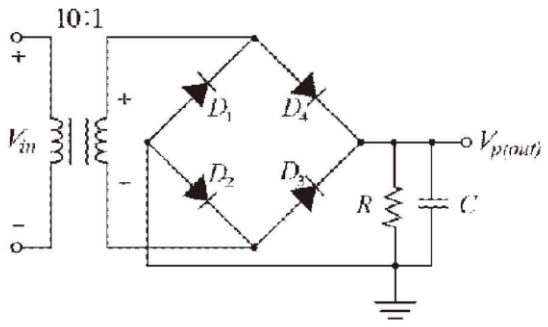
555 비안정 발진 회로에서는 먼저 충전 경로와 방전 경로를 나누어 본다. 충전은 $R_A + R_B$, 방전은 $R_B$이므로 두 시간을 합친 뒤 역수를 취하면 $f \simeq 1.44/[(R_A + 2R_B)C]$가 된다.

**암기 포인트**

555 비안정 발진은 '충전 $R_A + R_B$, 방전 $R_B$'이므로 $R_B$가 두 번 들어가고, $f \simeq 1.44/[(R_A + 2R_B)C]$이다.

NoteBase

14. 다음 회로에서 1차 측 전압이 $_{n}$ 120 $2\sin(120\pi t)$일 때, 첨두(peak) 출력전압 $V_{p(out)}$에 가장 근사한 값을 구하시오. (단, 권선비 $N_1 : N_2 = 10:1$이고, 다이오드 순방향 전압 강하 0.7V를 고려한다.)




① $12\sqrt{2}$

② 15.57

③ $\frac{120\sqrt{2}}{\pi} - 0.7$

④ $\frac{2\times 120\sqrt{2}}{\pi} - 1.4$

**정답 2번**

**출제 포인트**

변압기의 권선비로 2차측 첨두전압을 구한 뒤, 브리지 정류회로에서 동시에 도통하는 다이오드 2개의 순방향 전압강하를 빼서 첨두 출력전압을 구하는 문제이다.

**조건 정리**

주어진 값: 1차측 전압은 $v_{in} = 120\sqrt{2}\sin(120\pi t)V$, 권선비는 $N_1 : N_2 = 10 : 1$, 다이오드 1개의 순방향 전압강하는 $0.7V$이다.
구해야 할 값: 커패시터가 충전되는 첨두 출력전압 $V_{p(out)}$이다.
주의할 조건: 브리지 정류회로에서는 각 반주기마다 다이오드 2개가 직렬로 도통하므로 총 전압강하는 $2 \times 0.7 = 1.4V$이다.

NoteBase

### 사용할 공식

$V_{2,p} = V_{1,p}\frac{N_2}{N_1}$
$V_{p(out)} = V_{2,p} - 2V_D$
권선비가 10:1인 강압 변압기이므로 2차측 첨두전압은 1차측 첨두전압의 1/10이다. 또한 브리지 정류기의 한 도통 경로에는 다이오드 2개가 포함되므로 두 전압강하를 모두 뺀다.

### 계산 과정

1. 1차측 첨두전압은 $V_{1,p} = 120\sqrt{2}V$이다.
2. 2차측 첨두전압은 $V_{2,p} = 120\sqrt{2} \times \frac{1}{10} = 12\sqrt{2}V$이다.
3. 브리지의 다이오드 2개에서 생기는 전압강하를 빼면 다음과 같다.

$V_{p(out)} = 12\sqrt{2} - 2(0.7) = 12\sqrt{2} - 1.4 \approx 15.57V$

### 선지 판단

① X — $12\sqrt{2}V$는 권선비만 적용한 2차측 첨두전압으로, 다이오드 2개의 전압강하를 빼지 않은 값이다. 올바르게는 $12\sqrt{2} - 1.4 \approx 15.57V$이다.
② O — $12\sqrt{2} - 1.4 \approx 15.57V$이므로 계산 결과와 일치한다.
③ X — $120\sqrt{2}/\pi - 0.7$은 이 커패시터 입력형 브리지 회로의 첨두 출력 계산에 맞지 않는 평균값 형태를 사용하고, 다이오드 전압강하도 1개만 반영한 식이다. 올바르게는 권선비와 다이오드 2개를 반영한 $120\sqrt{2}/10 - 1.4 \approx 15.57V$이다.
④ X — $2 \times 120\sqrt{2}/\pi - 1.4$은 전파정류 평균값 공식을 사용했으며 권선비 10:1에 따른 강압도 반영하지 않았다. 올바르게는 첨두값을 기준으로 $120\sqrt{2}/10 - 1.4 \approx 15.57V$이다.

### 오답 포인트

①처럼 변압기 2차측 첨두전압만 구하고 브리지에서 도통하는 다이오드 2개의 전압강하를 빠뜨리기 쉽다. 또한 ③과 ④처럼 평균 정류전압 공식의 $1/\pi$ 또는 $2/\pi$를 사용하면 안 된다. 문제는 커패시터가 충전되는 첨두 출력전압을 묻고 있다.

### 다시 나오면 이렇게 판단

변압기와 브리지 정류기 및 평활 커패시터가 함께 나오면 먼저 권선비로 2차측 첨두전압을 구하고, 브리지의 동시 도통 다이오드 수가 2개임을 확인한 뒤 $2V_D$를 뺀다. 첨두값을 묻는 경우 평균값 공식은 사용하지 않는다.

### 암기 포인트

브리지 정류기의 첨두 출력은 '2차측 첨두전압 - 다이오드 2개 전압강하', 즉 $V_{p(out)} = V_{2,p} - 2V_D$이다.

NoteBase

15. 주파수가 증가함에 따라 이득 감쇠를 나타내는 특성곡선의 기울기가 -40dB/decade인 경우 이것과 동일한 기울기를 표시하는 것으로 가장 옳은 것은?

① -3dB/octave
② -6dB/octave
③ -12dB/octave
④ -24dB/octave

**정답 3번**

### 출제 포인트

이 문제는 주파수 비가 10배인 decade와 2배인 octave의 관계를 이용해 이득 감소 기울기를 변환하는 문제이다.

### 조건 정리

주어진 값: 주파수가 증가할 때의 기울기는 $-40\text{dB/decade}$이다.
구해야 할 값: 같은 기울기를 dB/octave로 나타낸 값이다.
주의할 조건: 이득이 감소하므로 기울기의 음의 부호를 유지해야 한다.

### 사용할 공식

한 decade의 octave 수는
$N = \frac{\log 10}{\log 2} = \log_2 10 \approx 3.322$
이므로
$S_{\text{oct}} = \frac{S_{\text{dec}}}{\log_2 10}$
을 사용한다. decade는 주파수 10배 변화이고 octave는 주파수 2배 변화이므로, 한 decade에 포함된 octave 수로 기울기를 나누어야 한다.

### 계산 과정

1. 한 decade에 포함된 octave 수를 구하면 $\log_2 10 \approx 3.322$이다.
2. 기울기를 변환하면
$\frac{-40\text{dB/decade}}{3.322\text{octave/decade}} \approx -12.04\text{dB/octave}$
이다.
3. 선지의 근삿값으로는 $-12\text{dB/octave}$이다.

NoteBase

**선지 판단**

① X — $-3$dB/octave는 약 $-10$dB/decade에 해당하므로 주어진 기울기와 다르다. 틀린 값 $-3$dB/octave는 $-12$dB/octave로 고쳐야 한다.
② X — $-6$dB/octave는 약 $-20$dB/decade에 해당하므로 감소율이 절반이다. 틀린 값 $-6$dB/octave는 $-12$dB/octave로 고쳐야 한다.
③ O — $-40/\log_2 10 \approx -12.04$이므로 $-12$dB/octave가 같은 기울기를 나타낸다.
④ X — $-24$dB/octave는 약 $-80$dB/decade에 해당하므로 감소율이 두 배이다. 틀린 값 $-24$dB/octave는 $-12$dB/octave로 고쳐야 한다.
계산 결과가 약 $-12$dB/octave이므로 정답은 3번이다.

**오답 포인트**

decade와 octave의 변환 방향이 핵심 함정이다. 한 decade는 약 3.322 octave이므로 dB/decade 값을 3.322로 나누어야 하며, 이득 감소를 나타내는 음의 부호도 그대로 유지해야 한다.

**다시 나오면 이렇게 판단**

먼저 decade는 주파수 10배, octave는 주파수 2배의 변화임을 확인한다. 그다음 $1\text{decade} = \log_2 10 \approx 3.322\text{octave}$를 적용하여 decade당 기울기를 3.322로 나누고 부호와 단위를 검산한다.

**암기 포인트**

$-20$dB/decade $\approx -6$dB/octave이므로 $-40$dB/decade $\approx -12$dB/octave이다.

NoteBase

16. 다음 RC결합증폭기의 주파수 응답에 대한 설명 중 가장 옳은 것은?
① 트랜지스터의 내부 커패시터는 주로 저주파 응답에 영향을 준다.
② 증폭기의 결합 커패시터는 주로 고주파 응답에 영향을 준다.
③ 임계주파수는 중간영역의 전압이득 보다 10dB 낮은 곳이다.
④ 중간영역 값의 70.7% 전압이득 감소는 3dB 감소하는 것이다.

**정답 4번**

### 출제 포인트

RC 결합증폭기의 저주파·고주파 응답을 좌우하는 커패시터와 차단주파수에서의 전압이득 기준을 구분하는 문제이다.

### 조건 정리

저주파 영역에서는 결합 커패시터와 바이패스 커패시터의 리액턴스가 커져 이득이 감소한다. 고주파 영역에서는 트랜지스터의 내부 커패시턴스와 배선 등의 기생 커패시턴스가 이득 감소에 주로 영향을 준다. 차단주파수에서는 전압이득이 중간영역 값의 $1/\sqrt{2}$, 즉 약 70.7%가 된다.

### 사용할 공식

전압이득의 데시벨 변화는 다음과 같다.
$\Delta A_v(\text{dB}) = 20\log_{10}\left(\frac{A_v}{A_{v,\text{mid}}}\right)$
차단주파수에서 $A_v/A_{v,\text{mid}} = 1/\sqrt{2}$이므로 이 공식을 사용한다.

### 계산 과정

차단주파수에서의 전압이득 비를 대입하면 다음과 같다.
$20\log_{10}\left(\frac{1}{\sqrt{2}}\right) \approx -3.01\text{dB}$
따라서 전압이득이 중간영역 값의 약 70.7%가 되는 지점은 약 3dB 감소점이다.

NoteBase

### 선지 판단

① X — ‘트랜지스터의 내부 커패시터는 주로 저주파 응답에 영향을 준다’는 부분이 틀렸다. 내부 커패시턴스는 주로 고주파 응답과 상한 차단주파수에 영향을 준다.
② X — ‘결합 커패시터는 주로 고주파 응답에 영향을 준다’는 부분이 틀렸다. 결합 커패시터는 저주파에서 리액턴스가 커지므로 주로 저주파 응답과 하한 차단주파수에 영향을 준다.
③ X — ‘중간영역 전압이득보다 10dB 낮은 곳’이 틀렸다. 차단주파수는 전압이득이 중간영역 값보다 약 3dB 낮아지는 지점이다.
④ O — 전압이득이 중간영역 값의 $1/\sqrt{2}$, 즉 약 70.7%로 감소하면 데시벨 이득은 약 3dB 감소하므로 옳다.

### 오답 포인트

①과 ②는 커패시터의 영향 영역을 서로 바꾸어 놓은 선지이다. 또한 ③의 10dB를 차단주파수 기준으로 오인하기 쉽지만, 차단주파수의 기준은 전압비 약 0.707과 약 −3dB이다.

### 다시 나오면 이렇게 판단

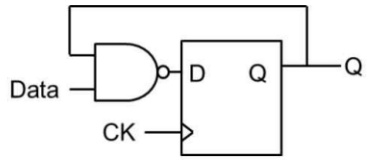
먼저 결합·바이패스 커패시터는 저주파, 내부·기생 커패시턴스는 고주파에 대응시킨다. 이어 차단주파수는 중간영역 전압이득의 약 70.7%이자 약 −3dB 지점인지 확인한다.

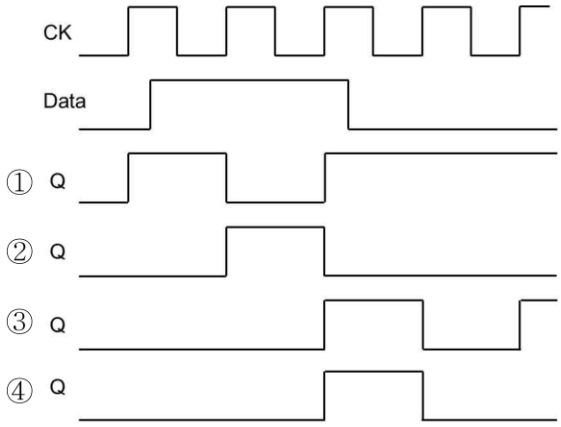
### 암기 포인트

결합 커패시터는 저주파, 내부 커패시턴스는 고주파, 차단점은 0.707배이자 −3dB이다.

NoteBase

17. 다음 에지에서 트리거되는 D-플립플롭을 사용한 회로에서 그림과 같이 입력이 들어갈 때, 출력 Q의 파형으로 옳은 것은?




**정답 1번**

**출제 포인트**

이 문제는 출력이 되먹임되는 NAND 게이트와 상승 에지 트리거 D 플립플롭의 상태 변화를 읽는 문제이다. 게이트 출력의 버블은 반전을 뜻하므로 플립플롭 입력은 $D = \overline{\text{Data} \cdot Q}$이고, 클록 입력의 삼각형에는 버블이 없으므로 CK의 상승 에지마다 이 값이 Q에 저장된다.

NoteBase

### 선지별 해설

① O — 첫 번째 상승 에지에서는 Data가 0이므로 이전 Q와 관계없이 D가 1이 되어 Q가 1로 바뀐다. 두 번째 상승 에지에서는 Data=1, Q=1이므로 D=0이 되어 Q가 0으로 바뀐다. 세 번째 상승 에지에서는 Data=1, Q=0이므로 D=1이 되어 Q가 다시 1로 바뀐다. 이후에는 Data가 0이므로 D=1이 계속되어 Q도 1을 유지한다. 따라서 ①의 파형이 맞다.
② X — 첫 번째 상승 에지에서 Data=0이면 D=1이므로 Q는 즉시 1이 되어야 하는데, ②는 Q를 0으로 유지한다. 틀린 파형 → 올바르게는 첫 번째 상승 에지에서 상승하고, 두 번째 상승 에지에서 하강하며, 세 번째 상승 에지에서 다시 상승한 뒤 1을 유지하는 ①의 파형이다.
③ X — ③은 세 번째 상승 에지까지 Q를 0으로 두지만, 첫 번째 상승 에지에서 이미 Data=0에 의해 D=1이 저장되어야 한다. 또한 두 번째 상승 에지에서는 Data=1, Q=1이므로 Q가 0으로 내려가야 한다. 틀린 파형 → 올바르게는 상승 에지별 Q가 차례로 1, 0, 1, 1, 1이 되는 ①의 파형이다.
④ X — ④는 세 번째 상승 에지에서만 Q가 1이 되고 네 번째 상승 에지에서 다시 0이 되지만, 네 번째 상승 에지 직전에는 Data=0이므로 D는 반드시 1이다. 틀린 파형 → 올바르게는 첫 번째 상승 에지에서 Q=1, 두 번째에서 Q=0, 세 번째에서 Q=1이 된 뒤 계속 1을 유지하는 ①의 파형이다.

### 오답 포인트

출력 버블을 놓쳐 NAND를 AND로 보거나, 되먹임된 Q를 무시하고 Data만 클록에 맞추어 읽으면 ③이나 ④처럼 판단하기 쉽다. 특히 Data=0이면 NAND 출력 D는 Q와 관계없이 항상 1이라는 점이 핵심 함정이다.

### 다시 나오면 이렇게 판단

먼저 게이트의 반전 버블과 플립플롭의 유효 에지를 확인한 뒤 상태식 $Q^+ = D = \overline{\text{Data} \cdot Q}$를 세운다. 그다음 각 CK 상승 에지 직전의 Data와 현재 Q를 상태식에 대입하여 다음 Q를 한 칸씩 구한다.

### 암기 포인트

상승 에지 D 플립플롭은 에지 순간의 D를 저장하며, 이 회로는 Data=0이면 다음 Q가 무조건 1이고 Data=1이면 다음 Q가 현재 Q의 반전이 된다.

NoteBase

18. 어떤 n채널 증가형 MOSFET에서 $V_S = 10\text{V}$일 때, 문턱 전압 $V_{TH} = 1\text{V}$이고 드레인 전류 $I_D = 90\text{mA}$이었다. $V_{GS} = 8\text{V}$에 대한 드레인 전류 $I_D$를 구하면 약 몇 mA인가?

① 27.2 ② 54.4

③ 108.8 ④ 127.2

**정답 2번**

**출제 포인트**

n채널 증가형 MOSFET의 포화 영역에서 드레인 전류가 과구동전압 $V_{GS} - V_{TH}$의 제곱에 비례한다는 관계를 이용해 $V_{GS}$ 변화에 따른 $I_D$를 구하는 문제이다.

**조건 정리**

기준 조건: $V_{GS1} = 10V$, $V_{TH} = 1V$, $I_{D1} = 90mA$이다.
구할 값: $V_{GS2} = 8V$일 때의 $I_{D2}$이다.
주의할 조건: 전류는 $V_{GS}$ 자체가 아니라 과구동전압 $V_{GS} - V_{TH}$의 제곱에 비례한다.

**사용할 공식**

포화 영역의 제곱 법칙에서 $I_D = K(V_{GS} - V_{TH})^2$이므로, 같은 MOSFET의 두 동작점을 비교하면 다음과 같다.
$\frac{I_{D2}}{I_{D1}} = \left(\frac{V_{GS2} - V_{TH}}{V_{GS1} - V_{TH}}\right)^2$
같은 소자의 비례상수 $K$가 두 동작점에서 같으므로 전류의 비를 과구동전압의 제곱비로 계산할 수 있다.

**계산 과정**

기준 과구동전압은 $10 - 1 = 9V$, 목표 과구동전압은 $8 - 1 = 7V$이다.
$I_{D2} = 90mA\left(\frac{7}{9}\right)^2 = 90mA \times \frac{49}{81} \approx 54.4mA$
따라서 $V_{GS} = 8V$일 때의 드레인 전류는 약 $54.4mA$이다.

**선지 판단**

① X — $27.2mA$는 계산값 $54.4mA$의 절반으로, 제곱비 계산에 불필요한 1/2을 한 번 더 적용한 값이다. 틀린 값 $27.2mA$는 $54.4mA$로 고쳐야 한다.
② O — 과구동전압의 제곱비 $90 \times (7/9)^2$를 계산하면 약 $54.4mA$가 된다.
③ X — $108.8mA$는 계산값의 두 배이며, 과구동전압이 $9V$에서 $7V$로 감소했는데 기준 전류보다 커질 수 없다. 틀린 값 $108.8mA$는 $54.4mA$로 고쳐야 한다.
④ X — $127.2mA$는 과구동전압 감소에 따른 전류 감소 방향과 제곱비 계산에 모두 맞지 않는다. 틀린 값 $127.2mA$는 $54.4mA$로 고쳐야 한다.

NoteBase

**오답 포인트**

핵심 함정은 $V_{GS}$의 단순 비 8/10을 쓰거나 문턱전압을 빼지 않는 것이다. 반드시 두 동작점에서 각각 $V_{GS} - V_{TH}$를 구한 뒤 그 비를 제곱해야 한다. 또한 비례상수의 정의에 포함될 수 있는 1/2은 두 동작점의 비를 취하면 소거되므로 다시 곱하지 않는다.

**다시 나오면 이렇게 판단**

같은 증가형 MOSFET의 두 동작점이 주어지면 먼저 각 과구동전압 $V_{GS} - V_{TH}$을 구하고, $I_{D2} = I_{D1}[(V_{GS2} - V_{TH})/(V_{GS1} - V_{TH})]^2$에 대입한 뒤 전류의 증감 방향과 단위를 검산한다.

**암기 포인트**

증가형 MOSFET의 포화 영역에서는 $I_D \propto (V_{GS} - V_{TH})^2$이다. 문턱전압을 빼고, 그 비를 제곱한다.

NoteBase

19. 다음은 이상적 연산증폭기(OP AMP) 특성을 설명한 것이다. 이 중 가장 옳지 않은 것은?
① 개방 루프(open loop) 전압 이득은 영(0)이다.
② 입력 저항은 무한대이고, 출력 저항은 영(0)이다.
③ 단위 이득(unity gain) 주파수는 무한대이다.
④ 입력 오프셋(input offset) 전류 또는 전압은 영(0)이다.

**정답 1번**

**출제 포인트**

이 문제는 이상적 연산증폭기의 개방 루프 전압 이득, 입·출력 저항, 단위 이득 주파수, 입력 오프셋의 이상값을 구별하는 문제이다.

**핵심 개념**

이상적 연산증폭기는 입력 신호를 완벽하게 증폭하고 입력에서 전류를 끌어가지 않으며 출력 전압이 부하의 영향을 받지 않는다고 가정한 회로 모델이다. 개방 루프 전압 이득은 $A_{OL} \to \infty$, 입력 저항은 $R_i \to \infty$, 출력 저항은 $R_o = 0$이다. 또한 대역폭과 단위 이득 주파수는 무한대이며, 입력 오프셋 전압과 입력 오프셋 전류는 0이다.

**선지별 해설**

① X — '개방 루프 전압 이득은 0'이 틀린 표현이다. 이상적 연산증폭기의 개방 루프 전압 이득은 무한대이다. 즉, $A_{OL} = 0$이 아니라 $A_{OL} \to \infty$이다.
② O — 입력 저항이 무한대이면 입력 전류가 0이 되고, 출력 저항이 0이면 부하에 관계없이 이상적인 전압원처럼 동작한다.
③ O — 이상적 연산증폭기는 대역폭이 무한대이므로 이득이 1이 되는 단위 이득 주파수도 무한대로 본다.
④ O — 이상적 소자에서는 두 입력단의 불일치가 없으므로 입력 오프셋 전류와 입력 오프셋 전압을 모두 0으로 본다.

**오답 포인트**

①의 '영(0)'을 출력 저항의 이상값과 혼동하기 쉽다. 0이 되는 것은 출력 저항과 입력 오프셋이고, 개방 루프 전압 이득과 입력 저항 및 단위 이득 주파수는 무한대이다.

**다시 나오면 이렇게 판단**

이상적 연산증폭기의 특성을 물으면 먼저 0인 값과 무한대인 값을 나눈다. 출력 저항·오프셋은 0, 개방 루프 전압 이득·입력 저항·대역폭·단위 이득 주파수는 무한대로 판단한다.

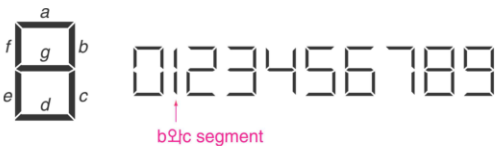
NoteBase

**암기 포인트**

이상적 OP AMP는 ‘출력 저항·오프셋은 0, 이득·입력 저항·대역폭은 무한대’이다.

NoteBase

20. BCD 코드 – 7 세그먼트(segment) 디스플레이 코드 변환기를 설계하고자 한다. 세그먼트 g에 대한 식으로 옳은 것은?
(단, BCD 코드 'ABCD'에서 A 비트는 MSB이다.)




① g = $C + BD + B\ D$
② g = $B + C\ + D$
③ g = $A + B\overline{C}\ + \overline{B}\ C + C\ D$
④ g = $A + B\overline{C}\ + B\,\overline{D} + \overline{C}\ \overline{D}$

**정답 3번**

### 출제 포인트

BCD 입력에서 가운데 세그먼트 $g$가 켜지는 숫자를 진리표로 나타내고, 사용하지 않는 10~15의 입력을 무관항으로 처리하여 논리식을 최소화하는 문제이다.

### 조건 정리

BCD 코드 $ABCD$에서 $A$는 MSB이고 각 비트의 가중치는 8, 4, 2, 1이다. 가운데 세그먼트 $g$는 숫자 2, 3, 4, 5, 6, 8, 9에서 켜지고 0, 1, 7에서는 꺼진다. 따라서 $g = 1$인 최소항은 $\Sigma m(2, 3, 4, 5, 6, 8, 9)$이며, BCD에서 사용하지 않는 10~15는 무관항으로 둔다.

### 사용할 공식

카르노 맵에서 1과 무관항을 묶으면 다음과 같이 최소화할 수 있다.
$g = A + B\overline{C} + \overline{B}C + C\overline{D}$
이 식에서 $A$는 8과 9를, $B\overline{C}$는 4와 5를, $\overline{B}C$는 2와 3을, $C\overline{D}$는 2와 6을 포함한다. 그러므로 필요한 모든 숫자에서만 $g = 1$이 된다.

### 계산 과정

1. 표시 모양에서 $g$가 켜지는 숫자를 2, 3, 4, 5, 6, 8, 9로 찾는다.
2. 이를 BCD 최소항 $m(2), m(3), m(4), m(5), m(6), m(8), m(9)$로 옮긴다.
3. 10~15를 무관항으로 포함해 카르노 맵을 묶으면 $A$, $B\overline{C}$, $\overline{B}C$, $C\overline{D}$의 항을 얻는다.
4. 각 항을 OR로 결합한 식이 ③이다.

NoteBase

### 선지 판단

① X — $C + BD + \overline{B}D$는 $C + D$로 단순화되므로 숫자 1의 BCD 입력 0001에서도 $g = 1$이 된다. 그러나 숫자 1에서는 가운데 세그먼트가 꺼져야 한다. 올바르게는 $g = A + B\overline{C} + \overline{B}C + C\overline{D}$이다.
② X — $B + C + D$는 숫자 1과 7에서도 1이 되어 가운데 세그먼트를 잘못 켠다. 올바르게는 $g = A + B\overline{C} + \overline{B}C + C\overline{D}$이다.
③ O — 카르노 맵 최소화 결과인 $A + B\overline{C} + \overline{B}C + C\overline{D}$는 2, 3, 4, 5, 6, 8, 9에서 $g = 1$, 0, 1, 7에서 $g = 0$을 만든다.
④ X — 이 식은 숫자 0의 입력 0000에서 $\overline{CD} = 1$이 되어 꺼져야 할 $g$를 켜며, 숫자 2의 입력 0010에서는 모든 항이 0이 되어 켜져야 할 $g$를 끈다. 올바르게는 $g = A + B\overline{C} + \overline{B}C + C\overline{D}$이다.

### 오답 포인트

세그먼트 이름과 BCD 비트 이름을 혼동하기 쉽다. 특히 도식의 $g$는 가운데 가로 세그먼트이고, 입력 $ABCD$의 $B$, $C$, $D$는 각각 BCD 비트이다. 또한 10~15를 0으로 고정하지 않고 무관항으로 활용해야 식을 간단히 만들 수 있다.

### 다시 나오면 이렇게 판단

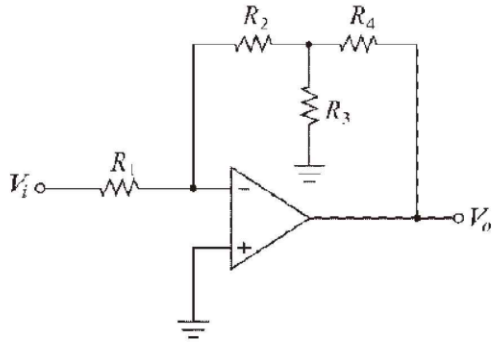
먼저 해당 세그먼트가 켜지는 숫자 목록을 만든 뒤, 이를 BCD 최소항으로 바꾸고 10~15를 무관항으로 넣어 카르노 맵을 최소화한다. 마지막에는 꺼져야 하는 0, 1, 7을 식에 대입하여 오동작 여부를 검산한다.

### 암기 포인트

가운데 세그먼트 $g$는 2, 3, 4, 5, 6, 8, 9에서 켜지고 0, 1, 7에서 꺼진다.

NoteBase

21. 다음 T형 회로를 갖는 반전 증폭기에서 각 저항 $R = R_2 = R_4 = 1\mathrm{M}\Omega$이고, $R_3 = 10\mathrm{k}\Omega$일 때, 출력 전압 를 구하시오.
(단, 연산 증폭기는 이상적이다.)




① $V_o \quad -82\,V_i$
② $V_o = -92\,V_i$
③ $V_o = -102\,V_i$
④ $V_o = -112\,V_i$

**정답 3번**

### 출제 포인트

이 문제는 이상적 연산증폭기의 가상접지와 키르히호프의 전류 법칙(KCL)을 이용하여 T형 피드백 반전 증폭기의 전압 이득을 구하는 문제이다.

### 조건 정리

주어진 값: $R = R_2 = R_4 = 1M\Omega$, $R_3 = 10k\Omega$이다.
구해야 할 값: 입력 전압 $V_i$에 대한 출력 전압 $V_o$이다.
주의할 조건: 이상적 연산증폭기이고 비반전 입력이 접지되어 있으므로 반전 입력 노드의 전압은 $0V$이며, 입력 단자로 흐르는 전류는 0이다.

### 사용할 공식

$\frac{V_i}{R} + \frac{V_x}{R_2} = 0$
$\frac{V_x}{R_2} + \frac{V_x}{R_3} + \frac{V_x - V_o}{R_4} = 0$
여기서 $V_x$는 $R_2$, $R_3$, $R_4$가 만나는 노드의 전압이다. 반전 입력 노드가 가상접지이고 연산증폭기 입력 전류가 0이므로 각 노드에 KCL을 적용한다.

NoteBase

### 계산 과정

1. 반전 입력 노드에 KCL을 적용한다.
$\frac{V_i}{R}+\frac{V_x}{R_2}=0 \quad \Rightarrow \quad V_x=-\frac{R_2}{R}V_i=-V_i$
2. $V_x$ 노드에 KCL을 적용하여 출력 전압을 정리한다.
$V_o=V_x\left(1+\frac{R_4}{R_2}+\frac{R_4}{R_3}\right)$
3. 저항비는 $R_4/R_2=1$, $R_4/R_3=(1M\Omega)/(10k\Omega)=100$이므로 다음과 같다.
$V_o=(-V_i)(1+1+100)=-102V_i$

### 선지 판단

① X — $V_o=-82V_i$는 계산 결과 $-102V_i$와 다르다. 틀린 계수 82를 102로 고치면 $V_o=-102V_i$이다.
② X — $V_o=-92V_i$는 T형 피드백망의 전체 저항비를 반영한 결과가 아니다. 틀린 계수 92를 102로 고치면 $V_o=-102V_i$이다.
③ O — 두 노드에 KCL을 적용한 결과가 $V_o=-102V_i$이므로 옳다.
④ X — $V_o=-112V_i$는 계산 결과보다 이득의 절댓값을 10 크게 잡은 값이다. 틀린 계수 112를 102로 고치면 $V_o=-102V_i$이다.
따라서 계산 결과가 $V_o=-102V_i$이므로 정답은 3번이다.

### 오답 포인트

단순 반전 증폭기의 이득 $-R_f/R$만 적용하면 T형 피드백망의 중간 저항 $R_3$ 효과를 놓친다. 특히 $R_4/R_3=100$에 더해 상수항 1과 $R_4/R_2=1$도 합산해야 하므로 전체 계수는 100이 아니라 102이다. 반전 증폭기이므로 출력의 음의 부호도 유지한다.

### 다시 나오면 이렇게 판단

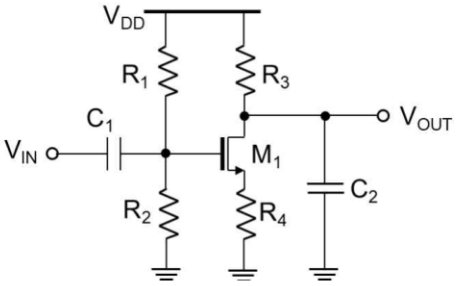
이상적 반전 증폭기의 비반전 입력이 접지되어 있으면 먼저 반전 입력을 가상접지로 둔다. 이어 반전 입력 노드와 T망의 접합 노드에 각각 KCL을 적용한 뒤, 저항비의 단위를 통일하여 전압 이득과 부호를 검산한다.

### 암기 포인트

T형 피드백 반전 증폭기는 두 노드 KCL로 풀며, 이 회로의 이득은 $V_o/V_i=-(R_2/R)(1+R_4/R_2+R_4/R_3)$이다.

NoteBase

22. 다음 회로에 관한 설명 중 옳지 않은 것은? (단, $M_1$은 항상 포화영역에 있다고 가정하시오. 또, 회로도에 표시되지 않은 기생 성분의 영향은 무시하시오.)




① 저역 차단주파수 $f$ 은 $C_1$과 $R_1 \| R_2$에 의해 결정된다.
② 고역 차단주파수 $f_H$는 $R_4$와 $C_2$에 의해 결정된다.
③ $R_3$가 커지면 중간주파수에서의 이득이 커진다.
④ $R_1$이 작아지면 중간주파수에서의 이득이 커진다.

**정답 2번**

### 출제 포인트

이 문제는 결합 커패시터가 만드는 저역 차단주파수, 출력 커패시터가 만드는 고역 차단주파수, 공통 소스 증폭기의 중간주파수 이득을 회로에서 판단하는 문제이다.

### 조건 정리

$M_1$은 항상 포화영역에 있고 회로에 표시되지 않은 기생 성분은 무시한다. 중간주파수에서는 $C_1$을 단락, $C_2$를 개방으로 본다. 차단주파수를 구할 때에는 각 커패시터가 바라보는 등가저항을 찾는다.

### 사용할 공식

저역 차단주파수는 $f_L = \frac{1}{2\pi C_1(R_1 \| R_2)}$이고, 출력에 접속된 $C_2$에 의한 고역 차단주파수는 $f_H \simeq \frac{1}{2\pi R_3 C_2}$이다. 중간주파수 전압이득의 크기는 $|A_V| \simeq \frac{g_m R_3}{1+g_m R_4}$로 본다. 첫 두 식은 해당 커패시터가 바라보는 등가저항과의 시정수로 차단주파수를 정하기 때문에 사용하며, 마지막 식은 소스 저항 $R_4$가 있는 공통 소스 증폭기의 이득식이다.

NoteBase

**판단 과정**

1. $C_1$이 바라보는 입력 저항은 MOSFET 게이트 전류가 거의 0이므로 $R_1 \parallel R_2$이다.
2. $C_2$는 드레인 출력 노드와 접지 사이에 있으므로, 전원인 $V_{DD}$를 교류 접지로 놓으면 주된 등가저항은 $R_3$이다.
3. 중간주파수 이득식에서 $R_3$가 커지면 $|A_v|$가 커진다. 또한 $R_1$이 작아지면 분압된 게이트 직류전압이 높아져 $g_m$이 커지고, $|A_v| = g_m R_3/(1 + g_m R_4)$도 커진다.

**선지 판단**

① O — $C_1$과 $R_1 \parallel R_2$의 시정수가 저역 차단주파수 $f_L$을 결정한다.

② X — 틀린 표현은 '$R_4$와 $C_2$에 의해 결정된다'이다. $C_2$는 드레인 출력 노드에 접속되어 있으므로, 올바르게는 $R_3$와 $C_2$의 시정수가 고역 차단주파수 $f_H$를 결정한다고 해야 한다.

③ O — $|A_v| \simeq g_m R_3/(1 + g_m R_4)$이므로 다른 조건이 같을 때 $R_3$가 커지면 중간주파수 이득의 크기가 커진다.

④ O — $R_1$이 작아지면 $V_G = V_{DD} R_2/(R_1 + R_2)$가 커지고, 포화영역에서 동작하는 $M_1$의 바이어스 전류와 $g_m$이 증가하므로 중간주파수 이득의 크기가 커진다.

**오답 포인트**

②에서 $R_4$가 중간주파수 이득식에 들어간다는 사실을 보고 고역 차단주파수도 $R_4$가 정한다고 착각하기 쉽다. 차단주파수는 커패시터의 실제 접속 노드를 먼저 본다. $C_2$는 소스가 아니라 드레인 출력 노드에 접속되어 있으므로 $R_3$와 짝을 이룬다.

**다시 나오면 이렇게 판단**

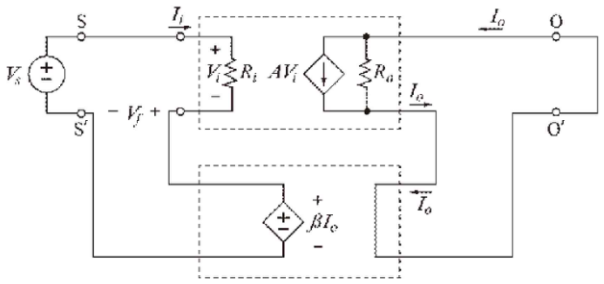
커패시터가 있는 증폭기에서는 먼저 중간주파수에서 커패시터를 단락 또는 개방하여 이득을 구하고, 차단주파수에서는 해당 커패시터가 바라보는 등가저항을 찾는다. 입력 결합 커패시터는 입력 저항, 출력 접지 커패시터는 출력 저항과 시정수를 만든다.

**암기 포인트**

$C_1$-입력저항은 저역 차단, $C_2$-출력저항은 고역 차단, $R_4$는 소스 퇴화에 의한 이득 감소와 연결된다.

NoteBase

23. 다음 회로에 대한 설명으로 가장 옳은 것은? (단, $\beta$는 귀환율이다.)




① 병렬-병렬 귀환 증폭기이고, $\beta = I_o$ 이다.
② 병렬-직렬 귀환 증폭기이고, $\beta = I_o / V_f$ 이다.
③ 직렬-병렬 귀환 증폭기이고, $\beta = V_f$ 이다.
④ 직렬-직렬 귀환 증폭기이고, $\beta = V_f / I_o$ 이다.

**정답 4번**

**출제 포인트**

입력 쪽에서 귀환 신호가 직렬로 혼합되는지, 출력 쪽에서 전압 또는 전류를 표본 추출하는지를 회로 연결로 판별하는 문제이다. 그림에서는 귀환 전압 $V_f$가 입력 전압과 직렬로 비교되고, 출력 전류 $I_o$가 흐르는 경로에 귀환 회로가 직렬로 놓이므로 직렬-직렬 귀환이다.

**선지별 해설**

① X — 입력에서는 $V_f$가 전원과 직렬로 연결되고 출력에서는 $I_o$를 직렬로 검출하므로 병렬-병렬 귀환이 아니다. 또한 귀환율은 출력 신호에 대한 귀환 신호의 비이므로 단순히 $I_o$가 될 수 없다. 올바르게는 '직렬-직렬 귀환 증폭기이고, $\beta = V_f/I_o$이다'이다.

② X — 출력 전류를 직렬로 검출하는 부분은 직렬 표본 추출에 해당하지만, 입력 귀환 신호는 입력 단자에 병렬로 주입되지 않고 전원과 직렬로 비교된다. 또 $I_o/V_f$는 귀환율의 역수이다. 올바르게는 '직렬-직렬 귀환 증폭기이고, $\beta = V_f/I_o$이다'이다.

③ X — 입력의 직렬 혼합은 맞지만 출력은 출력 단자에 병렬로 접속하여 전압을 검출하는 구조가 아니라 출력 전류 경로에 직렬로 접속하여 $I_o$를 검출하는 구조이다. 또한 귀환율은 $V_f$만이 아니라 출력에 대한 귀환 신호의 비로 정의한다. 올바르게는 '직렬-직렬 귀환 증폭기이고, $\beta = V_f/I_o$이다'이다.

④ O — 입력에서 $V_i = V_s - V_f$로 전압을 직렬 비교하고, 출력에서는 전류 $I_o$를 직렬로 표본 추출한다. 그림의 종속 전압원이 $\beta I_o$이므로 $V_f = \beta I_o$, 따라서 $\beta = V_f/I_o$이다.

NoteBase

### 오답 포인트

입력의 직렬·병렬은 귀환 신호가 입력원과 어떻게 혼합되는지를 보고, 출력의 직렬·병렬은 어떤 출력량을 검출하는지를 보아야 한다. 특히 그림의 $\beta I_o$를 귀환율 자체로 착각하거나 비를 뒤집어 $I_o/V_f$로 쓰는 것이 함정이다.

### 다시 나오면 이렇게 판단

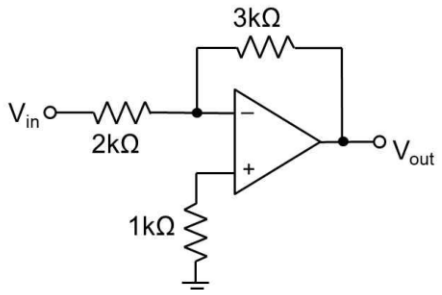
먼저 입력에서 귀환 신호가 전압으로 직렬 삽입되는지 전류로 병렬 주입되는지를 확인한다. 다음으로 출력 회로와 직렬이면 출력 전류를, 출력 단자와 병렬이면 출력 전압을 표본 추출한다고 판단한다. 마지막으로 귀환율은 항상 '귀환 신호/출력 신호'로 정한다.

### 암기 포인트

입력 직렬 혼합 + 출력 전류 직렬 검출 = 직렬-직렬 귀환, $\beta = V_f/I_o$이다.

NoteBase

24. 다음 연산증폭기를 이용한 증폭기회로의 입력 저항으로 가장 옳은 것은?
(단, 연산증폭기는 이상적이다.)




① 1k
② 1.2kΩ
③ 2kΩ
④ 5kΩ

**정답 3번**

**출제 포인트**

이 문제는 이상적인 연산증폭기의 가상접지 성질을 이용해 반전 증폭기의 입력저항을 구하는 문제이다.

**조건 정리**

주어진 값: 입력 단자와 반전 입력 단자 사이의 저항은 2$k\Omega$, 피드백 저항은 3$k\Omega$, 비반전 입력 단자와 접지 사이의 저항은 1$k\Omega$이다.
구해야 할 값: 입력 단자 $V_{in}$에서 증폭기 쪽을 바라본 입력저항이다.
주의할 조건: 이상적인 연산증폭기의 입력 전류는 0이고, 음의 피드백이 걸린 선형 동작에서는 $V_- = V_+$이다.

**사용할 공식**

$R_{in} = \frac{V_{in}}{I_{in}}$

비반전 입력 단자는 1$k\Omega$를 거쳐 접지되어 있다. 이상적인 연산증폭기에는 입력 전류가 흐르지 않으므로 이 저항의 전압 강하는 0이고 $V_+ = 0$이다. 음의 피드백에 따라 $V_- = V_+ = 0$이 되어 반전 입력 단자는 가상접지가 된다. 따라서 입력 전류는 입력 측의 2$k\Omega$ 저항으로만 결정된다.

NoteBase

### 계산 과정

가상접지에 의해 반전 입력 단자의 전압은 $0V$이다.
$I_{in} = \frac{V_{in} - 0}{2k\Omega}$
따라서
$R_{in} = \frac{V_{in}}{I_{in}} = 2k\Omega$
그러므로 입력저항은 $2k\Omega$이다.

### 선지 판단

① X — $1k\Omega$는 비반전 입력 단자를 접지에 연결한 저항이며, 이상적인 연산증폭기의 입력 전류가 0이므로 입력저항을 결정하지 않는다. 올바르게는 입력저항이 $2k\Omega$이다.
② X — $1.2k\Omega$는 이 회로의 입력 단자에서 본 등가저항이 아니다. 입력 전류가 흐르는 입력 저항 $2k\Omega$를 사용하므로 올바르게는 $2k\Omega$이다.
③ O — 반전 입력 단자가 가상접지이므로 $I_{in} = V_{in}/(2k\Omega)$이고, 입력저항은 $2k\Omega$이다.
④ X — $5k\Omega$는 입력 저항 $2k\Omega$와 피드백 저항 $3k\Omega$를 단순히 더한 값이다. 두 저항은 입력 전류에 대해 직렬이 아니므로 올바르게는 입력저항이 $2k\Omega$이다.

### 오답 포인트

피드백 저항 $3k\Omega$는 폐루프 전압이득 $-R_f/R_{in}$을 정할 때 사용되지만, 이상적인 반전 증폭기의 입력저항에는 포함되지 않는다. 또한 비반전 입력 쪽의 $1k\Omega$에도 입력 전류가 흐르지 않으므로 이를 입력저항으로 보아서는 안 된다.

### 다시 나오면 이렇게 판단

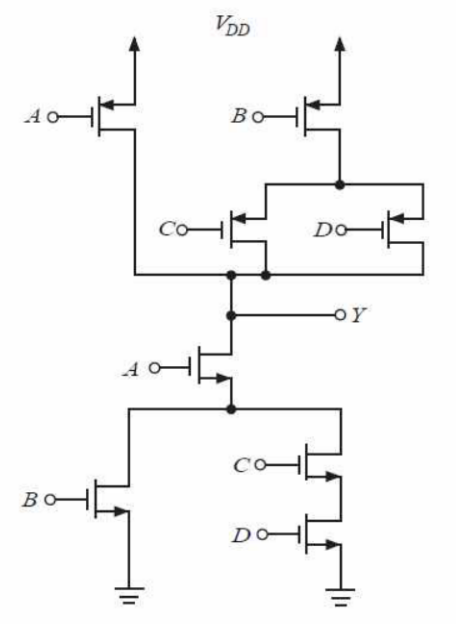
이상적인 반전 증폭기에서는 먼저 비반전 입력의 전압을 확인하고, 음의 피드백으로 반전 입력도 같은 전압이 되는 가상단락을 적용한다. 비반전 입력이 접지 전위이면 반전 입력을 가상접지로 놓고 입력 전류가 실제로 흐르는 입력 측 저항만으로 입력저항을 계산한다.

### 암기 포인트

이상적인 반전 증폭기의 입력저항은 입력 단자와 가상접지 사이에 연결된 저항이다.

NoteBase

25. 다음 CMOS로 구성된 논리회로에서 출력 의 논리식을 구하시오.




① $A+B+CD$
② $A(BC+D)$
③ $A+B(C+D)$
④ $\overline{A(B+CD)}$

**정답 4번**

**출제 포인트**

CMOS 회로의 NMOS 풀다운망에서 출력이 0이 되는 도통 조건을 구한 뒤, 그 조건을 부정하여 출력 논리식을 구하는 문제이다. 그림에서 NMOS *A*는 전체 망과 직렬이고, 그 아래에서 NMOS *B* 한 개의 경로와 NMOS *C*, *D*의 직렬 경로가 병렬로 연결되어 있다.

NoteBase

**선지별 해설**

① X — $A + B + CD$는 풀다운망의 직렬·병렬 구조와 출력 반전을 모두 잘못 반영한 식이다. NMOS망의 도통 조건은 $A(B + CD)$이고, 출력은 그 보수이므로 올바르게는 $Y = \overline{A(B + CD)}$이다.

② X — $A(BC + D)$는 $B$와 $C$를 직렬로, $D$를 별도 병렬 경로로 본 식이어서 그림의 연결과 다르며 출력 반전도 빠졌다. 올바르게는 $B$가 단독 경로이고 $C, D$가 직렬 경로이므로 $Y = \overline{A(B + CD)}$이다.

③ X — $\overline{A + B(C + D)}$는 $A$를 다른 경로와 병렬로 보고 $B$를 $C + D$와 직렬로 본 식이다. 그림의 풀다운망에서는 $A$가 반드시 먼저 도통해야 하므로 올바르게는 $Y = \overline{A(B + CD)}$이다.

④ O — NMOS 풀다운망은 $A$와 $B + CD$가 직렬인 구조이므로 출력이 0이 되는 조건은 $A(B + CD) = 1$이다. CMOS 출력은 이 도통 조건의 보수이므로 $Y = \overline{A(B + CD)}$이다.

**오답 포인트**

핵심 함정은 NMOS망에서 직렬 연결을 AND, 병렬 연결을 OR로 바꾸는 과정과 최종 보수 처리를 동시에 해야 한다는 점이다. 특히 ②와 ③처럼 트랜지스터의 물리적 연결 순서를 잘못 묶거나, ①과 ②처럼 풀다운 조건을 그대로 출력식으로 쓰면 오답이 된다.

**다시 나오면 이렇게 판단**

먼저 출력에서 접지까지 이어지는 NMOS 경로만 본다. 직렬은 AND, 병렬은 OR로 바꾸어 풀다운 도통 조건을 만든 뒤, CMOS 출력 논리식은 그 전체 조건에 보수를 취한다.

**암기 포인트**

NMOS 풀다운 조건은 '직렬 AND, 병렬 OR', 출력은 그 조건의 보수이다.

NoteBase