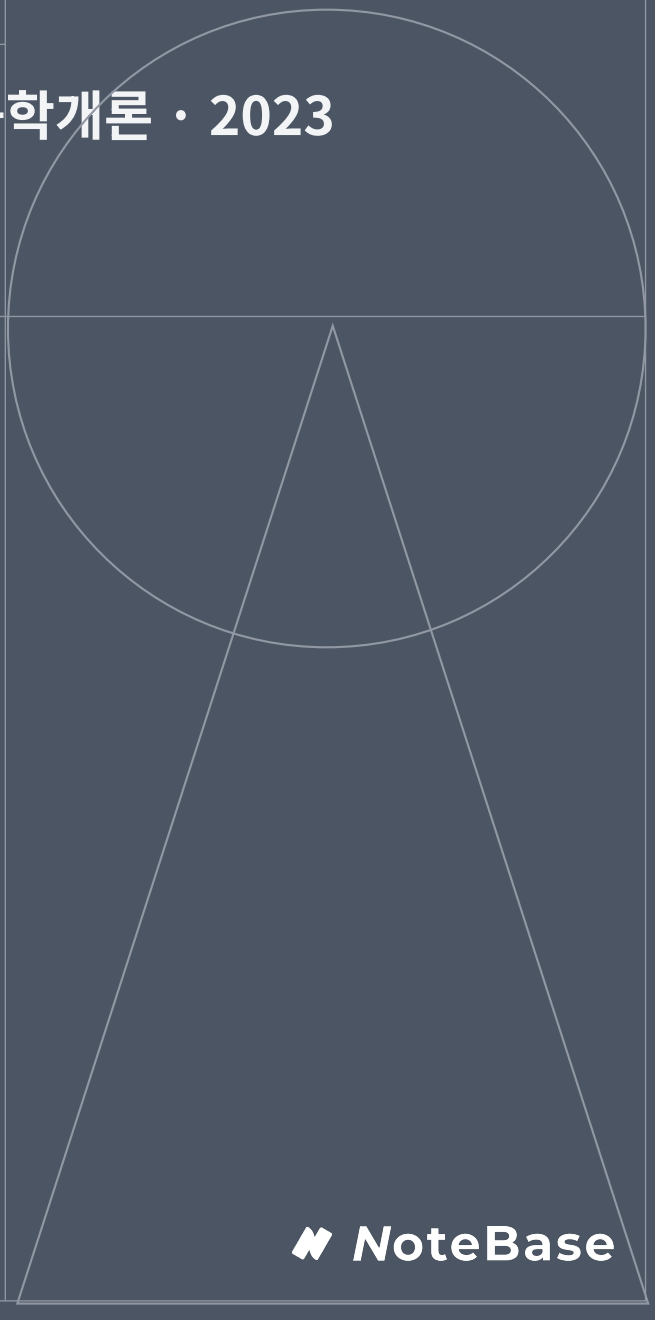
기출OX 해설집

공무원/국회직/9급 · 전자공학개론 · 2023



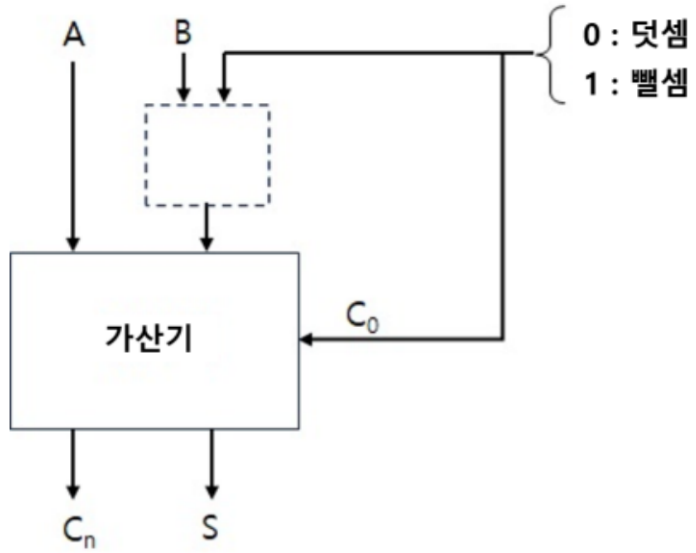
NoteBase

기출OX 해설집

공무원/국회직/9급 · 전자공학개론 · 2023

공무원/국회직/9급 · 전자공학개론 · 2023

1. 그림과 같은 가감산기 회로에서 B입력에 대한 2의 보수처리를 위하여 사각형 점선에 삽입되어야 할 논리게이트로 옳은 것은?



① OR
② XOR
③ AND
④ NAND
⑤ XNOR

정답 2번

출제 포인트

가감산기에서 제어 입력 C_0가 0일 때는 B를 그대로 통과시키고, 1일 때는 B를 반전시켜 2의 보수 뺄셈을 만드는 논리게이트를 판단하는 문제이다.

NoteBase

선지별 해설

① X — OR 게이트에서는 $C_0 = 0$일 때 출력이 B이지만, $C_0 = 1$이면 출력이 항상 1이 되어 B의 반전값을 만들지 못한다. OR가 아니라 XOR를 사용해야 한다.
② O — XOR의 출력은 $B \oplus C_0$이다. $C_0 = 0$이면 B가 그대로 나오고, $C_0 = 1$이면 $\overline{B}$가 나온다. 이때 가산기의 자리올림 입력에도 $C_0 = 1$이 들어가므로 $A + \overline{B} + 1 = A - B$가 된다.
③ X — AND 게이트에서는 $C_0 = 0$일 때 출력이 항상 0이므로 덧셈에서 B를 그대로 전달할 수 없다. AND가 아니라 XOR를 사용해야 한다.
④ X — NAND 게이트에서는 $C_0 = 0$일 때 출력이 항상 1이고, $C_0 = 1$일 때만 $\overline{B}$가 되어 덧셈 동작이 성립하지 않는다. NAND가 아니라 XOR를 사용해야 한다.
⑤ X — XNOR 게이트에서는 $C_0 = 0$일 때 $\overline{B}$, $C_0 = 1$일 때 B가 출력되어 필요한 동작과 반대이다. XNOR가 아니라 XOR를 사용해야 한다.

오답 포인트

2의 보수는 B를 반전하는 것만으로 끝나지 않고 1을 더해야 한다. 이 회로에서는 XOR가 B의 조건부 반전을 담당하고, 동시에 C_0가 가산기의 자리올림 입력으로 들어가 필요한 1을 더한다.

다시 나오면 이렇게 판단

선택 신호가 0일 때 입력을 그대로 통과시키고 1일 때 반전해야 하는 회로는 XOR로 판단한다. 가감산기에서는 $B' = B \oplus C_0$, 입력 자리올림은 C_0로 두어 덧셈과 뺄셈을 전환한다.

암기 포인트

가감산기의 뺄셈 전환은 ‘B는 XOR로 반전하고, 자리올림 입력으로 1을 더한다’이다.

NoteBase

2. 그림과 같은 상태표를 갖는 카운터를 3개의 T플립플롭 A, B, C를 이용하여 설계하려고 할 경우, T플립플롭 B의 입력 T_B 로 옳은 것은?

이전 상태			현재 상태		
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A
0	0	0	1	0	0
0	1	0	0	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	1	1	0	1	0

① $A\overline{B}+BC$

② $\overline{A}C+B\overline{C}$

③ $AC+A\overline{B}$

④ $A\oplus C$

⑤ $A+B$

정답 4번

출제 포인트

T플립플롭의 이전 출력과 현재 출력을 비교하여 입력 T_B를 구하고, 이를 상태변수의 논리식으로 나타내는 문제이다.

조건 정리

T플립플롭 B의 출력이 유지되면 $T_B = 0$, 반전되면 $T_B = 1$이다. 표의 상태변수는 $A = Q_A$, $B = Q_B$, $C = Q_C$로 둔다.

사용할 공식

T플립플롭의 여기식은 T_B=Q_B(이전) Q_B(현재)이다. 배타적 논리합은 두 값이 다를 때만 1이므로, B의 상태 변화 여부를 판별하는 데 이 식을 사용한다.

NoteBase

계산 과정

표의 각 행에서 B의 변화를 읽으면 다음과 같다.
$(Q_C, Q_B, Q_A) = 000$: $0 \to 0$이므로 $T_B = 0$이다.
$(Q_C, Q_B, Q_A) = 010$: $1 \to 1$이므로 $T_B = 0$이다.
$(Q_C, Q_B, Q_A) = 011$: $1 \to 0$이므로 $T_B = 1$이다.
$(Q_C, Q_B, Q_A) = 100$: $0 \to 1$이므로 $T_B = 1$이다.
$(Q_C, Q_B, Q_A) = 111$: $1 \to 1$이므로 $T_B = 0$이다.
이 결과는 모든 제시 상태에서 A와 C가 다를 때만 1이 되므로 $T_B = A \oplus C$로 정리된다.

선지 판단

① X — $A\overline{B} + BC$는 $(Q_C, Q_B, Q_A) = 011$, 즉 $(A, B, C) = (1, 1, 0)$에서 0이지만 실제 T_B는 1이다. 틀린 식이며, 올바르게는 $A \oplus C$이다.
② X — $\overline{A}C + B\overline{C}$는 $(Q_C, Q_B, Q_A) = 010$에서 1이지만 B가 유지되므로 실제 T_B는 0이다. 틀린 식이며, 올바르게는 $A \oplus C$이다.
③ X — $AC + A\overline{B}$는 $(Q_C, Q_B, Q_A) = 100$, 즉 $(A, B, C) = (0, 0, 1)$에서 0이지만 실제 T_B는 1이다. 틀린 식이며, 올바르게는 $A \oplus C$이다.
④ O — $A \oplus C$는 A와 C가 다른 011, 100 상태에서만 1이고, 나머지 제시 상태에서는 0이 되어 B의 반전 여부와 정확히 일치한다.
⑤ X — $A + B$는 $(Q_C, Q_B, Q_A) = 010$에서 1이지만 실제 T_B는 0이다. 틀린 식이며, 올바르게는 $A \oplus C$이다.

오답 포인트

T플립플롭 입력을 현재의 Q_B 값 자체로 판단하면 안 된다. T_B는 B의 출력값이 아니라 B가 두 상태 사이에서 바뀌었는지를 나타내며, 표의 열 순서가 Q_C, Q_B, Q_A이므로 A와 C를 뒤바꾸어 읽지 않아야 한다.

다시 나오면 이렇게 판단

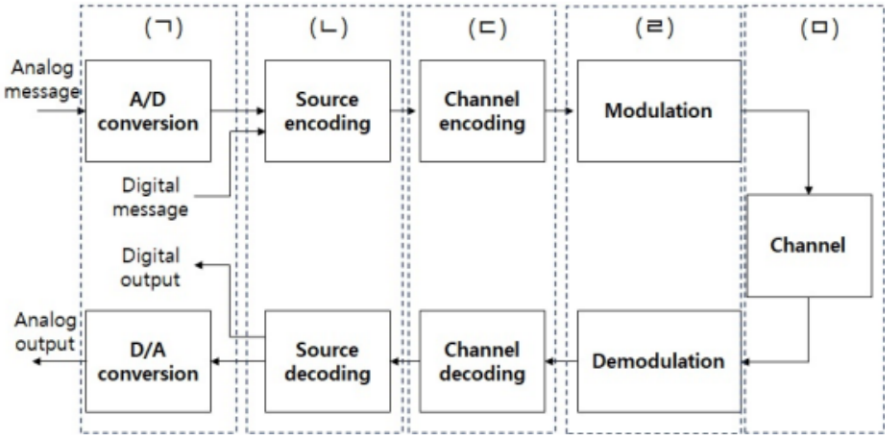
각 행에서 해당 플립플롭의 이전 출력과 현재 출력을 XOR하여 T 입력값을 먼저 구한 뒤, 그 결과가 1인 상태들의 공통 조건을 찾아 논리식을 정리한다.

암기 포인트

T플립플롭은 유지하면 $T = 0$, 반전하면 $T = 1$이며, 여기식은 T=Q(이전) Q(현재)이다.

NoteBase

3. 그림은 디지털 통신 시스템의 블록다이어그램이다. 오류정정 기능과 관련이 있는 부분으로 옳은 것은?



① (ㄱ)

② (ㄴ)

③ (ㄷ)

④ (ㄹ)

⑤ (ㅁ)

정답 3번

출제 포인트

이 문제는 디지털 통신 시스템의 블록도에서 오류정정 기능을 담당하는 단계를 찾는 문제이다. 채널 부호화는 전송 중 발생할 수 있는 오류를 검출하거나 정정할 수 있도록 제어된 여분의 비트를 추가하고, 채널 복호화는 수신 신호에서 오류를 검출·정정한다.

NoteBase

선지별 해설

① X
(ㄱ)은 A/D 변환과 D/A 변환 단계이다. 아날로그 신호와 디지털 신호를 서로 변환하며, 오류정정 단계가 아니다. 틀린 대응인 (ㄱ)은 오류정정과 관련된 (ㄷ)으로 고쳐야 한다.

② X
(ㄴ)은 소스 부호화와 소스 복호화 단계이다. 정보의 불필요한 중복을 줄여 효율적으로 표현하거나 압축된 정보를 복원하는 기능을 담당하며, 오류정정을 위한 채널 부호화가 아니다. 틀린 대응인 (ㄴ)은 (ㄷ)으로 고쳐야 한다.

③ O
(ㄷ)은 채널 부호화와 채널 복호화 단계이다. 채널 부호화에서 오류 검출·정정에 필요한 중복 정보를 넣고, 채널 복호화에서 이를 이용하여 전송 오류를 검출하거나 정정하므로 오류정정 기능과 직접 관련된다.

④ X
(ㄹ)은 변조와 복조 단계이다. 변조는 정보를 채널 전송에 적합한 반송파 신호로 바꾸고 복조는 수신 신호에서 정보를 되찾는 과정이며, 오류정정 자체를 담당하지 않는다. 틀린 대응인 (ㄹ)은 (ㄷ)으로 고쳐야 한다.

⑤ X
(ㅁ)은 신호가 전달되는 통신 채널이다. 채널에서는 잡음이나 왜곡으로 오류가 발생할 수 있지만, 오류를 정정하는 기능은 (ㄷ)의 채널 부호화·복호화 단계가 담당한다. 따라서 틀린 대응인 (ㅁ)은 (ㄷ)으로 고쳐야 한다.

오답 포인트

소스 부호화와 채널 부호화를 혼동하기 쉽다. 소스 부호화는 원래 정보의 중복을 줄여 전송량을 줄이는 압축 기능이고, 채널 부호화는 오류 검출·정정을 위해 오히려 제어된 중복을 추가하는 기능이다. 또한 오류가 주로 채널에서 발생한다는 사실과 오류정정을 채널 자체가 수행한다는 주장은 구별해야 한다.

다시 나오면 이렇게 판단

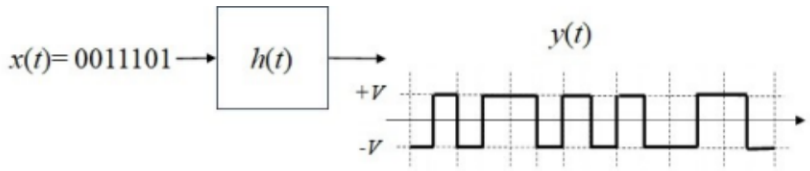
블록도에서 오류 검출·정정이라는 표현이 나오면 채널 부호화와 채널 복호화를 찾는다. 압축은 소스 부호화, 신호 형식 변환은 A/D·D/A 변환, 반송파 처리는 변조·복조, 전송 경로는 채널로 구분한다.

암기 포인트

소스 부호화는 중복을 줄이고, 채널 부호화는 오류정정을 위해 중복을 더한다.

NoteBase

4. 그림과 같은 입력신호 $x(t)$를 전송하기 위한 라인코드 시스템 $h(t)$를 나타낸다. 해당되는 라인코드 펄스 파형 $y(t)$의 이름으로 옳은 것은?



① 양극 NRZ 파형
② 양극 RZ 파형
③ CMI(Coded Mark Inversion) 파형
④ AMI(Alternate Mark Inversion) 파형
⑤ Manchester 파형

정답 5번

출제 포인트

이 문제는 입력 비트열 $x(t) = 0011101$에 대응하는 출력 파형 $y(t)$에서 각 비트 구간의 중앙마다 반드시 레벨이 바뀌는 특징을 찾아 라인코드 방식을 식별하는 문제이다. 파형은 0 레벨을 사용하지 않고 $+V$와 $-V$ 사이에서 비트 중앙 천이가 나타나므로 Manchester 파형이다.

선지별 해설

① X — 양극 NRZ는 두 비트값을 서로 반대 극성인 $+V$와 $-V$로 나타내고 각 비트 구간 동안 해당 레벨을 유지한다. 비트 중간에 의무적인 천이가 없으므로 제시된 파형과 다르다. 틀린 표현 '양극 NRZ 파형'은 '각 비트 중앙에서 천이하는 Manchester 파형'으로 고쳐야 한다.
② X — 양극 RZ는 비트값에 따라 양의 레벨 또는 음의 레벨을 사용한 뒤 비트 구간 도중 0 레벨로 복귀하는 방식이다. 제시된 파형은 0 레벨로 복귀하지 않고 $+V$와 $-V$ 사이에서 직접 천이하므로 양극 RZ가 아니다. 틀린 표현 '양극 RZ 파형'은 '두 극성 사이의 중앙 천이를 사용하는 Manchester 파형'으로 고쳐야 한다.
③ X — CMI에서는 0이 비트 중앙의 한 방향 천이로 표현되지만, 1은 비트 전체를 일정한 레벨로 유지하면서 연속된 1마다 그 레벨을 교대로 바꾼다. 따라서 모든 비트에 중앙 천이가 나타나는 제시 파형과 다르다. 틀린 표현 'CMI 파형'은 '모든 비트 중앙에 천이가 있는 Manchester 파형'으로 고쳐야 한다.
④ X — AMI는 0을 0 레벨로 나타내고, 1이 나올 때마다 $+V$와 $-V$를 교대로 사용한다. 제시된 파형에는 0 레벨 구간이 없고 각 비트 중앙 천이가 있으므로 AMI가 아니다. 틀린 표현 'AMI 파형'은 'Manchester 파형'으로 고쳐야 한다.
⑤ O — Manchester 부호는 각 비트의 중앙에서 반드시 $+V$와 $-V$ 사이의 천이가 발생하며, 천이 방향으로 0과 1을 구별한다. 제시된 파형이 이 특징을 그대로 보인다.

NoteBase

오답 포인트

파형에 양극과 음극이 모두 나타난다는 이유만으로 AMI나 CMI를 고르면 안 된다. 이 문항의 결정적 단서는 극성 자체가 아니라 '모든 비트 구간의 중앙에 천이가 있는가'이다. AMI는 0 레벨을 사용하고, CMI의 1은 비트 중앙에서 천이하지 않는다는 차이가 있다.

다시 나오면 이렇게 판단

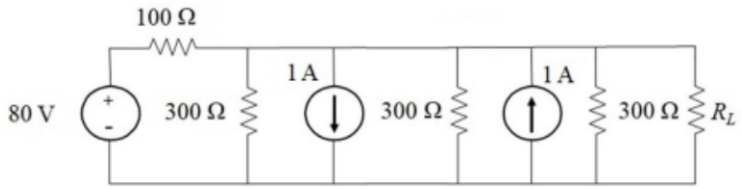
먼저 비트 경계를 기준으로 각 비트의 중앙을 확인한다. 모든 비트 중앙에서 두 레벨 사이의 천이가 반드시 나타나면 Manchester로 판단한다. 0 레벨이 있고 1의 극성이 번갈아 나타나면 AMI, 0만 중앙 천이를 하고 1은 일정 레벨을 교대로 유지하면 CMI로 구분한다.

암기 포인트

Manchester는 '매 비트 중앙 천이', AMI는 '0은 0·1은 극성 교대', CMI는 '0은 중앙 천이·1은 레벨 교대'이다.

NoteBase

5. 그림과 같은 회로에서 부하 저항 R_L이 최대 전력 전달 조건을 만족하는 저항값을 가질 경우 R_L에 전달되는 최대 전력의 값은?



① 2 W
② 4 W
③ 6 W
④ 8 W
⑤ 10 W

정답 4번

출제 포인트

이 문제는 부하 저항에서 본 테브난 등가전압과 등가저항을 구한 뒤 최대 전력 전달 조건을 적용하는 문제이다.

조건 정리

주어진 값: 전압원은 $80V$, 직렬 저항은 100Ω, 병렬 저항은 각각 300Ω이며, $1A$ 전류원 두 개는 서로 반대 방향이다.
구해야 할 값: R_L에 전달되는 최대 전력이다.
주의할 조건: 최대 전력 전달 조건은 $R_L = R_{th}$이고, 최대 전력은 $P_{L,\max} = V_{th}^2/(4R_{th})$이다.

사용할 공식

부하 단자를 개방한 전압이 V_{th}이고, 독립 전압원은 단락하고 독립 전류원은 개방했을 때 부하 단자에서 본 저항이 R_{th}이다.

$$R_L = R_{th}, \qquad P_{L,\max} = \frac{V_{th}^2}{4R_{th}}$$

이 공식을 쓰는 이유는 선형 저항 회로를 부하 단자에서 하나의 테브난 전압원과 직렬 저항으로 바꿀 수 있고, 저항성 부하의 전력은 부하 저항이 테브난 저항과 같을 때 최대가 되기 때문이다.

NoteBase

계산 과정

1. R_L을 개방하고 부하 단자 전압을 V라 한다. 아래쪽 도선을 기준전위로 잡으면, 두 $1A$ 전류원은 크기가 같고 방향이 반대이므로 마디 방정식에서 상쇄된다.

$\frac{V-80}{100} + 3\left(\frac{V}{300}\right) + 1 - 1 = 0$

$\frac{V-80}{100} + \frac{V}{100} = 0 \quad \Rightarrow \quad V_{th} = 40V$

2. 독립 전압원을 단락하고 두 독립 전류원을 개방하면, 부하 단자에서 100Ω 하나와 300Ω 세 개가 모두 병렬로 보인다.

$R_{th} = 100 \parallel 300 \parallel 300 \parallel 300 = 50\Omega$

따라서 최대 전력 조건을 만족하는 부하는 $R_L = 50\Omega$이다.

3. 최대 전력을 계산한다.

$P_{L,\max} = \frac{40^2}{4 \times 50} = 8W$

선지 판단

① X — $2W$는 계산 결과 $8W$와 다르다. 올바르게는 최대 전력이 $8W$이다.

② X — $4W$는 계산 결과의 절반에 불과하다. 올바르게는 $P_{L,\max} = 40^2/(4 \times 50) = 8W$이다.

③ X — $6W$는 테브난 등가로 구한 최대 전력과 다르다. 올바르게는 최대 전력이 $8W$이다.

④ O — $R_L = R_{th} = 50\Omega$일 때 R_L에 전달되는 전력은 $8W$로 최대이다.

⑤ X — $10W$는 계산 결과보다 크므로 최대 전달 전력이 아니다. 올바르게는 최대 전력이 $8W$이다.

오답 포인트

서로 반대 방향인 두 $1A$ 전류원을 함께 더하거나, 테브난 저항을 구할 때 전류원을 단락하는 실수가 핵심 함정이다. 또한 최대 전력 공식의 분모 $4R_{th}$에서 4를 빠뜨리면 안 된다.

다시 나오면 이렇게 판단

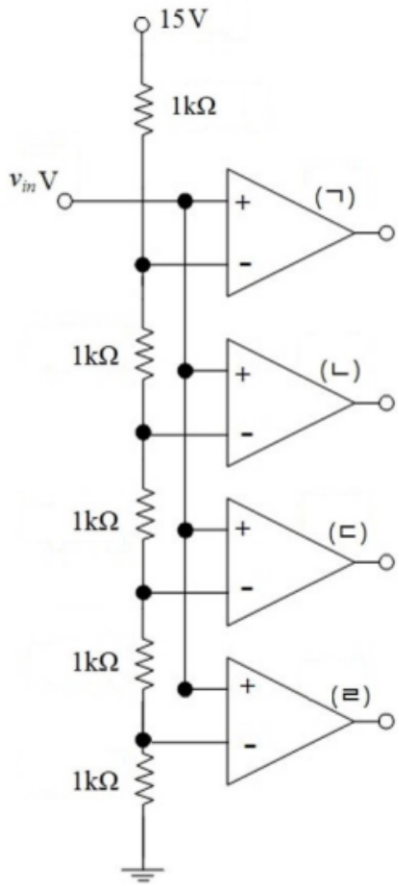
부하를 먼저 제거해 V_{th}를 구하고, 독립 전압원은 단락·독립 전류원은 개방하여 R_{th}를 구한다. 그다음 $R_L = R_{th}$와 $P_{L,\max} = V_{th}^2/(4R_{th})$를 적용한다.

암기 포인트

최대 전력 전달은 $R_L = R_{th}$, 최대 전력은 $V_{th}^2/(4R_{th})$이다.

NoteBase

6. 그림에서 비교전압이 5 V 이상인 비교기 회로로 옳은 것만을 모두 고르면? (단, 연산증폭기는 이상적인 소자이다)



① ㄱ, ㄴ
② ㄷ, ㄹ
③ ㄱ, ㄴ, ㄷ
④ ㄴ, ㄷ, ㄹ
⑤ ㄱ, ㄴ, ㄷ, ㄹ

정답 3번

출제 포인트

동일한 저항으로 이루어진 직렬 분압회로의 각 탭 전압을 구하고, 비교전압이 5V 이상인 비교기를 고르는 문제이다.

NoteBase

조건 정리

주어진 값: $15V$ 전원, 직렬로 연결된 $1k\Omega$ 저항 5개이다.
구해야 할 값: 각 비교기 (ㄱ), (ㄴ), (ㄷ), (ㄹ)의 반전 입력에 걸리는 비교전압이다.
주의할 조건: 저항값이 모두 같으므로 전체 전압은 각 저항에 동일하게 분배된다.

사용할 공식

직렬회로 전류는
$I = \frac{15V}{5k\Omega} = 3mA$
이고, 저항 하나의 전압강하는
$V_R = IR = (3mA)(1k\Omega) = 3V$
이다. 모든 저항의 값이 같아 각 구간의 전압강하가 같으므로 이 공식을 사용한다.

계산 과정

1. 아래쪽 접지를 $0V$로 보면 저항 한 개를 지날 때마다 전압이 $3V$씩 증가한다.
2. 아래에서부터 각 탭 전압은 $3V$, $6V$, $9V$, $12V$이다.
3. 따라서 (ㄱ)은 $12V$, (ㄴ)은 $9V$, (ㄷ)은 $6V$, (ㄹ)은 $3V$이다.
4. $5V$ 이상인 것은 (ㄱ), (ㄴ), (ㄷ)이다.

선지 판단

① X — (ㄱ), (ㄴ)뿐 아니라 (ㄷ)의 비교전압도 $6V$로서 $5V$ 이상이다. 올바르게는 (ㄱ), (ㄴ), (ㄷ)이다.
② X — (ㄹ)은 $3V$이므로 기준에 미달하고, (ㄱ)과 (ㄴ)이 빠져 있다. 올바르게는 (ㄱ), (ㄴ), (ㄷ)이다.
③ O — (ㄱ), (ㄴ), (ㄷ)의 비교전압은 각각 $12V$, $9V$, $6V$로 모두 $5V$ 이상이며, (ㄹ)은 $3V$이다.
④ X — (ㄹ)은 $3V$이므로 포함될 수 없고, $12V$인 (ㄱ)이 빠져 있다. 올바르게는 (ㄱ), (ㄴ), (ㄷ)이다.
⑤ X — (ㄹ)의 비교전압은 $3V$이므로 네 회로가 모두 조건을 만족하지 않는다. 올바르게는 (ㄱ), (ㄴ), (ㄷ)이다.
계산 결과 (ㄱ), (ㄴ), (ㄷ)이 조건을 만족하므로 정답은 3번이다.

오답 포인트

입력 v_{in}이 연결된 비반전 입력과 저항 분압 탭이 연결된 반전 입력을 혼동하기 쉽다. 이 문항의 비교전압은 저항 분압으로 정해지는 $12V$, $9V$, $6V$, $3V$이며, 경계가 $5V$ 이상이므로 $6V$인 (ㄷ)도 포함되고 $3V$인 (ㄹ)은 제외된다.

다시 나오면 이렇게 판단

직렬 저항의 총저항으로 전류를 구한 뒤, 저항 하나당 전압강하를 계산하고, 접지에서부터 각 탭 전압을 누적하여 기준값과 비교한다.

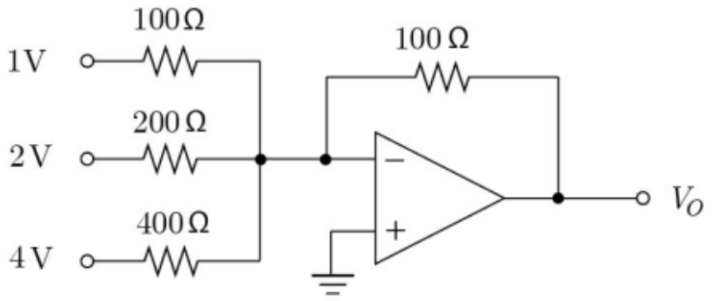
NoteBase

암기 포인트

같은 저항 5개에 $15V$가 걸리면 한 칸은 $3V$이고, 네 탭은 아래에서부터 $3-6-9-12V$이다.

NoteBase

7. 그림과 같은 회로의 출력전압으로 옳은 것은? (단, 연산증폭기는 이상적인 소자이다)



① -1 V
② -2 V
③ -3 V
④ -4 V
⑤ -5 V

정답 3번

출제 포인트

이 문제는 이상적인 반전 가산 증폭기의 출력전압을 구하는 문제이다.

조건 정리

비반전 입력 단자는 접지되어 있으므로 음의 피드백이 걸린 이상적 연산증폭기의 반전 입력 단자도 가상 접지에 의해 $0V$이다.
입력은 각각 $1V$, $2V$, $4V$이고 입력 저항은 각각 100Ω, 200Ω, 400Ω이다. 피드백 저항은 $R_f = 100\Omega$이다.
구해야 할 값은 출력전압 V_o이다.

사용할 공식

반전 가산 증폭기의 출력전압은
$V_o = -R_f\left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3}\right)$
이다. 반전 입력 노드가 가상 접지이고 연산증폭기 입력으로 전류가 흐르지 않으므로, 각 입력 저항을 통해 들어온 전류의 합이 피드백 저항으로 흐른다는 키르히호프 전류법칙을 적용한 공식이다. 앞의 음수 부호는 반전 증폭임을 나타낸다.

NoteBase

계산 과정

각 입력 가지의 전류는
$\frac{1V}{100\Omega} = 0.01A, \quad \frac{2V}{200\Omega} = 0.01A, \quad \frac{4V}{400\Omega} = 0.01A$
로 모두 같다. 따라서
$V_o = -100\Omega(0.01A + 0.01A + 0.01A) = -3V$
이다. 같은 결과를 각 가지의 출력 기여분이 모두 $-1V$이고, 이를 세 개 더하면 $-3V$가 된다고 볼 수도 있다.

선지 판단

① X — $-1V$는 입력 가지 하나의 출력 기여분일 뿐 세 가지 입력을 모두 합산한 값이 아니다. $-1V$ → 올바르게는 $-3V$이다.
② X — $-2V$는 동일한 세 입력 기여분 가운데 두 개만 합산한 값이다. $-2V$ → 올바르게는 $-3V$이다.
③ O — 세 입력 가지가 각각 $-1V$씩 기여하므로 출력전압은 $-3V$이다.
④ X — 각 입력은 입력전압 자체가 아니라 $-R_fV_i/R_i$만큼 출력에 기여하며, 세 기여분의 합은 $-4V$가 아니다. $-4V$ → 올바르게는 $-3V$이다.
⑤ X — 입력전압이나 저항값을 직접 더해서는 안 되며, 가중합 공식으로 계산한 출력은 $-5V$가 아니다. $-5V$ → 올바르게는 $-3V$이다.

오답 포인트

세 입력전압을 단순히 더하거나 일부 입력 가지를 누락하면 오답이 된다. 각 가지에서 먼저 V_i/R_i를 계산해 전류로 바꾼 뒤 모두 합하고, 반전 회로이므로 마지막에 음의 부호를 붙여야 한다.

다시 나오면 이렇게 판단

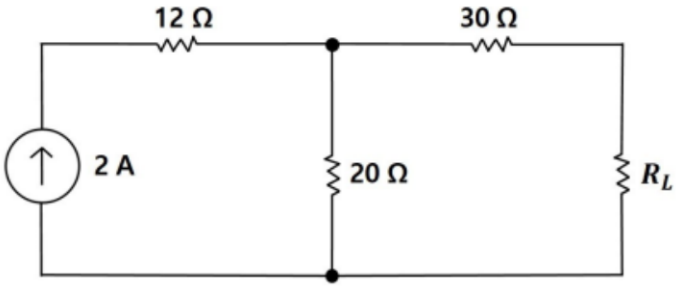
이상적인 반전 가산 증폭기는 반전 입력을 가상 접지로 두고, 각 입력의 V_i/R_i를 모두 합한 뒤 $-R_f$를 곱해 판단한다.

암기 포인트

반전 가산기: $V_o = -R_f\sum(V_i/R_i)$. 입력마다 저항비로 가중하고 전체 부호는 음수이다.

NoteBase

8. 그림과 같은 회로에서 부하저항 R_L의 테브난 등가전압(V_{th})과 테브난 등가저항(R_{th})을 계산한 값은?



① $V_{th}=40V,\ R_{th}=50\ \Omega$
② $V_{th}=40V,\ R_{th}=32\ \Omega$
③ $V_{th}=24V,\ R_{th}=50\ \Omega$
④ $V_{th}=24V,\ R_{th}=32\ \Omega$
⑤ $V_{th}=50V,\ R_{th}=50\ \Omega$

정답 1번

출제 포인트

이 문제는 부하 단자를 개방하여 테브난 등가전압 V_{th}을 구하고, 독립 전류원을 제거한 뒤 부하 단자에서 본 테브난 등가저항 R_{th}을 구하는 문제이다.

조건 정리

주어진 값: 독립 전류원 2A, 저항 12Ω, 20Ω, 30Ω이다.
구해야 할 값: 부하저항 R_L의 단자에서 본 V_{th}와 R_{th}이다.
주의할 조건: V_{th}를 구할 때는 R_L을 개방하고, R_{th}를 구할 때는 독립 전류원을 개방한다.

사용할 공식

개방단자전압은 $V_{th} = V_{oc}$이다. 저항 양단 전압은 $V = IR$로 구한다. 독립 전원을 제거한 뒤 부하 단자에서 바라본 합성저항이 R_{th}이다.
이 공식을 쓰는 이유: 테브난 등가회로의 전압은 부하를 떼어 낸 개방단자전압이고, 등가저항은 독립 전원을 0으로 만든 회로를 부하 단자에서 바라본 저항이기 때문이다. 이상적인 전류원을 0으로 만들면 그 가지는 개방된다.

NoteBase

계산 과정

1. R_L을 개방하면 30Ω 가지에는 전류가 흐르지 않는다. 따라서 부하의 위쪽 단자 전압은 20Ω 저항의 위쪽 노드 전압과 같다.
2. 전류원 $2A$가 공급한 전류는 모두 20Ω로 흐르므로
$V_{th} = 2A \times 20\Omega = 40V$
이다.
3. R_{th}를 구하기 위해 독립 전류원을 개방하면 12Ω 가지는 한쪽 끝이 끊긴 가지가 되어 등가저항에 포함되지 않는다. 부하 단자에서 보면 30Ω와 20Ω가 직렬이므로
$R_{th} = 30\Omega + 20\Omega = 50\Omega$
이다.

선지 판단

① O — $V_{th} = 40V$, $R_{th} = 50\Omega$로 계산 결과와 모두 일치한다.
② X — $V_{th} = 40V$는 맞지만 $R_{th} = 32\Omega$가 틀렸다. 올바르게는 전류원을 개방한 뒤 부하 단자에서 보이는 30Ω와 20Ω를 직렬로 더하여 $R_{th} = 50\Omega$이다. 32Ω는 단자와 연결되지 않는 12Ω를 20Ω와 잘못 더하고 30Ω를 누락한 값이다.
③ X — $R_{th} = 50\Omega$는 맞지만 $V_{th} = 24V$가 틀렸다. 올바르게는 개방 상태에서 20Ω에 흐르는 $2A$를 사용하여 $V_{th} = 40V$이다. $24V$는 $2A \times 12\Omega$로 계산하여 출력단과 무관한 12Ω의 전압강하를 선택한 값이다.
④ X — $V_{th} = 24V$와 $R_{th} = 32\Omega$가 모두 틀렸다. 올바른 값은 각각 $V_{th} = 40V$, $R_{th} = 50\Omega$이다.
⑤ X — $R_{th} = 50\Omega$는 맞지만 $V_{th} = 50V$가 틀렸다. 올바르게는 $V_{th} = 2A \times 20\Omega = 40V$이다. 50은 등가저항의 수치이며 전압값으로 사용할 수 없다.

오답 포인트

개방된 부하 때문에 30Ω에는 전류가 흐르지 않는다는 점과, 전류원을 제거할 때 단락이 아니라 개방한다는 점이 핵심 함정이다. 또한 전류원을 개방하면 12Ω 가지가 부하 단자에서 본 전류 경로에서 제외되므로 R_{th} 계산에 포함하지 않는다.

다시 나오면 이렇게 판단

먼저 부하를 개방하여 출력단 전압을 구하고, 다음으로 독립 전압원은 단락·독립 전류원은 개방한 뒤 출력단에서 실제로 이어지는 저항 경로만 합성한다.

암기 포인트

테브난 계산은 '부하 개방으로 V_{th}, 전압원 단락·전류원 개방으로 R_{th}'이다.

NoteBase

9. 래치(Latch) 회로에 대한 설명 중 옳지 않은 것은?

① 래치 회로는 데이터를 저장하고 유지하는 능력이 있는 기본적인 메모리 장치이다.

② 래치 회로는 일반적으로 플립-플롭 회로와 혼동되지만, 플립-플롭은 래치에 클럭 신호를 추가한 것이다.

③ SR 래치는 가장 기본적인 래치 회로로, Set(설정)과 Reset(리셋) 입력을 사용한다.

④ D 플립-플롭은 데이터(D) 입력과 클럭 입력을 사용하여 정보를 저장하고 전달한다.

⑤ 래치 회로는 출력 상태가 입력에 의존적이지 않은 비동기식 장치이다.

정답 5번

출제 포인트

이 문제는 래치와 플립플롭의 저장 기능, 입력 방식, 클럭 사용 여부를 구분하고 비동기식의 의미를 정확히 이해하는지를 묻는 문제이다.

핵심 개념

래치: 입력에 따라 상태가 바뀌고 그 상태를 유지하여 1비트 정보를 저장하는 기본 기억 소자이다. 기본 SR 래치는 별도의 클럭 없이 Set과 Reset 입력에 반응하는 비동기식 회로이다.
플립플롭: 클럭 신호에 맞추어 상태가 바뀌는 기억 소자이다. D 플립플롭은 클럭의 유효 시점에 D 입력을 받아 저장한다.
비동기식은 클럭에 동기화되지 않는다는 뜻이지, 출력이 입력과 무관하다는 뜻이 아니다.

선지별 해설

① O — 래치는 입력된 논리 상태를 저장하고 다음 입력으로 상태가 바뀔 때까지 유지할 수 있으므로 기본적인 메모리 장치이다.
② O — 이 문항의 구분 기준에서 래치는 별도의 클럭 없이 입력에 반응하고, 플립플롭은 클럭 신호에 맞추어 상태가 바뀌는 기억 소자이다. 따라서 플립플롭을 래치에 클럭 제어가 추가된 형태로 설명한 것은 타당하다.
③ O — SR 래치는 가장 기본적인 래치 회로로, Set 입력은 출력을 설정하고 Reset 입력은 출력을 리셋한다.
④ O — D 플립플롭은 데이터 입력 D와 클럭 입력을 사용하며, 클럭의 유효 시점에 D의 값을 저장하여 출력으로 전달한다.
⑤ X — 틀린 표현은 '출력 상태가 입력에 의존적이지 않은'이다. 래치의 출력 상태는 Set·Reset 또는 D와 같은 입력 및 제어 조건에 따라 결정된다. 올바르게는 '기본 래치는 별도의 클럭 없이 입력 변화에 반응하는 비동기식 기억 장치'라고 해야 한다.

NoteBase

오답 포인트

⑤의 '비동기식'을 '입력과 무관함'으로 해석하기 쉽다. 비동기식은 클럭을 기다리지 않는다는 의미이며, 래치의 상태 변화 자체는 입력에 의존한다.

다시 나오면 이렇게 판단

클럭의 유무와 입력 의존성을 서로 다른 기준으로 판단한다. 클럭 없이 입력에 반응하면 비동기식 래치이고, 클럭의 유효 시점에 입력을 저장하면 플립플롭이다. 어느 경우든 저장되는 값은 입력 조건에 의해 결정된다.

암기 포인트

래치는 입력에 반응해 상태를 유지하고, 플립플롭은 클럭에 맞춰 상태를 저장한다. 비동기식은 '입력 무관'이 아니라 '클럭 무관'이다.

NoteBase

10. 카운터 회로에 대한 설명 중 옳지 않은 것은?

① 카운터는 디지털 논리 회로 중 하나로, 입력 클럭 신호의 펄스 수를 계산한다.

② 카운터는 분주기, 주파수 측정, 디지털 클록 등에서 사용된다.

③ 카운터는 상향(UP) 카운터, 하향(DOWN) 카운터, 그리고 상하향(UP/DOWN) 카운터로 나뉠 수 있다.

④ 모든 카운터는 동기식으로 동작한다.

⑤ 카운터 회로는 다수의 플립-플롭으로 구성된다.

정답 4번

출제 포인트

카운터의 기본 기능과 용도, 계수 방향에 따른 분류, 동기식·비동기식 동작 방식의 차이를 묻는 문제이다.

핵심 개념

카운터는 입력 클럭 펄스가 들어온 횟수를 이진 상태로 나타내는 순차 논리 회로이다.
동기식 카운터는 모든 플립플롭이 공통 클럭에 맞추어 동시에 상태를 바꾸고, 비동기식 카운터는 앞단 플립플롭의 출력이 다음 단의 클럭으로 전달되어 상태가 차례로 바뀐다.
계수 방향에 따라 상향 카운터, 하향 카운터, 상향·하향 카운터로 구분한다.

선지별 해설

① O — 카운터는 입력 클럭 펄스의 수를 세어 그 결과를 디지털 상태로 나타내는 논리 회로이다.
② O — 주기적인 펄스를 세거나 분주된 신호를 얻을 수 있으므로 분주기, 주파수 측정 회로, 디지털 클럭 등에 사용된다.
③ O — 증가 방향으로 세는 상향(UP) 카운터, 감소 방향으로 세는 하향(DOWN) 카운터, 두 방향을 선택할 수 있는 상향·하향(UP/DOWN) 카운터로 나눌 수 있다.
④ X — 틀린 표현은 '모든 카운터는 동기식으로 동작한다'이다. 올바르게는 카운터는 동기식 카운터와 비동기식 카운터로 구성할 수 있다.
⑤ O — 카운터는 여러 상태를 저장하고 순차적으로 전이하기 위해 다수의 플립플롭을 사용하여 구성한다.

오답 포인트

④의 '모든'이라는 단정이 함정이다. 여러 플립플롭을 사용한다는 사실이 모든 플립플롭이 같은 클럭을 직접 받는다는 뜻은 아니다. 공통 클럭을 사용하는 동기식 방식뿐 아니라 출력이 다음 단의 클럭으로 이어지는 비동기식 방식도 있다.

NoteBase

다시 나오면 이렇게 판단

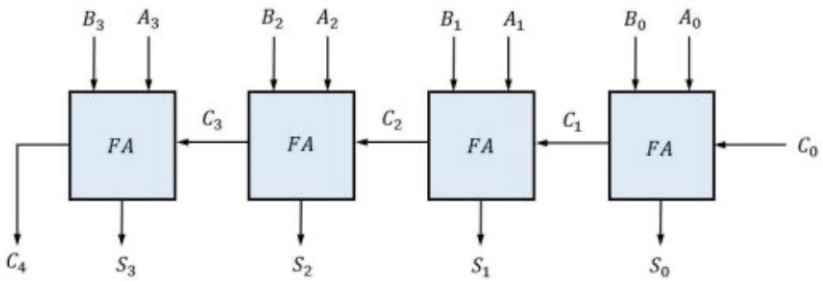
카운터 문항에서는 먼저 계수 기능과 계수 방향을 확인하고, 이어서 클럭이 모든 플립플롭에 동시에 들어가는지 또는 앞단에서 다음 단으로 전달되는지를 구분한다. ‘모든 카운터가 동기식이다’와 같은 절대적 표현은 비동기식 카운터의 존재와 대조하여 판단한다.

암기 포인트

카운터는 펄스를 세며, 방향은 UP·DOWN·UP/DOWN, 동작은 동기식·비동기식으로 나뉜다.

NoteBase

11. 그림과 같은 병렬 가산기에 대한 설명 중 옳지 않은 것은?



① C_4의 값이 1이 될 수 있다.
② 최종 덧셈 결과의 자릿수는 4비트이다.
③ 본 회로는 총 4비트 이진수의 덧셈을 구현한 회로이다.
④ A=1001, B=0110, $C_0=0$인 경우 S=1111, C=0이 출력된다.
⑤ 전가산기(FA)는 논리 게이트의 조합을 통해 표현할 수 있다.

정답 2번

출제 포인트

이 문제는 4개의 전가산기를 직렬로 연결한 병렬 가산기에서 각 비트의 합과 자리올림이 전달되는 원리, 그리고 최종 합의 비트 수를 판단하는 문제이다.

조건 정리

각 전가산기(FA)는 같은 자리의 두 입력 비트와 이전 자리의 자리올림을 더한다. 최하위 비트에는 C_0가 입력되고, 각 단계의 자리올림 C_1, C_2, C_3이 다음 상위 단계로 전달되며, 최상위 단계의 자리올림은 C_4로 출력된다. 따라서 전체 덧셈 결과는 $C_4S_3S_2S_1S_0$로 나타낼 수 있다.

사용할 원리

한 비트 전가산기의 합과 자리올림은 각각 $S_i = A_i \oplus B_i \oplus C_i$, $C_{i+1} = A_iB_i + (A_i \oplus B_i)C_i$이다. 이 원리를 쓰는 이유는 그림의 각 FA가 해당 자리의 A_i, B_i, C_i를 받아 합 S_i와 다음 자리올림 C_{i+1}을 만드는 구조이기 때문이다.

계산 과정

④의 입력은 $A = 1001_2 = 9$, $B = 0110_2 = 6$, $C_0 = 0$이다. 따라서 $1001_2 + 0110_2 + 0 = 1111_2$가 되어 $S = 1111$, $C_4 = 0$이다. 한편 $C_0 = 0$인 두 4비트 이진수의 덧셈 결과는 00000_2부터 11110_2까지이다. 회로의 캐리 입력 C_0까지 일반 입력으로 포함하면 최댓값은 $1111_2 + 1111_2 + 1 = 11111_2$이다. 어느 경우든 최상위 자리에서 자리올림이 생길 수 있으므로 최종 결과에는 최대 5비트가 필요하다.

NoteBase

선지 판단

① O — 최상위 비트의 덧셈에서 자리올림이 발생하면 $C_4 = 1$이 될 수 있다. 예를 들어 $1111_2 + 0001_2 = 10000_2$이다.
② X — '최종 덧셈 결과의 자릿수는 4비트'라는 표현이 틀렸다. 합 비트 $S_3S_2S_1S_0$만 보면 4비트이지만, 최종 자리올림 C_4까지 포함한 덧셈 결과 $C_4S_3S_2S_1S_0$는 최대 5비트이다.
③ O — 4개의 전가산기가 각 자리의 A_i와 B_i를 동시에 입력받아 두 4비트 이진수의 덧셈을 수행하므로 4비트 병렬 가산기이다.
④ O — $1001_2 + 0110_2 = 1111_2$이므로 $S = 1111$, 최종 자리올림 $C_4 = 0$이 출력된다.
⑤ O — 전가산기의 합은 XOR 게이트, 자리올림은 AND·OR 게이트 등의 조합논리로 구현할 수 있다.

오답 포인트

②는 회로에 합 출력 S_0부터 S_3까지 네 개만 보인다는 점을 이용한 함정이다. 최종 캐리 C_4도 합의 최상위 비트가 될 수 있으므로 '가산기의 입력 비트 수'와 '자리올림을 포함한 결과의 최대 비트 수'를 구분해야 한다.

다시 나오면 이렇게 판단

다단 가산기에서는 최하위 캐리 입력부터 각 단계의 캐리 전달 방향을 따라가고, 마지막 캐리 출력을 합의 최상위 비트에 붙여 $C_nS_{n-1}\cdots S_0$로 판단한다. 수치가 주어지면 이진 덧셈으로 합 비트와 최종 캐리를 각각 확인한다.

암기 포인트

두 n비트 이진수의 합은 최종 캐리까지 포함하면 최대 $n + 1$비트이다.

NoteBase

12. BJT(Bipolar Junction Transistor) 소자 특징 중 옳지 않은 것은?

① 베이스와 이미터 사이 접합(Junction)의 순방향 바이어스가 인가되는 경우 BJT는 차단된다.

② pnp 소자에서 전류를 형성하는 다수 캐리어는 정공(Hole)이다.

③ 베이스 전류(Base Current)를 조절하여, 컬렉터단으로 흐르는 전류를 조절할 수 있다.

④ 포화(Saturation) 영역에서 동작하는 경우, 이상적인 BJT는 전압원에 근사하여 해석할 수 있다.

⑤ 활성(Active) 영역에서 소신호 증폭기로 사용된다.

정답 1번

출제 포인트

BJT의 접합 바이어스에 따른 차단·활성·포화 동작과 pnp형의 다수 캐리어를 구별하는 문제이다.

핵심 개념

차단 영역: 베이스-이미터 접합이 순방향 바이어스되지 않아 컬렉터 전류가 거의 흐르지 않는 꺼짐 상태이다.
활성 영역: 베이스-이미터 접합은 순방향, 베이스-컬렉터 접합은 역방향 바이어스되며 베이스 전류로 컬렉터 전류를 제어하는 증폭 상태이다.
포화 영역: 두 접합이 모두 순방향 바이어스되어 완전히 켜진 스위치처럼 동작하며 컬렉터-이미터 전압이 작은 값으로 제한되는 상태이다.
npn형의 다수 캐리어는 전자이고, pnp형의 다수 캐리어는 정공이다.

NoteBase

선지별 해설

① X
틀린 표현은 '베이스와 이미터 사이 접합의 순방향 바이어스가 인가되면 차단된다'이다. 베이스-이미터 접합의 순방향 바이어스는 BJT를 도통시키는 조건이며, 차단 상태에서는 이 접합이 순방향 바이어스되지 않는다.

② O
pnp 소자에서 전류를 운반하는 다수 캐리어는 정공이다.

③ O
활성 영역에서는 베이스 전류를 변화시켜 컬렉터 전류를 제어할 수 있으며, 이상적인 전류 이득 관계는 $I_C \approx \beta I_B$ 로 나타낸다.

④ O
포화 영역에서는 컬렉터-이미터 전압이 작은 포화전압에 가까워지므로, 이상화할 때 거의 일정한 전압 강하를 갖는 전압원에 가깝게 해석할 수 있다.

⑤ O
활성 영역에서는 베이스의 작은 입력 변화가 컬렉터 전류와 출력 전압의 더 큰 변화로 이어지므로 BJT를 소신호 증폭기로 사용한다.

오답 포인트

①은 '순방향 바이어스'를 차단 조건으로 뒤바꾼 것이 함정이다. 베이스-이미터 접합의 순방향 바이어스는 차단이 아니라 도통의 출발 조건이다.

다시 나오면 이렇게 판단

먼저 베이스-이미터 접합의 바이어스를 확인한다. 순방향 바이어스가 없으면 차단, 순방향 바이어스가 있고 베이스-컬렉터 접합이 역방향이면 활성, 두 접합이 모두 순방향이면 포화로 판단한다.

암기 포인트

차단은 꺼짐, 활성은 증폭, 포화는 완전 도통이며, pnp의 다수 캐리어는 정공이다.

NoteBase

13. 반도체에 대한 설명으로 옳은 것만을 <보기>에서 모두 고르면?

< 보 기 >

ㄱ. 실리콘에 비소를 도핑하여 n형의 실리콘 반도체를 만들 수 있다.

ㄴ. pn접합 다이오드의 접합면에는 전위차가 발생하여, 전하 캐리어가 고갈되어 공핍영역이 형성된다.

ㄷ. n형의 실리콘 반도체는 정공이 다수 캐리어이다.

ㄹ. pn접합 다이오드에 p쪽에 음극, n쪽에 양극을 인가하면 접합면에 커패시턴스가 커진다.

① ㄱ, ㄴ

② ㄱ, ㄷ

③ ㄴ, ㄷ

④ ㄴ, ㄹ

⑤ ㄷ, ㄹ

정답 1번

출제 포인트

이 문제는 불순물 반도체의 다수 캐리어와 pn접합 다이오드의 공핍영역·역바이어스 특성을 구분하는 문제이다.

핵심 개념

n형 반도체: 실리콘에 비소와 같은 5가 원소를 도핑하여 만들며, 자유전자가 다수 캐리어이고 정공은 소수 캐리어이다.

pn접합: p형과 n형을 접합하면 접합 부근의 전자와 정공이 확산·재결합하여 이동 가능한 캐리어가 거의 없는 공핍영역과 내부 전위차가 형성된다.

역바이어스: p쪽에 음극, n쪽에 양극을 연결하는 상태로, 공핍층 폭은 넓어지고 접합 커패시턴스는 작아진다.

NoteBase

선지별 해설

① O — ㄱ과 ㄴ은 모두 옳다. 비소는 5가 도너 불순물이므로 실리콘을 n형으로 만들고, pn접합면에는 내부 전위차와 공핍영역이 형성된다.
② X — ㄷ의 '정공이 다수 캐리어'가 틀렸다. n형 반도체의 다수 캐리어는 전자이므로 올바른 조합은 ㄱ, ㄴ이다.
③ X — ㄷ이 틀렸고 옳은 ㄱ이 빠져 있다. n형 반도체에서는 전자가 다수 캐리어이므로 올바른 조합은 ㄱ, ㄴ이다.
④ X — ㄹ의 '커패시턴스가 커진다'가 틀렸고 옳은 ㄱ이 빠져 있다. p쪽에 음극, n쪽에 양극을 인가하면 역바이어스가 되어 공핍층 폭이 넓어지고 접합 커패시턴스는 작아지므로 올바른 조합은 ㄱ, ㄴ이다.
⑤ X — ㄷ과 ㄹ이 모두 틀렸다. n형의 다수 캐리어는 전자이고, 역바이어스에서는 접합 커패시턴스가 감소하므로 올바른 조합은 ㄱ, ㄴ이다.

오답 포인트

ㄷ에서는 n형을 '정공이 있는 반도체'라는 사실과 '정공이 다수 캐리어인 반도체'로 혼동하기 쉽다. 또한 ㄹ에서는 역바이어스 때 공핍층이 넓어진다는 사실과 커패시턴스의 변화를 같은 방향으로 착각하기 쉽지만, 전하가 분리된 간격이 커지므로 접합 커패시턴스는 감소한다.

다시 나오면 이렇게 판단

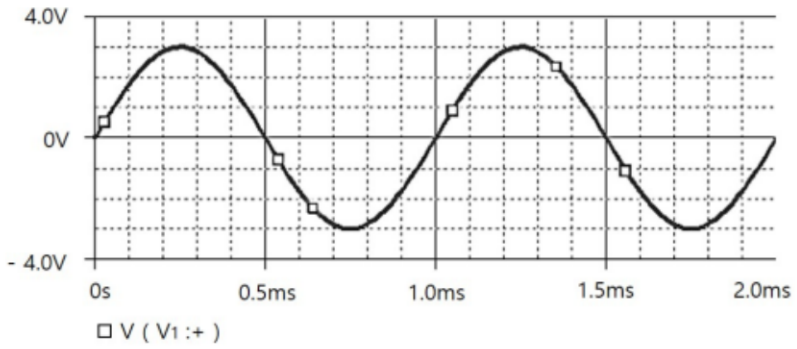
도핑 문제에서는 5가 불순물→n형→전자 다수, 3가 불순물→p형→정공 다수의 순서로 판단한다. 다이오드 바이어스 문제에서는 p(-), n(+)이면 역바이어스이므로 공핍층 폭 증가와 접합 커패시턴스 감소를 연결한다.

암기 포인트

5가 도핑은 n형·전자 다수, 역바이어스는 공핍층 증가·접합 커패시턴스 감소이다.

NoteBase

14. 그림과 같은 전압 신호가 주어졌을 때, 설명 중 옳지 않은 것은? (단, 신호의 시작점은 시간 기준 0 sec이다)



① $V_{p-p}=6V$ (Peak to Peak)이다.
② 신호의 주기는 1 ms이다.
③ 신호의 주파수는 1 kHz이다.
④ 위 전압 신호의 실효값(RMS)은 약 2.12 V이다.
⑤ 위 교류 신호의 위상은 90°이다.

정답 5번

출제 포인트

이 문제는 정현파 그래프에서 최대값과 최소값, 주기, 주파수, 실효값, 초기 위상을 구하는 문제이다.

조건 정리

그래프의 최대값은 약 $3V$, 최소값은 약 $-3V$이다. 같은 위상점 사이의 시간 간격은 $1ms$이므로 주기는 $T=1ms$이다. 또한 신호는 $t=0$에서 $0V$를 지나 양의 방향으로 증가한다.

사용할 공식

첨두간 전압은 $V_{p-p}=V_{max}-V_{min}=2V_p$이고, 주파수는 $f=1/T$이다. 정현파의 실효값은 $V_{rms}=V_p/\sqrt{2}$이다. 초기 위상은 $v(t)=V_p\sin(\omega t+\phi)$에서 $t=0$일 때의 값과 기울기로 판단한다.

계산 과정

1. $V_{p-p}=3V-(-3V)=6V$이다.
2. $T=1ms=1\times10^{-3}s$이므로 $f=1/T=10^3Hz=1kHz$이다.
3. $V_{rms}=3/\sqrt{2}V\approx2.12V$이다.
4. $t=0$에서 영점을 양의 기울기로 통과하므로 $v(t)=V_p\sin(\omega t)$에 해당하고 초기 위상은 0 °이다.

NoteBase

선지 판단

① O — 최대값이 $3V$, 최소값이 $-3V$이므로 $V_{p-p} = 6V$이다.
② O — 같은 방향의 영점 통과가 $0ms$와 $1ms$에서 반복되므로 주기는 $1ms$이다.
③ O — $f = 1/(1 \times 10^{-3}s) = 1kHz$이다.
④ O — 정현파의 실효값은 $3/\sqrt{2}\,V \approx 2.12V$이다.
⑤ X — 90 °라는 표현이 틀렸다. $t = 0$에서 전압이 0이고 양의 방향으로 증가하므로, 사인파 기준 초기 위상은 0 °이다. 올바르게는 '위 교류 신호의 초기 위상은 0 °이다'이다.

오답 포인트

파형이 처음 상승한다는 이유만으로 위상을 90 °로 판단하면 안 된다. 사인파 기준 90 ° 위상은 $t = 0$에서 양의 최댓값으로 시작하며, 이 파형처럼 영점에서 상승하면 초기 위상은 0 °이다.

다시 나오면 이렇게 판단

먼저 그래프에서 최대값·최소값과 같은 위상점 사이의 간격을 읽고, $V_{p-p} = V_{max} - V_{min}$, $f = 1/T$, $V_{rms} = V_p/\sqrt{2}$를 차례로 적용한다. 위상은 $t = 0$에서의 전압값과 기울기 방향을 함께 확인한다.

암기 포인트

정현파가 영점에서 상승 출발하면 사인파 기준 0 °, 양의 최댓값에서 출발하면 90 °이다.

NoteBase

15. 시변 전자기장에 대한 식들 중 오옴의 법칙과 관련이 있는 것으로 적절한 것은? (단, $\vec{J}$: 전류밀도, σ: 전도도, $\vec{E}$: 전기장, $\vec{D}$: 전속밀도, ρ_v: 체적전하밀도, $\vec{B}$: 자속밀도, $\vec{H}$: 자기장 이다)

① $\vec{J}=\sigma\vec{E}$

② $\nabla \cdot \vec{D}=\rho_v$

③ $\nabla \cdot \vec{B}=0$

④ $\nabla \times \vec{E}=-\frac{\partial \vec{B}}{\partial t}$

⑤ $\nabla \times \vec{H}=\vec{J}+\frac{\partial \vec{D}}{\partial t}$

정답 1번

출제 포인트

이 문제는 옴의 법칙의 점 형태와 맥스웰 방정식들을 구별하는 문제이다.

핵심 개념

옴의 법칙의 점 형태는 등방성 선형 도체에서 전류밀도와 전기장의 관계를 $\vec{J}=\sigma\vec{E}$로 나타낸다. 전도도 σ가 클수록 같은 전기장 $\vec{E}$에서 더 큰 전류밀도 $\vec{J}$가 흐른다.
나머지 식들은 각각 전기장에 대한 가우스 법칙, 자기장에 대한 가우스 법칙, 패러데이 법칙, 앙페르-맥스웰 법칙이다.

선지별 해설

① O — $\vec{J}=\sigma\vec{E}$는 전류밀도가 전도도와 전기장의 곱이라는 옴의 법칙의 점 형태이므로 옳다.
② X — $\nabla \cdot \vec{D}=\rho_V$는 전기선속밀도의 발산이 체적전하밀도와 같다는 전기장에 대한 가우스 법칙이다. 틀린 분류인 '옴의 법칙'은 '전기장에 대한 가우스 법칙'으로 고쳐야 한다.
③ X — $\nabla \cdot \vec{B}=0$은 자기 단극자가 없음을 나타내는 자기장에 대한 가우스 법칙이다. 틀린 분류인 '옴의 법칙'은 '자기장에 대한 가우스 법칙'으로 고쳐야 한다.
④ X — $\nabla \times \vec{E}=-\frac{\partial \vec{B}}{\partial t}$는 시간에 따라 변하는 자속밀도가 회전 전기장을 만든다는 패러데이 법칙이다. 틀린 분류인 '옴의 법칙'은 '패러데이의 전자기 유도 법칙'으로 고쳐야 한다.
⑤ X — $\nabla \times \vec{H}=\vec{J}+\frac{\partial \vec{D}}{\partial t}$는 전도전류와 변위전류가 자기장의 회전을 만든다는 앙페르-맥스웰 법칙이다. 틀린 분류인 '옴의 법칙'은 '앙페르-맥스웰 법칙'으로 고쳐야 한다.

NoteBase

오답 포인트

①도 전자기장 관계식이어서 맥스웰 방정식들과 함께 제시되지만, 핵심은 $\vec{J}$와 $\vec{E}$를 물질의 전도도 σ로 직접 연결한다는 점이다. 반면 ②~⑤는 발산 $\nabla\cdot$ 또는 회전 $\nabla\times$으로 장의 원천과 시간 변화를 나타내는 맥스웰 방정식이다.

다시 나오면 이렇게 판단

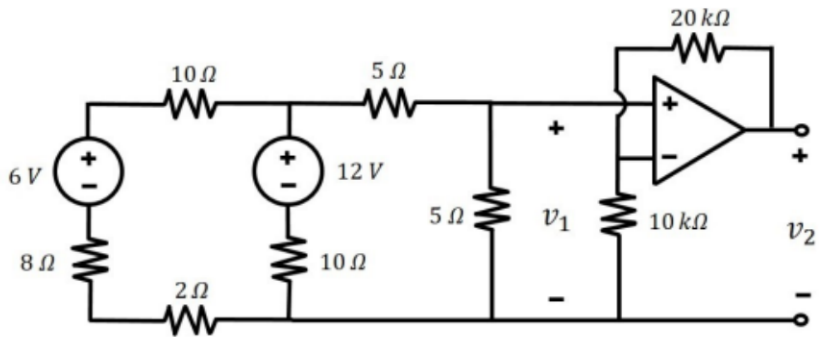
전류밀도와 전기장이 전도도 또는 저항률로 직접 연결되면 옴의 법칙으로 판단한다. 즉 $\vec{J}=\sigma\vec{E}$ 또는 $\vec{E}=\rho\vec{J}$의 형태를 찾는다.

암기 포인트

옴은 $\vec{J}=\sigma\vec{E}$, 가우스는 발산, 패러데이와 앙페르-맥스웰은 회전이다.

NoteBase

16. 그림과 같은 회로에서 v_1과 v_2를 구하면? (단, 연산증폭기는 이상적인 소자이다)



① $v_1 = \frac{5}{3}\,V$, $v_2 = 5\,V$

② $v_1 = \frac{3}{5}\,V$, $v_2 = \frac{6}{5}\,V$

③ $v_1 = 3\,V$, $v_2 = 9\,V$

④ $v_1 = 5\,V$, $v_2 = 10\,V$

⑤ $v_1 = 0\,V$, $v_2 = 0\,V$

정답 3번

출제 포인트

이 문제는 좌측 저항·전압원 회로에 키르히호프의 전류 법칙을 적용해 v_1을 구한 뒤, 이상적인 비반전 증폭기의 전압 이득으로 v_2를 구하는 문제이다.

조건 정리

위쪽 공통 노드와 아래쪽 기준 노드 사이의 전압을 V라 둔다.
왼쪽 바깥 가지의 합성 저항은 10 + 8 + 2 = 20Ω, 가운데 가지의 저항은 10Ω, v_1을 지나는 가지의 합성 저항은 5 + 5 = 10Ω이다.
연산증폭기가 이상적이므로 입력 전류는 0이고, 음의 되먹임 상태에서 $v_- = v_+$이다.

NoteBase

사용할 공식

위쪽 노드에서 아래쪽 노드로 흐르는 전류를 양(+)으로 잡으면 KCL은
$\frac{V-6}{20}+\frac{V-12}{10}+\frac{V}{10}=0$
이다. 각 가지가 같은 두 노드 사이에 연결되어 있으므로 가지 전류의 대수합이 0이 된다.
우측 연산증폭기는 비반전 증폭기이므로
$v_2=\left(1+\frac{R_f}{R_g}\right)v_1$
을 사용한다. 여기서 $R_f=20k\Omega$, $R_g=10k\Omega$이다.

계산 과정

1. KCL 식에 20을 곱하면 $V-6+2(V-12)+2V=0$이므로 $5V-30=0$, 따라서 $V=6V$이다.
2. v_1 가지는 같은 5Ω 저항 두 개의 직렬 분압 회로이므로 $v_1=V\times\frac{5}{5+5}=3V$이다.
3. 비반전 증폭기의 전압 이득은 $1+\frac{20}{10}=3$이므로 $v_2=3v_1=9V$이다.

선지 판단

① X — $v_2=3v_1$의 이득 관계는 맞지만, 좌측 회로의 KCL로 얻는 값은 $v_1=\frac{5}{3}V$가 아니라 $v_1=3V$이다. 올바르게는 $v_1=3V,\ v_2=9V$이다.
② X — 제시값은 $v_1=\frac{3}{5}V$, $v_2=\frac{6}{5}V$로 좌측 KCL 결과와 비반전 이득 3을 모두 만족하지 않는다. 올바르게는 $v_1=3V,\ v_2=9V$이다.
③ O — 좌측 회로에서 $v_1=3V$이고 비반전 이득이 3이므로 $v_2=9V$가 된다.
④ X — $v_1=5V$는 좌측 KCL 결과와 다르고, $v_2=10V$는 비반전 이득 3도 만족하지 않는다. 올바르게는 $v_1=3V,\ v_2=9V$이다.
⑤ X — 이상적 연산증폭기의 가상 단락은 두 입력 전압이 같다는 뜻이지 두 입력이 모두 $0V$라는 뜻이 아니다. 올바르게는 $v_1=3V,\ v_2=9V$이다.

오답 포인트

가장 큰 함정은 $12V$ 전원과 $6V$ 전원이 포함된 가지들을 단순 직렬·병렬 저항처럼 처리하는 것이다. 먼저 두 공통 노드 사이의 각 가지 전류를 전원 극성까지 반영해 세워야 한다. 또한 비반전 증폭기의 이득을 $R_f/R_g=2$로만 계산하면 안 되고, 반드시 $1+R_f/R_g=3$을 사용해야 한다.

다시 나오면 이렇게 판단

전압원이 여러 가지에 놓인 회로는 공통 두 노드의 전압을 하나의 변수로 두고 KCL을 세운다. 그 결과로 입력 전압을 구한 다음, 이상적 연산증폭기의 입력 전류 0과 가상 단락을 적용해 증폭기 종류에 맞는 이득식을 사용한다.

암기 포인트

비반전 증폭기의 전압 이득은 $1+R_f/R_g$이며, 가상 단락은 $v_-=v_+$이지 두 입력이 항상 $0V$라는 뜻이 아니다.

NoteBase

17. 다음 <보기> 중 설명이 옳지 않은 것만을 모두 고르면?

< 보 기 >

ㄱ. 제벡(Seebeck) 효과란 두 종류의 금속을 접속해서 폐회로를 만들고, 그 두 접점 사이에 온도차를 주면 열기전력이 발생하여 전류가 흐르는 현상이다.

ㄴ. 테브난의 정리는 임의의 회로망의 일부분을 전압전원 V_{th}와 병렬 임피던스 Z_{th}로 나타내는데 사용된다.

ㄷ. 펠티에(Peltier) 효과란 동일 금속을 접속하여 폐회로를 형성하고 전류를 흘리면 한쪽의 접점은 냉각되고, 다른 쪽의 접점은 가열되는 현상이다.

ㄹ. Stretch 효과란 자유로이 구부릴 수 있는 도선에 전류를 흘리면 반발력이 발생하여 원형을 이루는 현상이다.

ㅁ. 노튼의 정리는 테브난의 정리와 쌍대 관계(dual)를 이룬다.

① ㄱ, ㄴ

② ㄴ, ㄷ

③ ㄴ, ㅁ

④ ㄷ, ㄹ

⑤ ㄹ, ㅁ

정답 2번

출제 포인트

열전 효과인 제벡 효과와 펠티에 효과를 구별하고, 테브난·노튼 등가회로 및 Stretch 효과의 핵심 특징을 판단하는 문제이다.

핵심 개념

제벡 효과: 서로 다른 두 금속의 두 접점에 온도차를 주면 열기전력이 발생하는 현상이다.
펠티에 효과: 서로 다른 두 도체의 접합부에 전류를 흘리면 한 접합부는 열을 흡수하고 다른 접합부는 열을 방출하는 현상이다.
테브난 등가회로: 임의의 선형 2단자 회로를 전압원 V_{th}와 직렬 임피던스 Z_{th}로 바꾼다.
노튼 등가회로: 같은 회로를 전류원과 병렬 임피던스로 바꾸며, 테브난 등가회로와 쌍대 관계이다.
Stretch 효과: 자유롭게 변형되는 전류 고리에서 도선 사이의 자기적 반발력으로 고리가 바깥쪽으로 퍼져 원형에 가까워지는 현상이다.

NoteBase

선지별 해설

① X — ㄱ은 서로 다른 두 금속의 접점 사이에 온도차가 있을 때 열기전력이 생기는 제벡 효과를 올바르게 설명하지만, ㄴ은 테브난 임피던스를 '병렬'로 연결한다고 한 부분이 틀리다. 올바른 조합은 ㄴ, ㄷ이다.
② O — ㄴ과 ㄷ이 모두 틀리다. ㄴ의 Z_{th}는 전압원 V_{th}와 직렬이어야 하며, ㄷ의 펠티에 효과는 동일 금속이 아니라 서로 다른 금속 또는 도체의 접합에서 나타난다.
③ X — ㄴ은 틀리지만 ㅁ은 옳다. 노튼 등가회로는 테브난 등가회로와 전압원·직렬 임피던스 대 전류원·병렬 임피던스의 쌍대 관계를 이룬다. 따라서 올바른 조합은 ㄴ, ㄷ이다.
④ X — ㄷ은 '동일 금속'이라는 표현이 틀리지만 ㄹ은 옳다. 자유롭게 변형되는 전류 고리는 자기적 반발력으로 퍼지면서 원형에 가까워진다. 따라서 올바른 조합은 ㄴ, ㄷ이다.
⑤ X — ㄹ과 ㅁ은 모두 옳은 설명이므로 옳지 않은 설명의 조합이 아니다. 올바른 조합은 ㄴ, ㄷ이다.

오답 포인트

ㄴ에서는 전압원형인 테브난 등가회로의 임피던스를 노튼 등가회로처럼 '병렬'로 바꿔 놓았다. ㄷ에서는 펠티에 효과의 접합 재료를 '동일 금속'이라고 바꿔 놓았다. 이 두 표현을 놓치면 ㄱ의 제벡 효과나 ㅁ의 쌍대 관계까지 잘못 판단하기 쉽다.

다시 나오면 이렇게 판단

열전 효과는 '온도차가 원인'이면 제벡, '전류가 원인이고 접합부에서 흡열·발열'이면 펠티에로 구별한다. 등가회로는 테브난이 전압원과 직렬 임피던스, 노튼이 전류원과 병렬 임피던스라는 대응으로 판단한다.

암기 포인트

제벡은 온도차→기전력, 펠티에는 전류→흡열·발열, 테브난은 전압원·직렬, 노튼은 전류원·병렬이다.

NoteBase

18. 다음의 8진수를 16진수로 표현한 것 중 옳은 것은?

$$7341_{(8)}$$

① $9\ 4\ 6_{(16)}$

② $D\ D\ 1_{(16)}$

③ $9\ E\ 1_{(16)}$

④ $D\ 8\ 1_{(16)}$

⑤ $E\ E\ 1_{(16)}$

정답 5번

출제 포인트

8진수 한 자리를 2진수 3비트로 바꾼 뒤, 오른쪽부터 4비트씩 묶어 16진수로 변환하는 문제이다.

조건 정리

주어진 값: $7341_{(8)}$
구해야 할 값: 같은 값을 나타내는 16진수
주의할 조건: 이진수로 바꾼 뒤 16진수 묶음은 반드시 소수점이 없는 오른쪽 끝에서부터 4비트씩 나눈다.

사용할 공식

8진수 한 자리 ↔ 2진수 3비트, 16진수 한 자리 ↔ 2진수 4비트의 대응을 이용한다.
이 방법을 쓰는 이유는 8과 16이 각각 2^3, 2^4이므로 이진수를 매개로 정확하게 변환할 수 있기 때문이다.

계산 과정

1. 각 8진수 자리를 3비트로 바꾸면 $7 = 111$, $3 = 011$, $4 = 100$, $1 = 001$이다.
2. 이어 쓰면 $7341_{(8)} = 111011100001_{(2)}$이다.
3. 오른쪽부터 4비트씩 묶으면 111011100001이다.
4. 각 묶음은 $1110 = E$, $1110 = E$, $0001 = 1$이므로 $7341_{(8)} = EE1_{(16)}$이다.

NoteBase

선지 판단

① X — $946_{(16)}$은 4비트 묶음 100101000110에 해당하여 계산 결과 111011100001과 다르다. 틀린 표현 $946_{(16)}$은 올바르게는 $EE1_{(16)}$이다.
② X — $DD1_{(16)}$은 앞의 두 묶음을 1101로 나타내지만 실제 앞의 두 묶음은 각각 1110, 즉 E이다. 틀린 표현 $DD1_{(16)}$은 올바르게는 $EE1_{(16)}$이다.
③ X — $9E1_{(16)}$의 첫 자리는 1001이지만 실제 첫 4비트는 1110, 즉 E이다. 틀린 표현 $9E1_{(16)}$은 올바르게는 $EE1_{(16)}$이다.
④ X — $D81_{(16)}$은 앞의 두 묶음을 각각 1101, 1000로 나타내므로 실제의 1110, 1110과 다르다. 틀린 표현 $D81_{(16)}$은 올바르게는 $EE1_{(16)}$이다.
⑤ O — $EE1_{(16)}$은 이진수로 1110111100001이며, 이를 3비트씩 묶으면 111011100001, 즉 $7341_{(8)}$이 된다.

오답 포인트

8진수의 각 자리를 3비트로 바꿀 때 앞자리 0을 생략하거나, 이진수를 16진수로 묶을 때 왼쪽부터 임의로 나누면 다른 값이 된다. 특히 $3_{(8)}$은 $011_{(2)}$, $4_{(8)}$는 $100_{(2)}$으로 정확히 3비트를 유지해야 한다.

다시 나오면 이렇게 판단

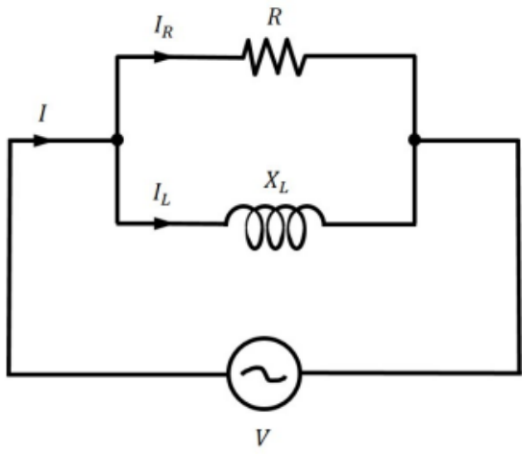
8진수에서 16진수로 바꿀 때는 각 8진수 자리의 3비트 변환, 오른쪽부터 4비트 재그룹, 각 묶음의 16진수 치환 순서로 판단한다. 마지막에는 16진수를 다시 이진수와 8진수로 역변환하여 검산할 수 있다.

암기 포인트

8진수는 3비트, 16진수는 4비트이며, 진법 변환의 묶음 기준은 오른쪽 끝이다.

NoteBase

19. 그림과 같은 회로에서 $V=96$ V, $R=8\ \Omega$, $X_L=6\ \Omega$일 때, 전체 전류 I 값은?



① 9.6 A
② 20 A
③ 28 A
④ 30 A
⑤ 38 A

정답 2번

출제 포인트

병렬 *R-L* 회로에서 저항 전류와 유도성 전류의 위상차를 반영하여 전체 전류의 크기를 구하는 문제이다.

조건 정리

주어진 값: $V = 96V$, $R = 8\Omega$, $X_L = 6\Omega$이다.
구해야 할 값: 전원에서 흐르는 전체 전류 I의 크기이다.
주의할 조건: 병렬회로이므로 각 가지에 같은 전압 $96V$가 걸리며, 저항 전류와 유도성 전류는 위상차가 90°이므로 단순히 더하지 않는다.

사용할 공식

저항 가지 전류는 $I_R = V/R$, 코일 가지 전류의 크기는 $I_L = V/X_L$이다. 두 전류가 서로 직교하므로 전체 전류의 크기는 $|I| = \sqrt{I_R^2 + I_L^2}$이다. 병렬회로의 전체 전류는 가지 전류의 페이저 합이기 때문에 이 공식을 사용한다.

NoteBase

계산 과정

1. 저항 가지 전류는 $I_R = \frac{96}{8} = 12A$이다.
2. 코일 가지 전류의 크기는 $I_L = \frac{96}{6} = 16A$이다. 코일 전류는 전압보다 90° 늦으므로, 전압과 동상인 저항 전류와 직교한다.
3. 따라서 전체 전류의 페이저는 $I = 12 - j16A$이고, 그 크기는 $|I| = \sqrt{12^2 + 16^2} = \sqrt{400} = 20A$이다.

선지 판단

① X — $9.6A$는 전체 전류의 크기 $20A$와 다르다. 이는 병렬회로를 직렬회로처럼 보고 $\sqrt{R^2 + X_L^2} = 10\Omega$을 적용할 때 나오는 값이다. 틀린 값 $9.6A$ → 올바르게는 $20A$이다.
② O — 저항 전류 $12A$와 코일 전류 $16A$를 직교 벡터로 합하면 $20A$이므로 계산 결과와 일치한다.
③ X — $28A$는 $12 + 16$처럼 위상차를 무시하고 두 가지 전류의 크기를 산술적으로 더한 값이다. 틀린 값 $28A$ → 올바르게는 $20A$이다.
④ X — $30A$는 $\sqrt{12^2 + 16^2}$로 구한 전체 전류와 일치하지 않는다. 틀린 값 $30A$ → 올바르게는 $20A$이다.
⑤ X — $38A$는 두 가지 전류의 페이저 합으로 얻을 수 없는 값이다. 틀린 값 $38A$ → 올바르게는 $20A$이다.
계산 결과 전체 전류는 $20A$이므로 정답은 2번이다.

오답 포인트

가장 큰 함정은 병렬회로를 직렬회로로 오인하여 ①을 고르거나, 위상차를 무시하고 가지 전류의 크기를 그대로 더하여 ③을 고르는 것이다. 저항 전류와 순수 코일 전류는 위상차가 90°이므로 피타고라스 관계로 합성해야 한다.

다시 나오면 이렇게 판단

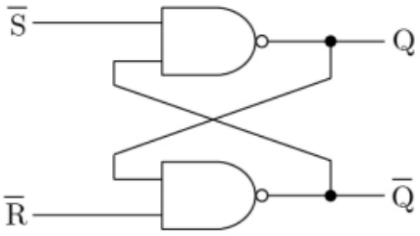
병렬 교류회로에서는 먼저 각 가지 전류를 같은 전압으로 계산하고, 각 전류의 위상관계를 확인한 뒤 페이저로 합성한다. 저항과 순수 코일의 병렬회로라면 두 가지 전류가 직교하므로 $|I| = \sqrt{I_R^2 + I_L^2}$를 적용한다.

암기 포인트

병렬 R-L 회로는 전압이 같고, I_R과 I_L은 직교하므로 전체 전류는 피타고라스 합이다.

NoteBase

20. 그림의 $\overline{SR}$ 래치(Latch)의 결과를 나타낸 것으로 옳은 것은?



$\overline{S}$	$\overline{R}$	$Q(t+1)$
0	0	㉠
0	1	㉡
1	0	㉢
1	1	㉣

	㉠	㉡	㉢	㉣
①	$Q(t)$(불변)	1	0	부정
②	$Q(t)$(불변)	0	1	부정
③	부정	0	1	$Q(t)$(불변)
④	부정	1	0	$Q(t)$(불변)
⑤	$Q(t)$(불변)	부정	1	0

정답 4번

출제 포인트

이 문제는 출력에 반전 표시가 있는 두 NAND 게이트로 구성된 active-low $\overline{SR}$ 래치의 입력 조합별 다음 상태 $Q(t+1)$를 판단하는 문제이다. 입력 0이 동작을 지시하고, 두 입력이 모두 1이면 현재 상태를 유지한다.

NoteBase

선지별 해설

① X
$\overline{S}, \overline{R}$가 (0, 0)이면 두 NAND 게이트의 출력이 모두 1이 되어 상보 출력 조건이 깨지므로 부정 상태이다. 또한 (1, 1)은 부정이 아니라 $Q(t)$ 유지이다. 올바르게는 ㄱ=부정, ㄹ=$Q(t)$(불변)이다.

② X
(0, 0)을 $Q(t)$ 유지로 본 점과 set·reset 결과를 서로 바꾼 점이 틀렸다. 올바르게는 ㄱ=부정, ㄴ=1, ㄷ=0, ㄹ=$Q(t)$(불변)이다.

③ X
ㄱ=부정과 ㄹ=$Q(t)$(불변)은 맞지만, active-low 입력의 동작을 반대로 판단하였다. (0, 1)에서는 $\overline{S} = 0$이 set을 지시하므로 $Q(t+1) = 1$이고, (1, 0)에서는 $\overline{R} = 0$이 reset을 지시하므로 $Q(t+1) = 0$이다. 따라서 올바르게는 ㄴ=1, ㄷ=0이다.

④ O
(0, 0)은 부정, (0, 1)은 set으로 $Q(t+1) = 1$, (1, 0)은 reset으로 $Q(t+1) = 0$, (1, 1)은 $Q(t)$ 유지이므로 네 값이 모두 맞다.

⑤ X
(0, 0)을 유지 상태로 보고 (0, 1)을 부정 상태로 본 점이 틀렸다. 올바르게는 ㄱ=부정, ㄴ=1, ㄷ=0, ㄹ=$Q(t)$(불변)이다.

오답 포인트

출력의 작은 원은 NAND 게이트임을 나타내며, 입력 기호의 윗줄은 입력이 0일 때 유효한 active-low 방식임을 나타낸다. 이를 일반적인 active-high SR 래치처럼 해석하면 ③처럼 set과 reset 결과를 뒤바꾸기 쉽다. 또한 두 입력이 모두 0인 경우와 모두 1인 경우를 바꾸지 않아야 한다.

다시 나오면 이렇게 판단

NAND형 active-low SR 래치는 먼저 입력 0이 어느 기능을 활성화하는지 확인한다. $\overline{S} = 0$이면 set으로 $Q = 1$, $\overline{R} = 0$이면 reset으로 $Q = 0$, 두 입력이 모두 1이면 유지, 모두 0이면 부정 상태로 판단한다.

암기 포인트

NAND형 $\overline{SR}$ 래치는 01=set, 10=reset, 11=hold, 00=invalid이다.

NoteBase