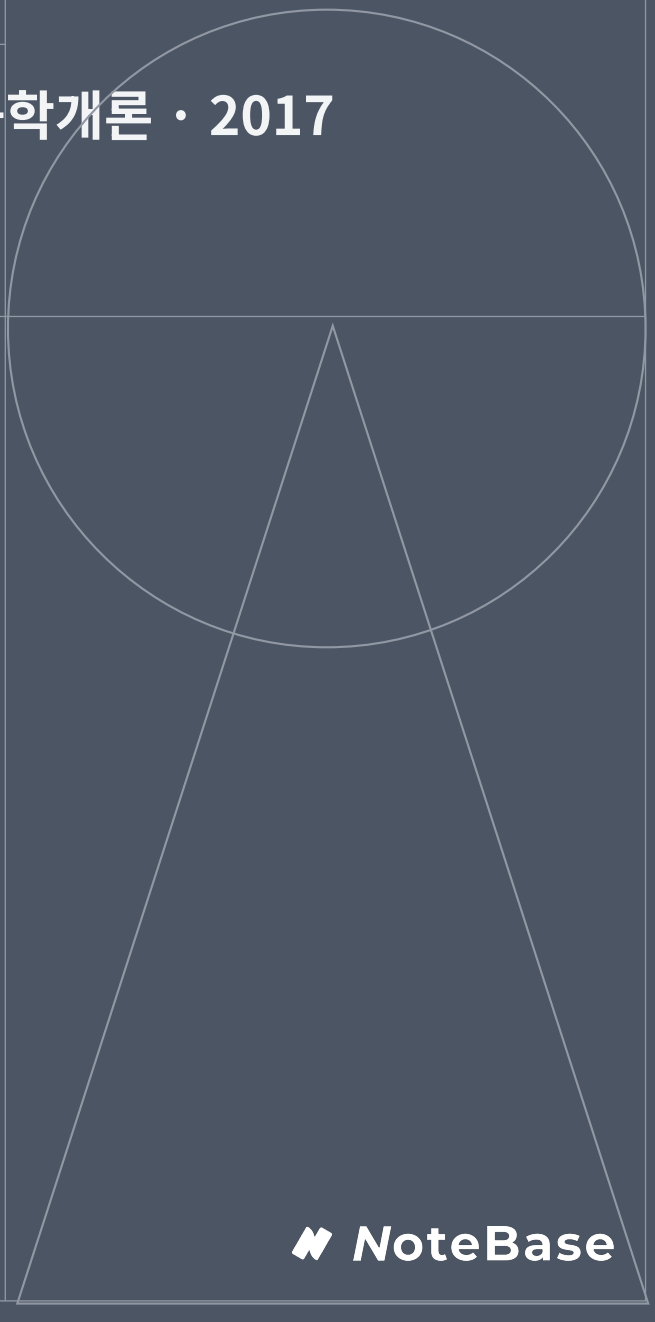
기출OX 해설집

공무원/국회직/9급 · 전자공학개론 · 2017



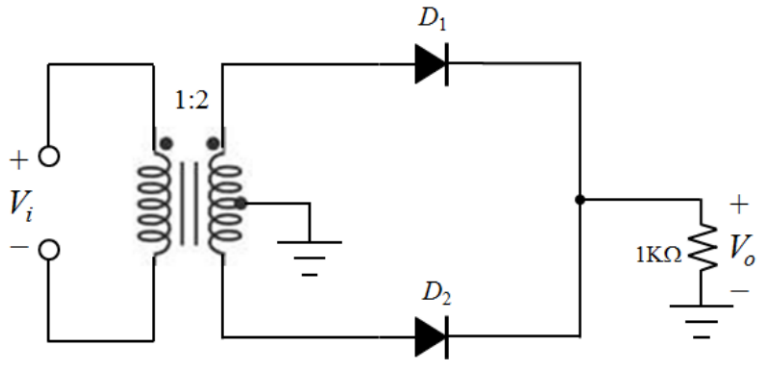
NoteBase

기출OX 해설집

공무원/국회직/9급 · 전자공학개론 · 2017

공무원/국회직/9급 · 전자공학개론 · 2017

1. 중간탭 변압기(권선비 = 1 : 2)를 이용한 아래의 회로에서 교류입력 신호(V_i)에 최댓값이 10V인 정현파를 인가한 경우 출력전압(V_o)의 파형과 평균값으로 옳은 것은?
(단, 다이오드에 걸리는 순방향 전압의 크기는 무시한다.)



	출력파형	평균값
①	반파정류 파형	약 1.59 V
②	반파정류 파형	약 3.18 V
③	전파정류 파형	약 3.18 V
④	전파정류 파형	약 6.37 V
⑤	전파정류 파형	약 10.0 V

정답 4번

출제 포인트

센터탭 변압기의 권선비로 2차측 반권선의 최댓값을 구하고, 센터탭 전파정류 회로의 평균 출력전압을 계산하는 문제이다.

조건 정리

입력 정현파의 최댓값은 $V_{i,m} = 10V$이다. 1차와 2차 전체 권선의 권선비가 $N_1 : N_2 = 1 : 2$이므로 2차 전체 전압의 최댓값은 $20V$이다. 센터탭을 기준으로 각 반권선의 최댓값은 그 절반인 $10V$이다. 다이오드의 순방향 전압은 무시한다.

NoteBase

사용할 공식

변압기 전압비는 $V_2/V_1 = N_2/N_1$이다. 센터탭 전파정류기의 출력은 $v_o(t) = V_m|\sin \omega t|$이고, 평균값은 $V_{o,avg} = 2V_m/\pi$이다. 입력의 양·음 반주기마다 D_1과 D_2가 번갈아 도통하여 부하전류의 방향이 같으므로 전파정류 평균식을 사용한다.

계산 과정

1. 2차 전체 권선의 최댓값은 $10V \times 2 = 20V$이다.
2. 센터탭 기준 반권선의 최댓값은 $V_m = 20V/2 = 10V$이다.
3. 평균 출력전압은 $V_{o,avg} = \frac{2V_m}{\pi} = \frac{2 \times 10}{\pi} V \approx 6.37V$.

따라서 출력은 전파정류 파형이고 평균값은 약 $6.37V$이다.

선지 판단

① X — '반파정류 파형, 약 $1.59V$'은 파형과 평균값이 모두 틀리다. 두 다이오드가 반주기마다 번갈아 도통하므로 올바르게는 전파정류 파형, 약 $6.37V$이다. $1.59V$는 입력 $10V$를 2차 전체 전압으로 잘못 본 뒤 다시 반으로 나눈 $5V$에 반파정류 평균식 V_m/π를 적용할 때 나오는 값이다.

② X — '반파정류 파형, 약 $3.18V$'은 실제 전파정류 동작을 반파정류로 판단한 것이다. $3.18V$는 $10/\pi$로 계산한 반파정류 평균값이며, 올바르게는 전파정류 파형, 약 $6.37V$이다.

③ X — '전파정류 파형'은 맞지만 '약 $3.18V$'이 틀리다. 전파정류 평균식은 V_m/π가 아니라 $2V_m/\pi$이므로 올바른 평균값은 약 $6.37V$이다.

④ O — 출력은 전파정류 파형이며, 반권선 최댓값 $10V$에 $2V_m/\pi$를 적용하면 평균값이 약 $6.37V$이다.

⑤ X — '전파정류 파형'은 맞지만 '약 $10.0V$'이 틀리다. $10.0V$는 출력 파형의 최댓값이고 평균값이 아니며, 올바른 평균값은 약 $6.37V$이다.

오답 포인트

권선비 1:2는 1차 권선과 2차 전체 권선의 비이다. 2차 전체 최댓값 $20V$를 구한 뒤 센터탭 때문에 다시 2로 나누어 각 반권선의 최댓값 $10V$을 얻어야 한다. 또한 전파정류 평균값 $2V_m/\pi$와 반파정류 평균값 V_m/π, 파형의 최댓값 V_m을 구분해야 한다.

다시 나오면 이렇게 판단

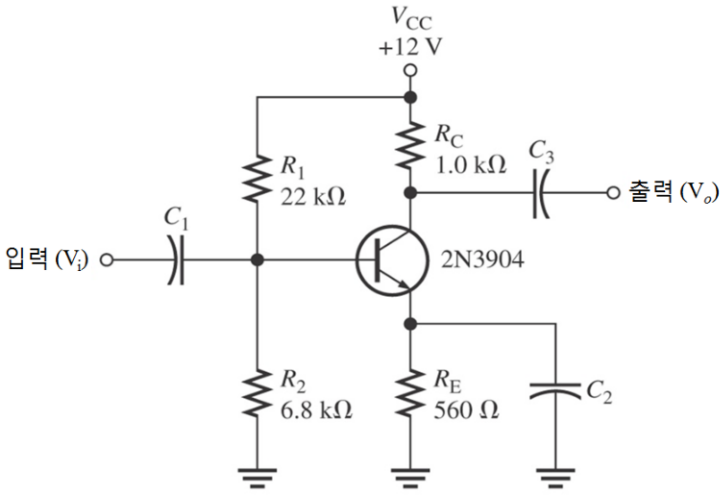
센터탭 정류회로는 '2차 전체 전압 계산 → 반권선 전압 계산 → 다이오드의 교대 도통으로 반파·전파 판별 → 해당 평균식 적용'의 순서로 판단한다.

암기 포인트

센터탭 전파정류는 반권선의 최댓값을 V_m으로 두고 평균값을 $2V_m/\pi$로 계산한다.

NoteBase

2. 아래의 바이패스 커패시터를 갖는 공통 이미터 증폭 회로에서 입력과 출력 특성 관계로 옳은 것은?



① 전압이득은 매우 크고, 전류이득은 매우 작다.
② 전압이득은 매우 작고, 전류이득은 매우 크다.
③ 전압이득과 전류이득이 모두 매우 크다.
④ 입력저항은 매우 높고, 출력저항은 매우 낮다.
⑤ 입력저항과 출력저항이 모두 매우 낮다.

정답 3번

출제 포인트

컬렉터에서 출력을 꺼내고 이미터 저항에 바이패스 커패시터가 병렬로 연결된 공통 이미터 증폭 회로의 이득 및 입·출력 저항 특성을 판단하는 문제이다. 바이패스 커패시터는 교류 신호에 대해 이미터 저항의 부귀환 효과를 줄여 전압이득을 크게 한다.

NoteBase

선지별 해설

① X — '전류이득은 매우 작다'가 틀렸다. 공통 이미터 회로는 트랜지스터의 전류 증폭 작용으로 전류이득도 큰 편이다. 올바르게는 '전압이득과 전류이득이 모두 크다'이다.
② X — '전압이득은 매우 작다'가 틀렸다. 이미터 바이패스 커패시터가 교류 부귀환을 줄이므로 전압이득의 크기는 커진다. 올바르게는 '전압이득과 전류이득이 모두 크다'이다.
③ O — 공통 이미터 증폭기는 전압과 전류를 모두 증폭한다. 특히 이 회로에서는 이미터 저항이 커패시터로 바이패스되어 교류 전압이득의 크기가 커지므로 전압이득과 전류이득이 모두 매우 크다는 설명이 옳다.
④ X — '입력저항은 매우 높고, 출력저항은 매우 낮다'는 공통 컬렉터 회로에 가까운 특성이다. 올바르게는 공통 이미터 회로의 입력저항과 출력저항은 모두 중간 정도로 본다.
⑤ X — '입력저항과 출력저항이 모두 매우 낮다'가 틀렸다. 공통 이미터 회로는 두 저항이 모두 매우 낮은 구성이 아니다. 올바르게는 입력저항과 출력저항이 모두 중간 정도이다.

오답 포인트

④의 '입력저항 매우 높음·출력저항 매우 낮음'은 공통 컬렉터의 대표 특성이다. 또한 이미터 저항이 보이더라도 병렬의 바이패스 커패시터가 교류에서 이미터 저항의 부귀환을 약화한다는 점을 놓치면 전압이득을 작다고 오판하기 쉽다.

다시 나오면 이렇게 판단

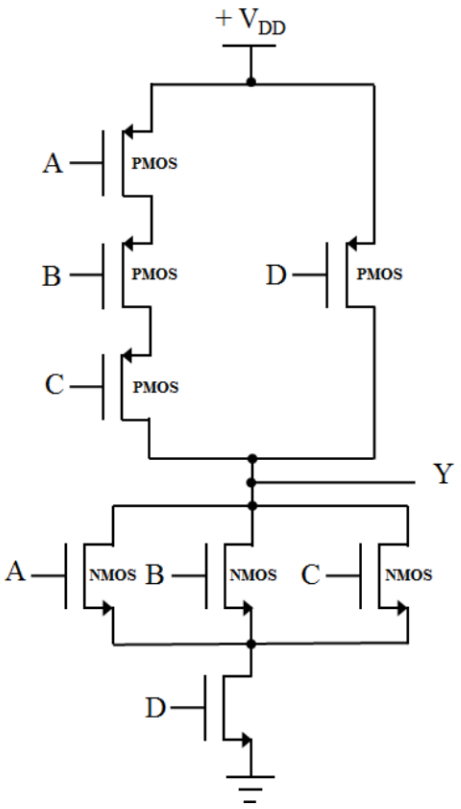
먼저 입력 단자, 출력 단자, 공통 단자를 확인한다. 베이스 입력·컬렉터 출력이면 공통 이미터이며, 이미터 저항에 바이패스 커패시터가 있으면 교류 전압이득이 커진다고 판단한다. 공통 이미터의 기본 특성은 전압이득 큼, 전류이득 큼, 입력·출력 저항 중간 정도이다.

암기 포인트

공통 이미터는 전압도 크게, 전류도 크게 증폭하며 출력 전압의 위상은 입력과 반대이다.

NoteBase

3. 아래의 CMOS 논리회로에서 입력 신호(A, B, C, D)와 출력 함수 Y의 관계를 표현한 식으로 옳은 것은?



① $Y=\overline{(A+B+C)\cdot D}$

② $Y=\overline{(A\cdot B\cdot C)+D}$

③ $Y=\overline{(A\cdot B\cdot C)}+\overline{D}$

④ $Y=\overline{(A+B+C)}\cdot\overline{D}$

⑤ $Y=\overline{(A+B+C)}+D$

정답 1번

출제 포인트

CMOS 회로의 NMOS 풀다운망에서 병렬 연결은 OR, 직렬 연결은 AND 조건이 된다는 점을 이용해 출력 논리식을 구하는 문제이다. 그림에서 A, B, C의 NMOS는 병렬이고 그 묶음이 D의 NMOS와 직렬이므로 풀다운 조건은 $(A+B+C)\cdot D$이다.

NoteBase

선지별 해설

① O — NMOS 풀다운망이 도통하면 출력 Y는 0이 되므로 출력은 풀다운 조건의 부정이다. 따라서 $Y = \overline{(A + B + C) \cdot D}$가 되어 회로와 일치한다. 드모르간 법칙으로 바꾸면 $Y = \overline{A + B + C} + \overline{D} = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{D}$이다.

② X — A, B, C의 NMOS를 직렬로 본 $A \cdot B \cdot C$가 잘못이다. 이 세 소자는 병렬이므로 올바르게는 $Y = \overline{(A + B + C) \cdot D}$이다.

③ X — $\overline{A \cdot B \cdot C} + \overline{D}$는 드모르간 법칙에 따라 $\overline{A} + \overline{B} + \overline{C} + \overline{D}$가 되므로 이 회로의 출력식과 다르다. 올바르게는 $\overline{A + B + C} + \overline{D}$, 즉 $\overline{(A + B + C) \cdot D}$이다.

④ X — $\overline{A + B + C}$와 $\overline{D}$를 AND로 연결한 부분이 잘못이다. PMOS 풀업망에서 A, B, C 직렬 경로와 D 단독 경로는 병렬이므로 두 도통 조건은 OR로 결합된다. 올바르게는 $Y = \overline{A + B + C} + \overline{D}$이다.

⑤ X — D가 부정되지 않은 것이 잘못이다. $D = 0$이면 오른쪽 PMOS가 켜져 출력이 1이 되므로 이 경로의 논리 조건은 D가 아니라 $\overline{D}$이다. 올바르게는 $Y = \overline{A + B + C} + \overline{D}$이다.

오답 포인트

핵심 함정은 트랜지스터의 직렬·병렬 구조와 논리 연산을 뒤바꾸는 것이다. NMOS 풀다운망에서는 A, B, C 병렬이 $A + B + C$, 그 묶음과 D의 직렬이 $(A + B + C) \cdot D$를 만든다. 또한 출력식은 풀다운 도통 조건 자체가 아니라 그 전체를 부정한 식이다.

다시 나오면 이렇게 판단

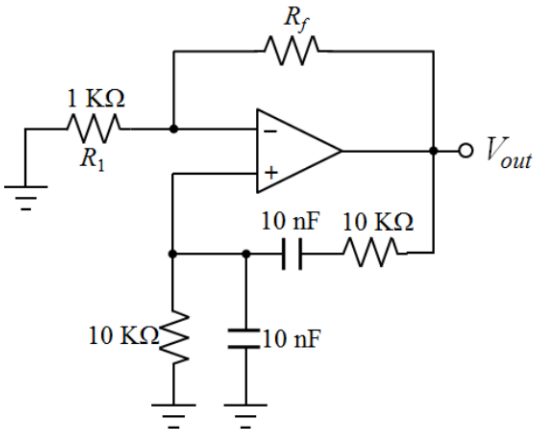
먼저 NMOS 풀다운망만 보고 병렬은 OR, 직렬은 AND로 도통 조건을 작성한 뒤, 그 조건 전체에 부정을 취해 Y를 구한다. 마지막으로 PMOS 풀업망의 직렬은 각 입력의 부정값을 AND로, 병렬 경로는 OR로 결합하여 같은 식이 나오는지 확인한다.

암기 포인트

NMOS망은 '병렬 OR, 직렬 AND, 출력은 전체 부정'으로 정리한다. 이 회로는 $Y = \overline{(A + B + C) \cdot D} = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{D}$이다.

NoteBase

4. 아래의 연산증폭기를 이용한 빈(Wien) 브릿지 발진기에서 발진을 하기 위해 요구되는 저항 R_f 값의 조건과 발진주파수 f_o 값으로 옳은 것은?



① $R_f \geq 28\,\mathrm{k\Omega}$, $f_o = 0.8\,\mathrm{kHz}$
② $R_f < 28\,\mathrm{k\Omega}$, $f_o = 0.8\,\mathrm{kHz}$
③ $R_f \geq 2\,\mathrm{k\Omega}$, $f_o = 1.6\,\mathrm{kHz}$
④ $R_f < 2\,\mathrm{k\Omega}$, $f_o = 1.6\,\mathrm{kHz}$
⑤ $R_f \geq 100\,\mathrm{k\Omega}$, $f_o = 1.8\,\mathrm{kHz}$

정답 3번

출제 포인트

빈 브리지의 발진주파수와 발진 조건을 이용하여 비반전 증폭기의 최소 이득 및 피드백 저항 R_f의 범위를 구하는 문제이다.

조건 정리

주어진 값: 빈 브리지의 두 저항은 각각 $R = 10k\Omega$, 두 커패시터는 각각 $C = 10nF$이고, 연산증폭기의 접지 저항은 $R_1 = 1k\Omega$이다.
구해야 할 값: 발진주파수 f_o와 발진에 필요한 R_f의 범위이다.
주의할 조건: 같은 R, C로 구성된 빈 브리지는 발진주파수에서 위상차가 0이고 귀환율이 1/3이다.

NoteBase

사용할 공식

발진주파수는
$f_o = \frac{1}{2\pi RC}$
이고, 비반전 증폭기의 전압이득은
$A_v = 1 + \frac{R_f}{R_1}$
이다. 빈 브리지의 귀환율이 발진주파수에서 $\beta = 1/3$이므로 발진을 시작하려면 바르크하우젠 조건 $A_v\beta \geq 1$, 즉 $A_v \geq 3$을 만족해야 한다.

계산 과정

1. $R = 10k\Omega = 10^4\Omega$, $C = 10nF = 10^{-8}F$이므로
$f_o = \frac{1}{2\pi(10^4)(10^{-8})} \approx 1.59 \times 10^3 Hz \approx 1.6kHz$
이다.
2. 발진에 필요한 이득 조건은
1+(R_f)/(1 kΩ)≥3
이다.
3. 따라서
R_f≥2 kΩ
가 된다.

선지 판단

① X — R_f≥28 kΩ는 필요한 최소 조건을 지나치게 크게 잡았고, $f_o = 0.8kHz$도 계산값과 다르다. 올바르게는 R_f≥2 kΩ, $f_o \approx 1.6kHz$이다.
② X — $R_f < 28k\Omega$에는 $2k\Omega$ 미만도 포함되어 발진 조건을 보장하지 못하며, $f_o = 0.8kHz$도 틀리다.
올바르게는 R_f≥2 kΩ, $f_o \approx 1.6kHz$이다.
③ O — 빈 브리지의 귀환율 1/3에 필요한 증폭기 이득 3을 만족하려면 R_f≥2 kΩ이고, 계산한 발진주파수는 약 $1.6kHz$이다.
④ X — $f_o = 1.6kHz$는 맞지만, $R_f < 2k\Omega$이면 $A_v < 3$이어서 루프 이득이 1보다 작아 발진할 수 없다.
올바르게는 R_f≥2 kΩ이다.
⑤ X — R_f≥100 kΩ는 필요한 최소 조건이 아니며, $f_o = 1.8kHz$도 계산값과 다르다. 올바르게는 R_f≥2 kΩ, $f_o \approx 1.6kHz$이다.
따라서 두 조건을 모두 만족하는 선지는 ③이다.

오답 포인트

발진주파수 계산에서 $10nF = 10^{-8}F$의 단위 변환을 놓치거나, 빈 브리지의 귀환율 1/3을 반대로 해석하기 쉽다. 또한 ④는 주파수만 맞지만 $R_f < 2k\Omega$라서 발진 이득 조건을 만족하지 못하는 함정이다.

NoteBase

다시 나오면 이렇게 판단

같은 R, C를 사용한 빈 브리지 발진기는 먼저 $f_o = 1/(2\pi RC)$를 계산하고, 이어서 $\beta = 1/3$에서 A_v≥3이 되도록 비반전 증폭기의 저항 조건을 구한다. 마지막으로 주파수와 저항 조건을 모두 만족하는 선지를 고른다.

암기 포인트

동일한 R, C의 빈 브리지는 $f_o = 1/(2\pi RC)$, $\beta = 1/3$, 필요 이득은 3이다.

NoteBase

5. 증가형(enhancement mode) n 채널 MOSFET의 특성에 대한 설명으로 옳지 않은 것은?

① 게이트와 소스 사이가 0 V일 때 차단상태가 된다.
② 게이트-소스 전압(V_{gs})이 양의 값으로 증가할수록 드레인 전류는 증가한다.
③ 문턱전압은 -1.0 V 근처의 음의 값을 가진다.
④ 게이트-소스 전압(V_{gs})이 문턱전압보다 낮은 경우 드레인 전류는 흐르지 않는다.
⑤ 포화영역에서는 게이트-소스 전압이 증가하면 드레인 전류는 (V_{gs} -V_{th})의 제곱에 비례하여 증가한다.

정답 3번

출제 포인트

증가형 n채널 MOSFET의 문턱전압 부호, 차단 조건, 게이트-소스 전압과 드레인 전류의 관계를 묻는 문제이다.

핵심 개념

증가형 n채널 MOSFET은 게이트에 양의 전압을 가해 채널을 형성하는 소자이다. 따라서 문턱전압 V_{th}은 양수이고, $V_{gs} < V_{th}$이면 차단된다. 이상적인 포화영역에서는 $I_D = \frac{1}{2}k_n(V_{gs} - V_{th})^2$이므로 드레인 전류는 오버드라이브 전압 $V_{gs} - V_{th}$의 제곱에 비례한다.

선지별 해설

① O — $V_{gs} = 0V$에서는 양의 문턱전압에 도달하지 못하므로 채널이 형성되지 않아 차단상태가 된다.
② O — V_{gs}가 문턱전압을 넘은 뒤 더 증가하면 채널이 강해져 드레인 전류가 증가한다.
③ X — 틀린 표현은 '문턱전압은 $-1.0V$ 근처의 음의 값'이다. 증가형 n채널 MOSFET의 문턱전압은 양의 값이며, 이 선지의 수치를 바로잡으면 약 $+1.0V$이다.
④ O — 이상적인 MOSFET 모델에서 $V_{gs} < V_{th}$이면 반전 채널이 형성되지 않으므로 드레인 전류가 흐르지 않는다.
⑤ O — 포화영역에서 드레인 전류는 $(V_{gs} - V_{th})^2$에 비례한다.

오답 포인트

③의 음의 문턱전압은 증가형 n채널 MOSFET이 아니라 $V_{gs} = 0$에서도 채널이 존재하는 공핍형 n채널 MOSFET의 특성과 혼동하게 만드는 표현이다. 또한 ②는 문턱전압을 넘은 이후의 전류 증가 관계로 판단한다.

NoteBase

다시 나오면 이렇게 판단

증가형 nMOS는 '양의 게이트 전압으로 채널을 만든다'는 기준을 적용한다. 따라서 $V_{th} > 0$, $V_{gs} < V_{th}$이면 차단, 포화영역에서는 $I_D \propto (V_{gs} - V_{th})^2$의 순서로 판단한다.

암기 포인트

증가형 nMOS는 양의 V_{th}, 문턱 아래는 차단, 포화영역 전류는 오버드라이브 전압의 제곱에 비례한다.

NoteBase

6. 2진 디지털 시스템의 기본 개념으로 옳지 않은 것은?

① 디지털 신호는 처음 잡음이 섞여 있어도 제한된 범위의 진폭 내에 있는 경우 원래의 정보를 정확히 복원할 수 있다.

② 2의 보수를 활용하면 덧셈 동작만으로 덧셈과 뺄셈 연산을 수행할 수 있다.

③ 2진수는 신호 처리 및 전송과정에서 발생하는 전기적 잡음에 대한 잡음 여유가 커서 아날로그 신호보다 잡음에 강하다.

④ 이산시간 정수값을 이산시간 2진수 디지털 신호로 변환하는 과정을 부호화(encoding)라고 한다.

⑤ 연속시간 실수값(아날로그 신호)을 이산시간 실수값으로 변환하는 과정을 양자화(quantization)라고 한다.

정답 5번

출제 포인트

이 문제는 2진 디지털 시스템의 잡음 내성, 2의 보수 연산, 부호화, 표본화와 양자화의 차이를 묻는 문제이다.

핵심 개념

표본화는 연속시간 신호의 값을 일정한 시간 간격으로 취하여 이산시간 신호로 바꾸는 과정이다. 양자화는 표본값의 연속적인 진폭을 유한한 개수의 이산적인 진폭 레벨로 대응시키는 과정이다. 부호화는 양자화된 레벨을 0과 1로 이루어진 2진 코드로 나타내는 과정이다. 즉 시간축을 이산화하는 것은 표본화이고, 진폭축을 이산화하는 것은 양자화이다.

선지별 해설

① O — 디지털 신호는 정해진 논리 레벨 범위 안에서 0과 1을 판정하므로, 잡음이 섞여도 판정 한계를 넘지 않으면 재생 과정에서 원래 정보를 정확히 복원할 수 있다.

② O — 2의 보수 표현에서는 어떤 수를 빼는 연산을 그 수의 2의 보수를 더하는 연산으로 바꿀 수 있으므로, 덧셈 동작만으로 덧셈과 뺄셈을 수행할 수 있다.

③ O — 2진수는 판정해야 할 신호 레벨이 두 개뿐이므로 각 논리 레벨에 허용되는 잡음 여유를 크게 확보할 수 있어 아날로그 신호보다 잡음에 강하다.

④ O — 이산시간 정수값, 즉 양자화된 레벨을 2진 디지털 코드로 변환하는 과정은 부호화이다.

⑤ X — 틀린 표현은 '양자화'이다. 연속시간 아날로그 신호를 이산시간 신호로 바꾸는 것은 표본화이다. 양자화는 각 표본의 연속적인 진폭값을 이산적인 진폭 레벨로 바꾸는 과정이다.

NoteBase

오답 포인트

⑤는 시간의 연속성을 이산화하는 과정과 진폭값을 이산화하는 과정을 뒤바꾼 선지이다. ‘연속시간 → 이산시간’이라는 표현이 보이면 양자화가 아니라 표본화를 판단해야 한다.

다시 나오면 이렇게 판단

신호 변환 단계에서 무엇이 이산화되는지를 확인한다. 시간축이 이산화되면 표본화, 진폭축이 이산 레벨로 제한되면 양자화, 그 레벨이 0과 1의 코드로 표현되면 부호화이다.

암기 포인트

시간은 표본화, 진폭은 양자화, 비트 표현은 부호화이다.

NoteBase

7. 다음 설명 중 옳은 것을 모두 고르면?

ㄱ. 공통 베이스증폭기는 입력임피던스가 작고, 출력임피던스가 크다.
ㄴ. 공통 컬렉터증폭기는 주로 고주파 증폭회로로 이용된다.
ㄷ. 공통 베이스증폭기는 전압이득이 높고, 전류이득은 1에 가깝다.
ㄹ. 공통 컬렉터증폭기는 입력임피던스가 크고, 출력임피던스도 크다.

① ㄱ, ㄴ
② ㄱ, ㄷ
③ ㄴ, ㄷ
④ ㄴ, ㄹ
⑤ ㄷ, ㄹ

정답 2번

출제 포인트

공통 이미터, 공통 베이스, 공통 컬렉터 증폭기의 입·출력 임피던스와 전압·전류 이득을 비교하는 문제이다.

핵심 개념

공통 이미터 증폭기: 이미터를 공통 단자로 사용하는 전압 증폭 회로이다. 입력임피던스는 비교적 작고 출력임피던스는 크며, 전압이득과 전류이득이 모두 크다.
공통 베이스 증폭기: 베이스를 공통 단자로 사용하는 회로이다. 입력임피던스가 매우 작고 출력임피던스가 크며, 전압이득은 크지만 전류이득은 1에 가깝다. 고주파 특성이 우수하다.
공통 컬렉터 증폭기: 컬렉터를 공통 단자로 사용하는 이미터 팔로어 회로이다. 입력임피던스가 크고 출력임피던스가 작아 주로 버퍼와 임피던스 정합에 이용된다.
따라서 ㄱ과 ㄷ은 옳고, ㄴ과 ㄹ은 옳지 않다.

NoteBase

선지별 해설

① X — ㄱ은 옳지만 ㄴ은 옳지 않다. ㄴ의 '공통 컬렉터증폭기는 주로 고주파 증폭회로로 이용된다'가 틀린 표현이다. 올바르게는 공통 컬렉터증폭기는 주로 버퍼 또는 임피던스 정합 회로로 이용되고, 고주파 증폭에 유리한 대표적인 접속은 공통 베이스이다.
② O — ㄱ과 ㄷ이 모두 옳다. 공통 이미터는 입력임피던스가 비교적 작고 출력임피던스가 크며, 공통 베이스는 전압이득이 크고 전류이득이 1에 가깝다.
③ X — ㄷ은 옳지만 ㄴ은 옳지 않다. ㄴ은 '고주파 증폭회로'를 '버퍼 또는 임피던스 정합 회로'로 고쳐야 한다.
④ X — ㄴ과 ㄹ이 모두 옳지 않다. ㄴ은 공통 컬렉터의 주된 용도를 버퍼 또는 임피던스 정합으로 고쳐야 한다. ㄹ의 '출력임피던스도 크다'는 '출력임피던스는 작다'로 고쳐야 한다.
⑤ X — ㄷ은 옳지만 ㄹ은 옳지 않다. 공통 컬렉터는 입력임피던스는 크지만 출력임피던스는 작으므로, ㄹ의 '출력임피던스도 크다'를 '출력임피던스는 작다'로 고쳐야 한다.

오답 포인트

ㄴ에서는 공통 컬렉터와 공통 베이스의 용도를 뒤바꾼 점이 함정이다. 또한 ㄹ에서는 공통 컬렉터의 큰 입력임피던스에 이끌려 출력임피던스도 크다고 판단하기 쉽지만, 실제 출력임피던스는 작다.

다시 나오면 이렇게 판단

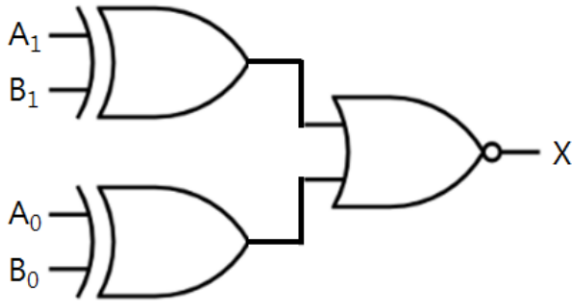
각 접속을 대표 특징으로 구분한다. 공통 이미터는 전압·전류 증폭, 공통 베이스는 작은 입력임피던스와 우수한 고주파 특성, 공통 컬렉터는 큰 입력임피던스와 작은 출력임피던스를 이용한 버퍼 기능으로 판단한다.

암기 포인트

이미터는 전압·전류 증폭, 베이스는 고주파, 컬렉터는 입력은 크게·출력은 작게 만드는 버퍼이다.

NoteBase

8. 아래 게이트 회로가 수행하는 역할로 옳은 것은?



① 반가산기
② 멀티플렉서
③ 인코더
④ 등가비교기
⑤ 패리티 발생기

정답 4번

출제 포인트

두 XOR 게이트가 각 비트쌍의 불일치를 검출하고, 마지막 NOR 게이트가 두 불일치 신호가 모두 0일 때만 1을 출력한다는 점을 파악하는 문제이다. 따라서 이 회로는 두 2비트 입력이 같은지를 판별한다.

NoteBase

선지별 해설

① X
반가산기는 두 1비트를 더하여 합과 자리올림을 출력하며, 일반적으로 합에는 XOR, 자리올림에는 AND를 사용한다. 이 회로는 덧셈 결과 두 개를 출력하지 않는다. 틀린 표현 '반가산기'는 '두 2비트 수의 등가비교기'로 고쳐야 한다.

② X
멀티플렉서는 선택 신호에 따라 여러 입력 중 하나를 출력으로 전달한다. 도식에는 선택선이 없고, 각 비트쌍의 일치 여부를 검사한다. 틀린 표현 '멀티플렉서'는 '두 2비트 수의 등가비교기'로 고쳐야 한다.

③ X
인코더는 여러 입력 중 활성화된 입력을 더 적은 비트의 코드로 변환한다. 이 회로는 입력 위치를 부호화하지 않고 두 수의 대응 비트를 비교한다. 틀린 표현 '인코더'는 '두 2비트 수의 등가비교기'로 고쳐야 한다.

④ O
위쪽 XOR의 출력은 $A_1 \oplus B_1$, 아래쪽 XOR의 출력은 $A_0 \oplus B_0$이다. 마지막 NOR의 출력은 $X = \overline{(A_1 \oplus B_1) + (A_0 \oplus B_0)}$이므로, $A_1 = B_1$이고 $A_0 = B_0$일 때만 $X = 1$이 된다. 따라서 두 2비트 수의 등가비교기이다.

⑤ X
패리티 발생기는 보통 여러 데이터 비트를 XOR하여 짝수 또는 홀수 패리티 비트를 만든다. 이 회로의 마지막 NOR는 두 XOR 결과가 모두 0인 경우만 1로 만들므로 전체 1의 개수의 홀짝이 아니라 비트쌍별 일치를 판정한다. 틀린 표현 '패리티 발생기'는 '두 2비트 수의 등가비교기'로 고쳐야 한다.

오답 포인트

입력단의 XOR 모양만 보고 반가산기나 패리티 발생기로 판단하기 쉽다. 핵심은 XOR 두 개의 출력이 OR 모양의 게이트에 들어가고 그 출력에 반전 원이 있어 NOR가 된다는 점이다. 어느 한 비트쌍이라도 다르면 XOR 출력이 1이 되어 최종 출력은 0이 된다.

다시 나오면 이렇게 판단

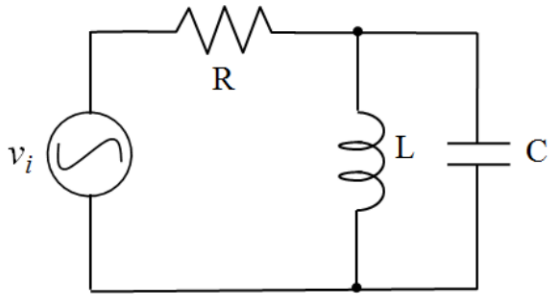
각 XOR을 '서로 다르면 1'인 불일치 검출기로 해석한다. 그 불일치 신호들을 NOR한 회로는 모든 대응 비트가 같을 때만 1을 출력하므로 등가비교기로 판단한다.

암기 포인트

비트쌍 XOR은 불일치 검출, 모든 XOR 출력의 NOR는 전체 일치 검출이다.

NoteBase

9. 아래 RLC 회로에서 R = 150 Ω, L = 250 μH, C = 40 pF 일 때, 공진주파수는 약 얼마인가?



① 800 kHz
② 1.6 MHz
③ 30.5 MHz
④ 220 MHz
⑤ 440 MHz

정답 2번

출제 포인트

이 문제는 병렬 LC 회로의 공진주파수 공식으로 공진주파수를 계산하는 문제이다.

조건 정리

주어진 값: $R = 150\Omega, L = 250\mu H, C = 40pF$이다.
구해야 할 값: 공진주파수 f_0이다.
주의할 조건: 이상적인 병렬 LC 공진에서는 코일과 커패시터의 서셉턴스가 상쇄되는 주파수를 구하므로, 직렬로 연결된 R은 공진주파수 공식에 들어가지 않는다.

사용할 공식

병렬 LC 회로의 공진 조건과 공진주파수는 다음과 같다.
$\omega_0 C - \frac{1}{\omega_0 L} = 0$
$\omega_0 = \frac{1}{\sqrt{LC}}, \quad f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi\sqrt{LC}}$
이 공식을 쓰는 이유는 공진할 때 인덕터의 유도성 서셉턴스와 커패시터의 용량성 서셉턴스가 서로 상쇄되기 때문이다.

NoteBase

계산 과정

1. 단위를 기본 단위로 바꾸면 $L = 250 \times 10^{-6} H$, $C = 40 \times 10^{-12} F$이다.
2. 두 값을 곱하면 다음과 같다.
$LC = (250 \times 10^{-6})(40 \times 10^{-12}) = 1.0 \times 10^{-14} s^2$
따라서 $\sqrt{LC} = 1.0 \times 10^{-7} s$이다.
3. 공진주파수를 계산하면 다음과 같다.
$f_0 = \frac{1}{2\pi(1.0 \times 10^{-7})} \approx 1.59 \times 10^{6} Hz = 1.59 MHz$
선지의 근삿값으로는 $1.6 MHz$이다.

선지 판단

① X — $800 kHz$는 계산값 $1.59 MHz$의 약 절반이므로 일치하지 않는다. '약 $800 kHz$'가 아니라 '약 $1.6 MHz$'가 맞다.
② O — $f_0 \approx 1.59 MHz$이므로 반올림한 $1.6 MHz$와 일치한다.
③ X — $30.5 MHz$는 공진주파수 공식에 L과 C를 대입한 결과와 일치하지 않는다. '약 $30.5 MHz$'가 아니라 '약 $1.6 MHz$'가 맞다.
④ X — $220 MHz$는 계산값보다 훨씬 크다. '약 $220 MHz$'가 아니라 '약 $1.6 MHz$'가 맞다.
⑤ X — $440 MHz$도 계산값보다 훨씬 크다. '약 $440 MHz$'가 아니라 '약 $1.6 MHz$'가 맞다.
계산 결과가 약 $1.59 MHz$이므로 정답은 2번이다.

오답 포인트

가장 큰 함정은 μH와 pF의 단위 지수를 잘못 바꾸거나, 각주파수 $\omega_0 = 1/\sqrt{LC}$를 주파수 f_0로 착각하여 2π로 나누지 않는 것이다. 또한 주어진 $R = 150\Omega$를 공진주파수 공식에 억지로 대입하면 안 된다.

다시 나오면 이렇게 판단

병렬 LC 공진 문제에서는 먼저 L과 C를 각각 H, F로 환산한 뒤 $f_0 = 1/(2\pi\sqrt{LC})$에 대입하고, 마지막으로 Hz, kHz, MHz 단위를 확인한다.

암기 포인트

이상적인 LC 공진주파수는 $f_0 = 1/(2\pi\sqrt{LC})$이며, L 또는 C가 커질수록 공진주파수는 낮아진다.

NoteBase

10. 다음 중 RLC 병렬공진회로에 대한 설명으로 옳지 않은 것은?

① 병렬공진회로는 탱크회로(tank circuit)라고도 한다.
② 공진 시 입력 어드미턴스는 매우 작아진다.
③ 공진주파수보다 낮은 주파수 영역에서 전체 임피던스는 유도성 성분이 된다.
④ 공진주파수를 낮추려면 회로의 커패시턴스를 감소시킨다.
⑤ Q 값이 감소하면 대역폭은 증가한다.

정답 4번

출제 포인트

RLC 병렬공진회로에서 공진주파수, 입력 어드미턴스, 공진 전후의 임피던스 성질, Q와 대역폭의 관계를 묻는 문제이다.

핵심 개념

병렬공진은 인덕터와 커패시터의 서셉턴스가 서로 상쇄되어 입력 어드미턴스가 최소가 되고 입력 임피던스가 최대가 되는 상태이다. 이상적인 병렬 RLC 회로의 공진주파수는 $f_0 = 1/(2\pi\sqrt{LC})$이므로 L 또는 C를 증가시키면 공진주파수가 낮아진다. 공진주파수보다 낮은 영역에서는 인덕터의 영향이 더 커 전체 임피던스가 유도성이며, 대역폭은 $BW = f_0/Q$의 관계를 갖는다.

선지별 해설

① O — 병렬공진회로는 특정 주파수를 선택하는 공진회로이므로 탱크회로라고도 한다.
② O — 공진 시 인덕터와 커패시터의 서셉턴스가 상쇄되므로 입력 어드미턴스는 최소가 된다. 따라서 입력 임피던스는 최대가 된다.
③ O — 공진주파수보다 낮으면 인덕터의 서셉턴스 크기가 커져 전체 어드미턴스가 유도성이고, 그 역수인 전체 임피던스도 유도성 성분을 갖는다.
④ X — 틀린 표현은 '커패시턴스를 감소시킨다'이다. $f_0 = 1/(2\pi\sqrt{LC})$이므로 공진주파수를 낮추려면 커패시턴스 C를 증가시켜야 한다. 인덕턴스 L을 증가시키는 방법도 가능하다.
⑤ O — $BW = f_0/Q$이므로 공진주파수가 일정할 때 Q가 감소하면 대역폭은 증가한다.

오답 포인트

④에서 공진주파수는 커패시턴스와 반비례한다고 막연히 생각하여 C를 감소시키기 쉽다. 실제로 공진주파수는 $\sqrt{LC}$에 반비례하므로 주파수를 낮추려면 L 또는 C를 증가시켜야 한다.

NoteBase

다시 나오면 이렇게 판단

먼저 $f_0 = 1/(2\pi\sqrt{LC})$로 L·C와 공진주파수의 방향을 판단한다. 이어 병렬공진은 공진점에서 어드미턴스 최소·임피던스 최대이고, 공진 아래에서는 유도성, 공진 위에서는 용량성이라는 기준을 적용한다. 대역폭은 $BW = f_0/Q$로 판단한다.

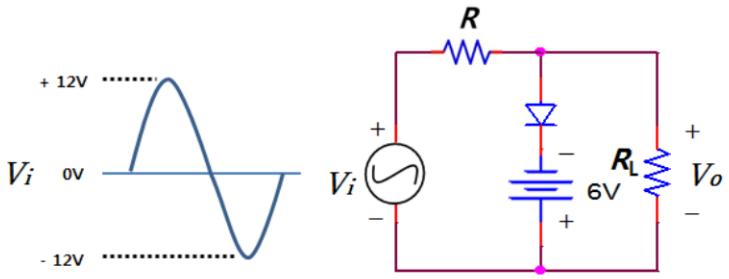
암기 포인트

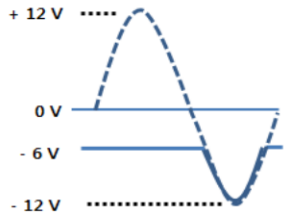
병렬공진은 Y 최소·Z 최대, 낮은 주파수에서는 유도성, f_0를 낮추려면 L 또는 C를 증가시킨다.

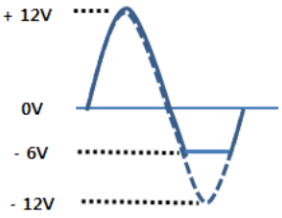
NoteBase

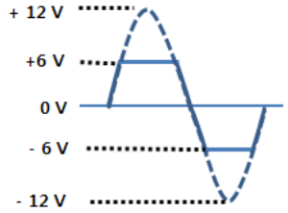
11. 아래 회로의 출력파형 (V_o)으로 옳은 것은?

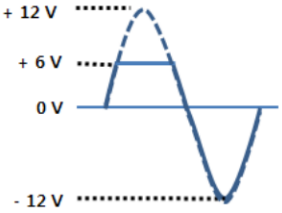
(단, 다이오드는 이상적이라고 가정하며, 답안에서의 점선은 입력전압, 실선은 출력전압, $R \ll R_L$ 이다.)

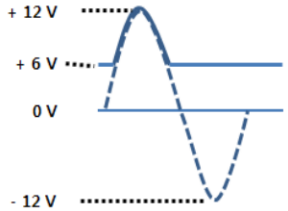


① 

② 

③ 

④ 

⑤ 

정답 1번

출제 포인트

바이어스된 이상적 다이오드 리미터에서 다이오드의 도통 여부를 판정하여 출력의 제한 준위와 통과 구간을 구하는 문제이다.

NoteBase

조건 정리

입력은 최대 $+12V$, 최소 $-12V$의 정현파이다. 전원의 위쪽 단자가 음극이고 아래쪽 단자가 양극이므로 다이오드의 기준 전위는 $-6V$이다. 다이오드는 이상적이어서 순방향 도통 시 전압 강하가 없고, $R \ll R_L$이므로 다이오드가 차단되면 $V_o \approx V_i$이다.

사용할 관계

다이오드가 도통하면 출력은 기준 전위인 $-6V$에 고정된다. 다이오드가 차단되면 부하에 나타나는 출력은 입력을 거의 그대로 따른다. 따라서
V_o=cases-6 V & (V_i≥ -6 V)_i & (V_i<-6 V)cases
이다. 즉 출력은 $-6V$보다 커지지 않는 상한 제한 파형이다.

계산 과정

1. $V_i > -6V$이면 출력이 기준 전위보다 높아지려 하므로 다이오드가 순방향 도통하고 $V_o = -6V$가 된다.
2. $V_i < -6V$이면 다이오드가 역방향 바이어스되어 차단되고 $V_o \approx V_i$가 된다.
3. 따라서 입력의 대부분 구간에서는 출력이 $-6V$에 머물고, 음의 반주기 중 입력이 $-6V$ 아래로 내려가는 구간만 입력 파형을 따라 최저 $-12V$까지 내려간다.

선지 판단

① O — $V_i \geq -6V$에서 $V_o = -6V$로 제한되고, $V_i < -6V$에서 출력이 입력을 따라 내려가는 파형이므로 회로의 동작과 일치한다.
② X — 이 파형은 입력이 $-6V$보다 낮을 때 출력을 $-6V$로 고정하는 하한 제한 파형이므로 다이오드의 도통 방향을 반대로 판단한 것이다. 올바르게는 $-6V$보다 높은 구간이 $-6V$로 제한되고 그보다 낮은 구간이 통과해야 한다.
③ X — 위쪽 $+6V$와 아래쪽 $-6V$을 모두 제한하는 양방향 리미터 파형이지만, 주어진 회로에는 한 방향만 제한하는 다이오드가 하나뿐이다. 올바르게는 $-6V$의 상한만 제한해야 한다.
④ X — $+6V$에서 양의 첨두를 제한하는 파형으로, 전원의 극성과 다이오드 방향을 잘못 적용한 것이다. 올바르게는 제한 준위가 $+6V$가 아니라 $-6V$이고, $-6V$보다 낮은 입력은 통과해야 한다.
⑤ X — $+6V$을 기준으로 입력이 그보다 낮은 구간을 고정하는 파형이므로 바이어스 전원의 극성을 반대로 본 것이다. 올바르게는 기준 준위를 $-6V$로 잡아 $V_i \geq -6V$에서 출력을 $-6V$로 고정해야 한다.

오답 포인트

배터리에 표시된 $6V$만 보고 제한 준위를 $+6V$로 정하면 ④나 ⑤를 고르게 된다. 아래쪽 공통 노드를 $0V$로 보면 배터리 위쪽은 $-6V$이다. 또한 제한 준위만 찾는 것으로 끝나지 않고, 다이오드의 애노드와 캐소드 방향으로 그 준위의 위쪽과 아래쪽 중 어느 구간이 잘리는지를 판단해야 한다.

NoteBase

다시 나오면 이렇게 판단

바이어스 리미터는 먼저 기준 전원의 극성으로 제한 전압을 구하고, 다음으로 다이오드가 순방향이 되는 입력 구간을 찾는다. 도통 구간에서는 출력이 제한 전압에 고정되고, 차단 구간에서는 $R \ll R_L$ 조건에 따라 출력이 입력을 거의 그대로 따른다.

암기 포인트

이 회로는 $-6V$ 상한 리미터이므로 $V_o = \min(V_i,\ -6V)$이다.

12. 아래의 설명 중 옳지 않은 것은?

① 2진수 $(1001)_2$를 10진수로 변환하면 $(9)_{10}$ 이다.
② 2진수 $(11100101)_2$를 8진수로 변환하면 $(345)_8$ 이다.
③ 10진수$(27.25)_{10}$를 2진수로 변환하면 $(11011.01)_2$ 이다.
④ 2진수 $(111110.1000)_2$를 16진수로 변환하면 $(3E.8)_{16}$ 이다.
⑤ 2진수 $(1110)_2$의 2의 보수는 0011 이다.

정답 5번

출제 포인트

이 문제는 2진수와 8진수·10진수·16진수 사이의 변환 방법 및 고정된 비트 수에서 2의 보수를 구하는 방법을 묻는다.

조건 정리

정수부는 오른쪽부터, 소수부는 왼쪽부터 묶는다. 8진수 변환은 2진수 3자리씩, 16진수 변환은 2진수 4자리씩 묶는다. 2의 보수는 주어진 비트 수를 유지한 채 모든 비트를 반전한 다음 1을 더한다.

사용할 공식

2진수의 자릿값은 $\sum b_k 2^k$이다. 또한 8진수 한 자리는 2진수 3자리, 16진수 한 자리는 2진수 4자리에 대응한다. n비트 수 x의 2의 보수는 비트 반전 후 1을 더한 값이며, 수치로는 $2^n - x$와 같다. 각 진법의 자릿값을 직접 더하거나 비트를 묶으면 변환값을 검산할 수 있기 때문에 이 원리를 사용한다.

계산 과정

① $1001_2 = 1 \times 2^3 + 1 \times 2^0 = 8 + 1 = 9_{10}$이다.
② 11100101_2를 오른쪽부터 세 자리씩 묶으면 $011100101_2 = 345_8$이다.
③ $27_{10} = 16 + 8 + 2 + 1 = 11011_2$이고, $0.25 = 2^{-2} = 0.01_2$이므로 $27.25_{10} = 11011.01_2$이다.
④ 소수점을 기준으로 네 자리씩 묶으면 $111110.1000_2 = 00111110.1000_2 = 3E.8_{16}$이다.
⑤ 4비트 1110_2의 각 비트를 반전하면 0001_2이고, 여기에 1을 더하면 0010_2이다.

NoteBase

선지 판단

① O — 1001_2의 자릿값 합은 8 + 1 = 9이므로 옳다.
② O — 11100101_2를 3자리씩 묶은 011,100,101은 각각 3, 4, 5이므로 345_8이 맞다.
③ O — 정수부 27은 11011_2, 소수부 0.25는 0.01_2이므로 11011.01_2이 맞다.
④ O — 4자리 묶음 0011,1110,1000은 각각 3, E, 8에 대응하므로 $3E.\,8_{16}$이 맞다.
⑤ X — 4비트 1110_2을 반전한 0001_2에 1을 더해야 하므로 2의 보수는 0011_2이 아니라 0010_2이다. 틀린 표현 '0011'은 '0010'으로 고쳐야 한다.

오답 포인트

⑤에서 비트 반전만 하거나 반전 뒤 1을 잘못 더하는 것이 핵심 함정이다. 1110의 1의 보수는 0001이고, 2의 보수는 여기에 1을 더한 0010이다. 또한 8진수와 16진수 변환에서는 정수부의 왼쪽에 필요한 만큼 0을 붙여 묶되 그 0을 새로운 유효 자릿값으로 해석하지 않는다.

다시 나오면 이렇게 판단

진법 변환은 진수에 맞춰 3비트 또는 4비트씩 묶은 뒤 각 묶음을 대응 숫자로 바꾸고, 2의 보수는 비트 수를 먼저 고정한 다음 '전체 비트 반전 → 1 더하기' 순서로 판단한다. 마지막에는 원래 수와 2의 보수의 합이 해당 비트 수에서 2^n이 되는지 검산한다.

암기 포인트

8진수는 3비트씩, 16진수는 4비트씩 묶으며, 2의 보수는 '반전 후 1 더하기'이다.

NoteBase

13. 아래 논리식을 불 대수로 간소화한 것으로 옳은 것은?

$$Y = \overline{A}\,\overline{B}\,\overline{C} + A\,\overline{B}\,C + \overline{A}\,\overline{B}\,C + A\,\overline{B}\,\overline{C}$$

① $\overline{B}$ ② $\overline{C}$
③ $\overline{AB}$ ④ AB
⑤ $\overline{AC}$

정답 1번

출제 포인트

이 문제는 불 대수의 분배법칙과 보수법칙을 이용하여 논리식을 간소화하는 문제이다.

조건 정리

주어진 식은 $Y = ABC + ABC + ABC + ABC$이다.
네 개의 곱항에 모두 B가 포함되어 있으며, 괄호 안에는 A와 C의 가능한 네 조합이 모두 들어 있다.

사용할 공식

분배법칙 $XY + XZ = X(Y + Z)$와 보수법칙 $X + X = 1$을 사용한다. 또한 $X \cdot 1 = X$이다.
모든 항에서 공통 인수 B를 묶을 수 있고, 남은 식은 A와 C의 모든 입력 조합을 포함하므로 이 법칙들을 적용한다.

계산 과정

1. 공통 인수 B를 묶는다.
$Y = \bar{B}(\bar{A}\bar{C} + AC + \bar{A}C + A\bar{C})$
2. A가 같은 항끼리 묶는다.
$\bar{A}\bar{C} + \bar{A}C = \bar{A}(\bar{C} + C) = \bar{A}$
$AC + A\bar{C} = A(C + \bar{C}) = A$
3. 따라서 괄호 안은 $A + A = 1$이 된다.
$Y = \bar{B}(\bar{A} + A) = \bar{B}$

NoteBase

선지 판단

① O — 간소화 결과가 $Y = B$이므로 옳다.
② X — Y는 C와 무관하고 B의 보수이므로 C가 아니다. 틀린 표현 C는 B로 고쳐야 한다.
③ X — $\overline{AB} = \bar{A} + \bar{B}$이므로 $A = 0, B = 1$일 때 1이지만, 원래 식 B는 0이다. 틀린 표현 $\overline{AB}$는 B로 고쳐야 한다.
④ X — AB는 $A = 1, B = 1$일 때 1이지만, 원래 식은 $B = 1$이면 항상 0이다. 틀린 표현 AB는 B로 고쳐야 한다.
⑤ X — $\overline{AC} = \bar{A} + \bar{C}$이므로 $B = 1$이어도 $A = 0$이면 1이 될 수 있지만, 원래 식 B는 0이다. 틀린 표현 $\overline{AC}$는 B로 고쳐야 한다.
계산 결과가 B이므로 정답은 1번이다.

오답 포인트

각 항을 따로 계산하거나 드모르간 법칙을 성급하게 적용하면 ③이나 ⑤처럼 여러 변수에 보수를 씌운 식을 고르기 쉽다. 이 식의 핵심은 네 항 모두에 공통인 B를 먼저 묶는 데 있다.

다시 나오면 이렇게 판단

곱의 합 형태의 논리식에서는 먼저 모든 항의 공통 리터럴을 묶는다. 남은 괄호에서 $X + X = 1$이 만들어지는지 확인하면 불필요한 변수를 빠르게 제거할 수 있다.

암기 포인트

공통항을 먼저 묶고, 보수의 합 $X + X$은 1로 만든다.

NoteBase

14. 부귀환 증폭기의 특성으로 옳은 것을 모두 고르면?

> ㄱ. 전압이득이 증가한다.
> ㄴ. 안정도가 향상된다.
> ㄷ. 주파수의 대역폭이 감소한다.
> ㄹ. 잡음이 감소한다.
> ㅁ. 비직선 일그러짐(왜율)이 감소한다.

① ㄱ, ㄴ, ㄹ
② ㄱ, ㄷ, ㅁ
③ ㄴ, ㄷ, ㅁ
④ ㄴ, ㄹ, ㅁ
⑤ ㄷ, ㄹ, ㅁ

정답 4번

출제 포인트

부귀환을 적용했을 때 이득, 안정도, 대역폭, 잡음 및 비직선 일그러짐이 어떻게 변하는지를 묻는 문제이다.

핵심 개념

부귀환은 출력의 일부를 입력과 반대 위상으로 되돌려 전체 이득을 낮추는 대신 증폭기의 동작을 일정하게 만드는 방식이다. 부귀환을 적용하면 전압이득은 감소하지만 안정도와 주파수 대역폭은 향상되고, 귀환 고리 안에서 발생하는 잡음과 비직선 일그러짐은 감소한다. 따라서 ㄱ은 X, ㄴ은 O, ㄷ은 X, ㄹ은 O, ㅁ은 O이다.

선지별 해설

① X — ㄱ의 '전압이득이 증가한다'가 틀리다. 부귀환을 적용하면 전압이득은 감소하므로 옳은 조합은 ㄴ, ㄹ, ㅁ이다.
② X — ㄱ과 ㄷ이 틀리다. 부귀환을 적용하면 전압이득은 감소하고 주파수 대역폭은 증가하므로 옳은 조합은 ㄴ, ㄹ, ㅁ이다.
③ X — ㄷ의 '주파수의 대역폭이 감소한다'가 틀리다. 실제로는 대역폭이 증가하므로, ㄷ을 ㄹ로 바꾼 ㄴ, ㄹ, ㅁ이 옳다.
④ O — ㄴ의 안정도 향상, ㄹ의 잡음 감소, ㅁ의 비직선 일그러짐 감소가 모두 부귀환의 특성이다.
⑤ X — ㄷ이 틀리고 ㄴ이 빠져 있다. 부귀환은 대역폭을 감소시키는 것이 아니라 증가시키고 안정도를 향상시키므로 옳은 조합은 ㄴ, ㄹ, ㅁ이다.

NoteBase

오답 포인트

부귀환은 이득을 낮추므로 성능이 모두 나빠진다고 생각하기 쉽다. 그러나 이득 감소와 맞바꾸어 안정도와 대역폭을 높이고 잡음과 비직선 일그러짐을 줄이는 것이 핵심이다. 특히 ㄷ의 '대역폭이 감소한다'는 표현이 대표적인 함정이다.

다시 나오면 이렇게 판단

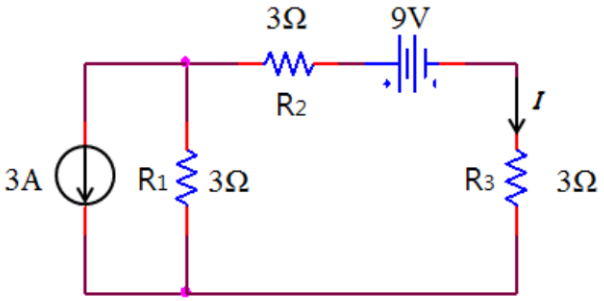
부귀환의 특성은 '이득은 감소, 안정도·대역폭은 향상, 잡음·왜곡은 감소'라는 변화 방향으로 판단한다. 이 기준을 각 문장에 적용하면 ㄴ, ㄹ, ㅁ만 남는다.

암기 포인트

부귀환은 이득을 양보하고 안정도와 대역폭을 얻으며, 잡음과 왜곡을 줄인다.

NoteBase

15. 아래 회로에서 R_3에 흐르는 전류 I 값으로 옳은 것은?



① -1 A ② 1 A
③ -2 A ④ 2 A
⑤ -3 A

정답 3번

출제 포인트

이 문제는 키르히호프의 전류 법칙(KCL)과 전압 법칙(KVL)을 함께 적용하여 R_3에 표시된 기준 방향의 전류 I를 구하는 문제이다.

조건 정리

아래쪽 도선을 기준 전위로 두고 왼쪽 위 노드의 전압을 V로 둔다. $R_1 = R_2 = R_3 = 3\Omega$이고, 전류원은 위 노드에서 아래쪽으로 $3A$가 흐른다. 전압원의 긴 선이 왼쪽이므로 왼쪽이 (+), 오른쪽이 (-)이며, 전압원을 왼쪽에서 오른쪽으로 지나면 $9V$의 전압 강하가 생긴다. 구해야 할 값은 그림에서 아래쪽을 양의 방향으로 정한 R_3의 전류 I이다.

사용할 공식

왼쪽 위 노드에서 나가는 전류의 대수합을 쓰면

$3 + \frac{V}{3} + I = 0$

이다. 또한 오른쪽 직렬 가지에 KVL을 적용하면

$V = 3I + 9 + 3I = 6I + 9$

이다. 여러 가지가 한 노드에 연결되어 있으므로 KCL을 사용하고, R_2, 전압원, R_3가 직렬인 가지의 전압 관계를 나타내기 위해 KVL을 사용한다.

NoteBase

계산 과정

KVL에서 얻은 $V = 6I + 9$를 KCL 식에 대입한다.

$3 + \frac{6I + 9}{3} + I = 0$

$3 + (2I + 3) + I = 0$

$3I + 6 = 0$

따라서

$I = -2A$

이다. 음의 부호는 실제 전류가 그림의 화살표와 반대인 위쪽으로 $2A$ 흐른다는 뜻이다.

선지 판단

① X — $-1A$는 KCL과 KVL을 동시에 만족하지 않는다. 틀린 값이며, 올바르게는 $I = -2A$이다.

② X — $1A$는 크기와 방향이 모두 계산 결과와 다르다. 틀린 값이며, 올바르게는 표시 방향 기준 $I = -2A$이다.

③ O — 계산 결과가 $I = -2A$이므로 일치한다.

④ X — $2A$는 전류의 크기만 같고 방향을 반대로 판단한 값이다. 틀린 값이며, 올바르게는 그림의 아래쪽 기준 방향에 대해 $I = -2A$이다.

⑤ X — $-3A$는 전류원의 $3A$에 부호만 붙인 값으로, 두 저항 가지와 전압원의 영향을 반영하지 않는다. 틀린 값이며, 올바르게는 $I = -2A$이다.

오답 포인트

가장 큰 함정은 전압원의 극성과 전류의 기준 방향이다. 전압원의 긴 선인 왼쪽이 (+)이므로 왼쪽에서 오른쪽으로 진행할 때 $9V$가 감소한다. 또한 계산값이 음수라고 해서 전류의 크기가 음수인 것은 아니며, 실제 방향이 그림의 화살표와 반대라는 의미이다. 이 부호를 버리면 ④를 고르게 된다.

다시 나오면 이렇게 판단

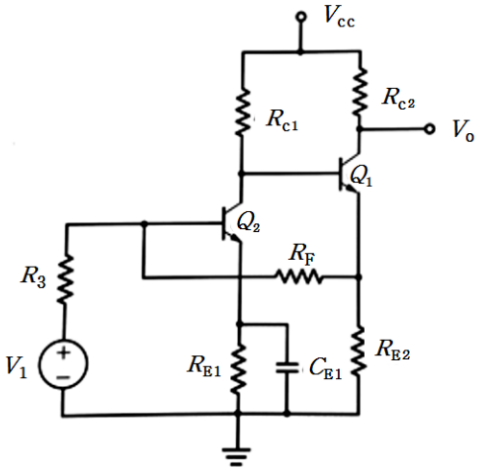
회로의 공통 노드 전압을 하나 정한 뒤 각 가지 전류를 같은 기준 방향으로 표현한다. 노드에는 KCL을 적용하고, 전압원이 포함된 직렬 가지에는 극성을 확인하여 KVL을 적용한다. 마지막에는 전류 계산값의 부호를 그림에 표시된 기준 방향과 비교한다.

암기 포인트

전류의 음수 부호는 크기가 아니라 기준 화살표와 반대 방향임을 나타낸다. 이 회로에서는 $I = -2A$, 즉 실제로는 위쪽으로 $2A$가 흐른다.

NoteBase

16. 아래 2단 귀환증폭기에 대한 설명으로 옳은 것은?



① 전압증폭기로 입력저항은 작아진다.
② 병렬-직렬 귀환 전류 증폭기이다.
③ 귀환에 의해서 입력저항이 커진다.
④ 귀환에 의해서 출력저항이 작아진다.
⑤ 전류이득이 −1이다.

정답 2번

출제 포인트

귀환 신호가 입력에서 병렬로 합성되고 출력 전류가 직렬로 검출되는지를 회로 연결에서 판별하는 문제이다. 이 회로는 R_F를 통해 출력단 전류에 대응하는 신호를 입력 접점으로 되돌리므로 병렬-직렬 귀환 전류 증폭기이다.

NoteBase

선지별 해설

① X
입력에서 병렬 합성하고 출력에서 전류를 검출하므로 전압 증폭기가 아니라 전류 증폭기이다. 또한 병렬 귀환에 의해 입력저항은 작아진다. 틀린 표현 '전압증폭기'는 '전류증폭기'로 고쳐야 한다.

② O
귀환 신호가 입력단에 병렬로 들어가고, 출력단에서는 출력 전류에 비례하는 신호를 직렬 방식으로 검출한다. 따라서 병렬-직렬 귀환 전류 증폭기이다.

③ X
입력단의 병렬 합성은 입력 전류의 일부를 귀환 경로로 분기시키므로 입력저항을 작게 한다. 틀린 표현 '입력저항이 커진다'는 '입력저항이 작아진다'로 고쳐야 한다.

④ X
출력 전류를 직렬로 검출하는 귀환은 출력저항을 크게 한다. 틀린 표현 '출력저항이 작아진다'는 '출력저항이 커진다'로 고쳐야 한다.

⑤ X
부귀환은 귀환 신호가 입력 신호를 약화하는 방향으로 작용한다는 뜻이지, 전체 전류이득이 항상 -1이라는 뜻이 아니다. 틀린 표현 '전류이득이 -1이다'는 '전류이득은 회로와 귀환망의 이득에 따라 정해진다'로 고쳐야 한다.

오답 포인트

③과 ④는 귀환의 효과를 반대로 제시한 선지이다. 입력의 병렬 합성은 입력저항을 낮추고, 출력의 직렬 검출은 출력저항을 높인다. '부귀환'의 부호와 증폭기의 이득값을 동일시하면 ⑤를 고르기 쉽다.

다시 나오면 이렇게 판단

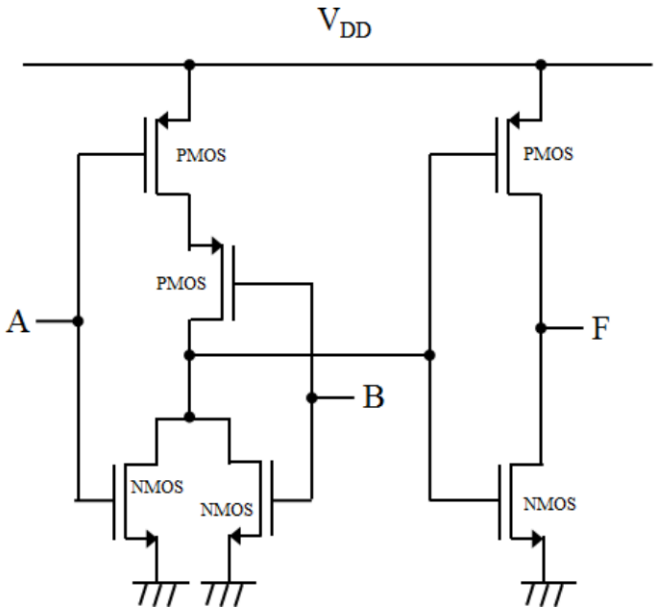
입력 접점에서 귀환 신호가 병렬로 만나는지 직렬로 더해지는지를 먼저 확인하고, 출력에서는 전압을 병렬로 검출하는지 전류를 직렬로 검출하는지를 확인한다. 병렬-직렬형이면 전류 증폭기이며 입력저항은 감소하고 출력저항은 증가한다.

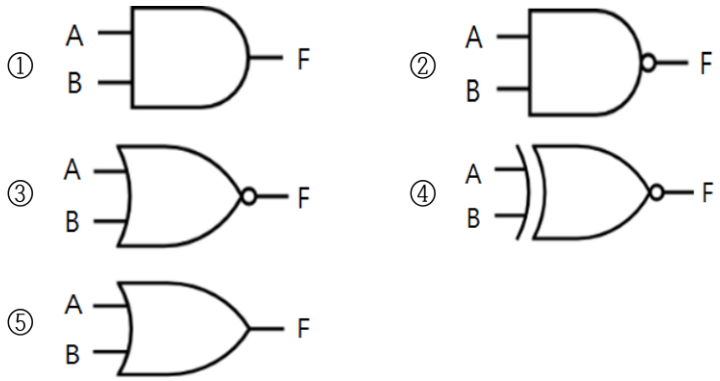
암기 포인트

병렬-직렬 귀환은 전류 증폭형이고, 입력저항은 작게·출력저항은 크게 만든다.

NoteBase

17. 아래 회로가 의미하는 게이트로 옳은 것은?





정답 5번

출제 포인트

이 문제는 CMOS 풀업·풀다운망이 만드는 중간 논리와 뒤쪽 인버터의 반전을 차례로 해석하여 최종 게이트를 판별하는 문제이다. 왼쪽 회로는 NOR 출력을 만들고, 오른쪽 인버터가 이를 다시 반전하므로 최종 출력은 OR가 된다.

NoteBase

선지별 해설

① X — AND 게이트는 두 입력이 모두 1일 때만 출력이 1이지만, 이 회로의 최종 출력은 어느 한 입력만 1이어도 1이다. 틀린 표현은 AND이며, 올바르게는 OR 게이트이다.
② X — 출력에 반전 원이 붙은 AND 기호는 NAND 게이트이다. 이 회로는 최종 단계에서 NOR 출력을 반전하여 OR를 만들므로 NAND가 아니다. 틀린 표현은 NAND이며, 올바르게는 OR 게이트이다.
③ X — 출력에 반전 원이 붙은 OR 기호는 NOR 게이트이다. 왼쪽 내부 노드까지는 NOR이지만 오른쪽 인버터를 거친 최종 출력 F는 OR이다. 틀린 표현은 NOR이며, 올바르게는 OR 게이트이다.
④ X — 입력 쪽에 곡선이 하나 더 있고 출력에 반전 원이 붙은 기호는 XNOR 게이트이다. 이 회로는 두 입력의 일치 여부가 아니라 둘 중 하나 이상이 1인지에 따라 출력이 정해진다. 틀린 표현은 XNOR이며, 올바르게는 OR 게이트이다.
⑤ O — 왼쪽에서 직렬 PMOS와 병렬 NMOS가 중간 노드 $X = \overline{A + B}$를 만들고, 오른쪽 인버터가 이를 반전한다. 따라서 $F = \overline{X} = A + B$이므로 OR 게이트가 맞다.

오답 포인트

왼쪽 CMOS망만 보고 NOR인 ③을 고르기 쉽다. 그러나 문제의 출력은 중간 노드가 아니라 오른쪽 인버터 뒤의 F이므로 반전을 한 번 더 적용해야 한다.

다시 나오면 이렇게 판단

먼저 PMOS 풀업망과 NMOS 풀다운망으로 중간 노드의 논리를 구한 뒤, 출력까지 이어지는 인버터나 반전 원의 개수를 반영한다. 이 회로에서는 ‘NOR 다음 인버터’이므로 최종 논리는 OR이다.

암기 포인트

직렬 PMOS·병렬 NMOS는 NOR, 그 뒤에 인버터가 붙으면 OR이다.

NoteBase

18. 어떤 연산증폭기의 차동이득이 50,000 이고, 동상이득이 0.1 일 때 동상신호제거비(CMRR)로 옳은 것은? (단위: dB)
(단, $\log_{10} 2 = 0.3$)

① 104
② 114
③ 126
④ 136
⑤ 146

정답 2번

출제 포인트

차동이득과 동상이득의 비를 데시벨로 변환하여 동상신호제거비(CMRR)를 구하는 문제이다.

조건 정리

차동이득: $A_d = 50{,}000$
동상이득: $A_c = 0.1$
구해야 할 값: 데시벨 단위의 동상신호제거비 $CMRR_{dB}$
주어진 로그값: $\log_{10} 2 = 0.3$

사용할 공식

$CMRR = \frac{A_d}{A_c}$
$CMRR_{dB} = 20\log_{10}\left(\frac{A_d}{A_c}\right)$
전압 이득의 비를 데시벨로 나타내므로 이 공식에서 로그 앞의 계수는 20이다.

계산 과정

먼저 이득비를 계산한다.
$\frac{A_d}{A_c} = \frac{50{,}000}{0.1} = 500{,}000 = 5 \times 10^5$
주어진 $\log_{10} 2 = 0.3$을 이용하면 $\log_{10} 5 = \log_{10}(10/2) = 1 - 0.3 = 0.7$이다.
따라서
$CMRR_{dB} = 20\log_{10}(5 \times 10^5) = 20(0.7 + 5) = 114dB$
계산 결과는 $114dB$이다.

NoteBase

선지 판단

① X — 104dB는 계산 결과 114dB와 일치하지 않는다. 올바른 값은 114dB이다.
② O — 이득비 500,000에 $20\log_{10}$을 적용하면 114dB가 된다.
③ X — 126dB는 계산 결과보다 12dB 크다. 올바른 값은 114dB이다.
④ X — 136dB는 계산 결과보다 22dB 크다. 올바른 값은 114dB이다.
⑤ X — 146dB는 계산 결과보다 32dB 크다. 올바른 값은 114dB이다.

오답 포인트

동상이득이 0.1이므로 50,000에 0.1을 곱하는 것이 아니라 0.1로 나누어 이득비 500,000을 만든다. 또한 전압 이득비의 데시벨 변환에서는 $10\log_{10}$이 아니라 $20\log_{10}$을 사용한다.

다시 나오면 이렇게 판단

차동이득을 동상이득으로 나누어 CMRR의 선형비를 먼저 구하고, 전압 이득비이므로 $20\log_{10}$을 적용한 뒤 dB 단위를 확인한다.

암기 포인트

CMRR은 차동이득을 동상이득으로 나눈 값이며, 데시벨 표현은 $CMRR_{dB} = 20\log_{10}(A_d/A_c)$이다.

NoteBase

19. 다음 중 전력 증폭기 회로에 대한 설명으로 옳지 않은 것은?

① A급 전력 증폭기는 이미터와 베이스 간에 역방향 바이어스 상태가 된다.

② B급 전력 증폭기는 A급 전력 증폭기에 비하여 효율이 좋다.

③ A급 전력 증폭기는 입력파형을 왜곡이나 파형 잘림 없이 충실히 재생할 수 있다.

④ A, B, C급 전력 증폭기 중에 C급 증폭기는 효율이 가장 높고, RF 송신 출력단에 주로 사용된다.

⑤ A급 전력 증폭기는 전력 소모가 높다.

정답 1번

출제 포인트

이 문제는 A급·B급·C급 전력 증폭기의 바이어스 상태, 효율, 신호 재현성 및 주된 용도를 구별하는 문제이다.

핵심 개념

A급: 트랜지스터가 입력 신호의 전 주기 동안 동작하도록 활성 영역에 바이어스하는 방식이다. 신호 재현성이 좋지만 무신호 상태에서도 전류가 흘러 효율이 낮고 전력 소모가 크다.
B급: 각 소자가 입력 신호의 반 주기씩 동작하는 방식이다. A급보다 효율이 높지만 교차 왜곡이 생길 수 있다.
C급: 도통각이 반 주기보다 작은 방식이다. 왜곡은 크지만 효율이 높아 공진 회로와 함께 RF 송신 출력단 등에 주로 사용된다.
핵심 대비는 A급은 충실도, B급은 효율 개선, C급은 높은 효율과 RF 용도이다.

선지별 해설

① X — A급 전력 증폭기의 트랜지스터는 활성 영역에서 동작해야 하므로 이미터-베이스 접합은 순방향 바이어스된다. 틀린 표현은 '역방향 바이어스'이며, 올바르게는 '이미터와 베이스 간에 순방향 바이어스 상태가 된다'이다.
② O — B급은 각 소자가 반 주기씩 동작하여 무신호 전력 소모를 줄이므로 A급보다 효율이 좋다.
③ O — A급은 입력 신호의 전 주기 동안 소자가 활성 영역에서 동작하므로 파형 잘림이나 교차 왜곡 없이 입력 파형을 충실하게 재생할 수 있다.
④ O — C급은 A급과 B급보다 도통각이 작아 효율이 가장 높으며, 큰 파형 왜곡은 공진 회로로 보완할 수 있어 RF 송신 출력단에 주로 사용된다.
⑤ O — A급은 입력 신호가 없어도 바이어스 전류가 계속 흐르므로 전력 소모가 높고 효율이 낮다.

NoteBase

오답 포인트

①의 '이미터와 베이스 간 역방향 바이어스'가 함정이다. 활성 영역에서는 이미터-베이스 접합이 순방향, 컬렉터-베이스 접합이 역방향 바이어스되므로 두 접합의 상태를 바꾸어 기억하면 오답을 고르게 된다.

다시 나오면 이렇게 판단

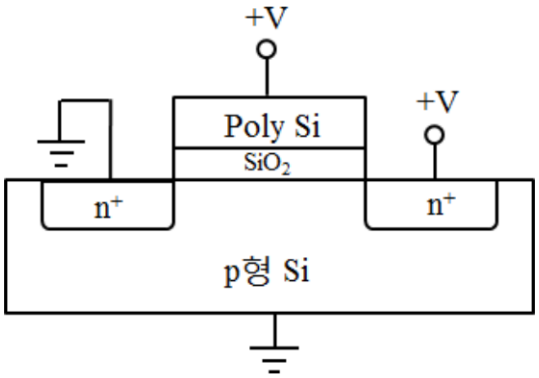
먼저 A급의 활성 영역 조건인 이미터-베이스 순방향 바이어스를 확인한다. 그다음 A급은 충실도 우수·효율 낮음, B급은 A급보다 효율 높음, C급은 효율이 가장 높고 RF용이라는 기준으로 선지를 판별한다.

암기 포인트

A급은 전 주기·고충실도·저효율, B급은 반 주기·효율 개선, C급은 짧은 도통·고효율·RF이다.

NoteBase

20. 아래 그림의 구조를 갖는 실리콘 반도체 소자의 명칭으로 옳은 것은?



① NPN BJT
② PNP BJT
③ N-채널 JFET
④ PMOS FET
⑤ NMOS FET

정답 5번

출제 포인트

이 문제는 도식의 p형 Si 기판, 두 n^+ 영역, 그리고 SiO_2 절연막 위의 Poly Si 게이트를 근거로 소자의 종류와 채널 극성을 식별하는 문제이다. 이 구조는 게이트 전압으로 p형 기판 표면에 n채널을 형성하는 NMOS FET이다.

NoteBase

선지별 해설

① X

NPN BJT는 n형 이미터와 컬렉터 사이에 p형 베이스가 있는 3층 접합 구조이며, 산화막으로 절연된 게이트를 사용하지 않는다. 틀린 표현 'NPN BJT'는 'NMOS FET'로 고쳐야 한다.

② X

PNP BJT는 p형 이미터와 컬렉터 사이에 n형 베이스가 있는 구조이다. 그림의 p형 기판과 n^+ 소스·드레인 및 절연 게이트 구조와 맞지 않는다. 틀린 표현 'PNP BJT'는 'NMOS FET'로 고쳐야 한다.

③ X

N채널 JFET의 게이트는 채널과 PN 접합을 이루어 역바이어스되지만, 그림의 게이트는 SiO_2 산화막에 의해 반도체와 절연되어 있다. 틀린 표현 'N-채널 JFET'는 'N-채널 MOSFET(NMOS FET)'으로 고쳐야 한다.

④ X

PMOS FET는 일반적으로 n형 기판 또는 n웰에 p^+ 소스·드레인이 형성된 구조이다. 그림은 p형 기판에 n^+ 영역이 있으므로 극성이 반대이다. 틀린 표현 'PMOS FET'는 'NMOS FET'로 고쳐야 한다.

⑤ O

그림은 p형 Si 기판에 n^+ 소스와 드레인이 있고, Poly Si 게이트가 SiO_2로 절연되어 있다. 게이트에 양전압을 인가하면 표면에 전자가 모여 n채널이 형성되므로 NMOS FET이다.

오답 포인트

n^+ 영역만 보고 NPN BJT로 판단하거나, n채널이라는 말만 보고 N-채널 JFET를 고르기 쉽다. BJT와 MOSFET는 '산화막으로 절연된 게이트'의 유무로 구분하고, JFET와 MOSFET는 'PN 접합 게이트'인지 '산화막 절연 게이트'인지로 구분한다.

다시 나오면 이렇게 판단

먼저 게이트 아래 절연막이 있는지 확인한다. 절연막이 있으면 MOSFET이고, 이어서 기판과 소스·드레인의 도핑 극성을 본다. p형 기판과 n^+ 소스·드레인의 조합이면 NMOS, n형 기판과 p^+ 소스·드레인의 조합이면 PMOS이다.

암기 포인트

p형 바디 + n^+ 소스·드레인 + 산화막 절연 게이트 = NMOS이다.