

전자공학개론

1. 다음 중 작은 저항값을 갖는 부하를 구동하기 위한 전압버퍼로 사용하기에 가장 적절한 증폭기는?

- ① 캐스코드증폭기
- ② 공통컬렉터증폭기
- ③ 공통이미터증폭기
- ④ 공통베이스증폭기

2. 10진수 -15 를 8비트 2의 보수 형태로 표현하면?

- ① 11110000
- ② 11110001
- ③ 11110010
- ④ 11110011

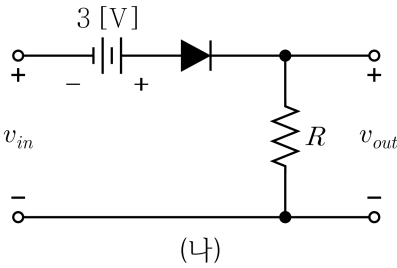
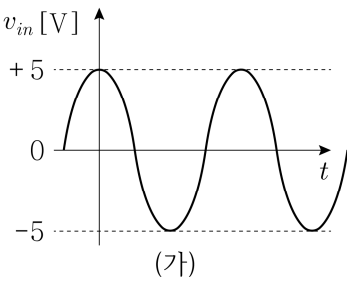
3. OSI(open system interconnection) 계층 중 송신 프로세스와 수신 프로세스를 서로 연결하는 기능을 수행하는 것으로서, 프로세스를 구분하기 위해 포트 번호를 부여하는 계층은?

- ① 세션(session) 계층
- ② 전송(transport) 계층
- ③ 네트워크(network) 계층
- ④ 데이터링크(data link) 계층

4. FM 송신단에 사용되는 프리엠퍼시스(pre-emphasis) 필터와 FM 수신단에 사용되는 디엠퍼시스(de-emphasis) 필터를 바르게 연결한 것은?

프리엠퍼시스	디엠퍼시스
① 고역통과필터	저역통과필터
② 고역통과필터	고역통과필터
③ 저역통과필터	저역통과필터
④ 저역통과필터	고역통과필터

5. 다음 (가) 입력 v_{in} 을 (나) 회로에 인가했을 때, 출력 전압 v_{out} 의 최댓값과 최솟값의 합[V]은? (단, 다이오드는 이상적이다)



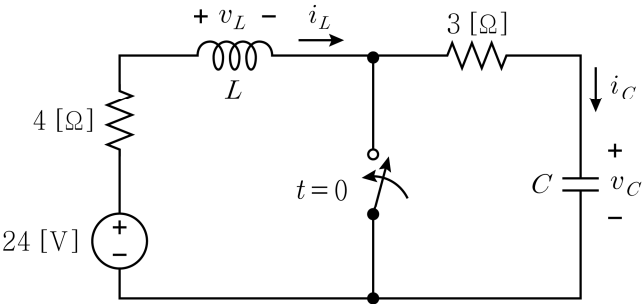
- ① -8
- ② -5
- ③ 5
- ④ 8

6. 다음 진리표를 갖는 출력 F 의 논리식은? (단, \times 는 무관항이다)

A	B	C	D	F
0	0	0	0	\times
0	0	0	1	1
0	0	1	0	\times
0	0	1	1	1
0	1	0	0	\times
0	1	0	1	1
0	1	1	0	1
0	1	1	1	\times
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

- ① $\overline{A} + B \cdot \overline{C} \cdot \overline{D} + B \cdot C \cdot D$
- ② $\overline{A} + \overline{B} \cdot C \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot D$
- ③ $A + B \cdot \overline{C} \cdot D + B \cdot C \cdot \overline{D}$
- ④ $A + \overline{B} \cdot C \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot D$

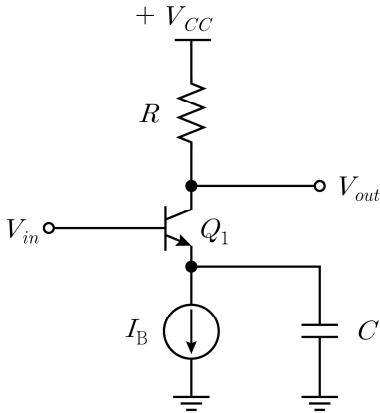
7. 다음 회로에서 스위치가 오랜 시간 동안 열린 상태에 있다가 $t = 0$ [s]일 때 닫힌다면 $i_C(0^+)$ [A], $v_C(\infty)$ [V], $i_L(\infty)$ [A]는?



	$i_C(0^+)$	$v_C(\infty)$	$i_L(\infty)$
①	-8	0	6
②	-8	6	0
③	8	0	6
④	8	6	0

8. 반도체 다이오드에 대한 설명으로 옳지 않은 것은?
- ① 순방향 바이어스에서는 주로 확산(diffusion)에 의해서 전류가 흐른다.
 - ② 동작 온도가 올라가면 역방향 바이어스 영역의 동일 전압에서 흐르는 전류 절댓값이 커진다.
 - ③ GaAs 화합물 다이오드는 Si 다이오드보다 전하이동도가 우수하여 고속 동작에 주로 이용된다.
 - ④ 제너 다이오드는 순방향 바이어스 영역의 항복현상을 이용하여 전원 안정화 회로에 사용된다.

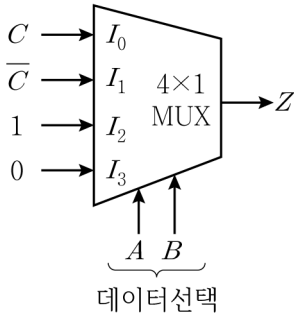
9. 다음 증폭기 회로의 전압이득 $\left| \frac{V_{out}}{V_{in}} \right|$ 에 비례하는 것으로 옳은 것만을 모두 고르면? (단, I_B 는 이상적인 정전류원이고 $C = \infty$, BJT Q_1 은 활성영역에서 동작한다)



- ㄱ. 저항 R
ㄴ. Q_1 의 이미터 면적
ㄷ. 바이어스 전류 I_B
ㄹ. 바이어스 전압 V_{CC}

- ① ㄱ, ㄴ
- ② ㄱ, ㄷ
- ③ ㄴ, ㄹ
- ④ ㄷ, ㄹ

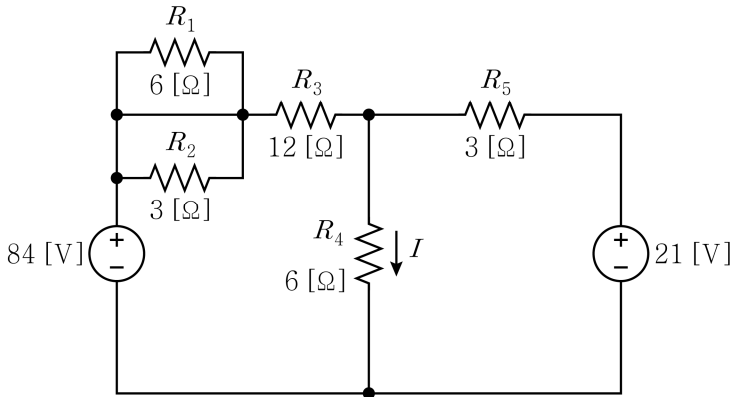
10. 다음 4×1 멀티플렉서에서 출력 Z 의 논리식은? (단, 데이터선택 입력의 순서는 다음과 같다)



A	B	Z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

- ① $A \cdot \overline{C} + B \cdot \overline{C}$
- ② $A \cdot \overline{B} + \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C}$
- ③ $A \cdot \overline{C} + B \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C$
- ④ $\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C}$

11. 다음 회로에서 R_4 에 흐르는 전류 $I[A]$ 는?



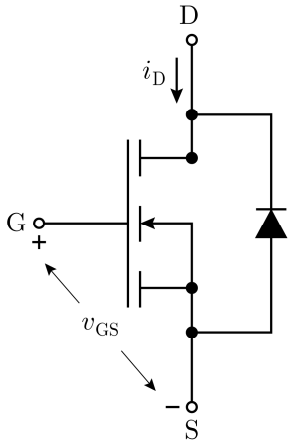
- ① 1
- ② 2
- ③ 3
- ④ 4

12. MOSFET과 BJT의 특징으로 옳은 것만을 모두 고르면?

- ㄱ. MOSFET은 BJT보다 전력 소모가 크다.
ㄴ. MOSFET은 전계효과로 전류가 제어된다.
ㄷ. MOSFET은 게이트 단자가 절연되어 있다.
ㄹ. MOSFET과 BJT 모두 전자와 정공 두 종류의 캐리어에 의해 전류가 형성된다.

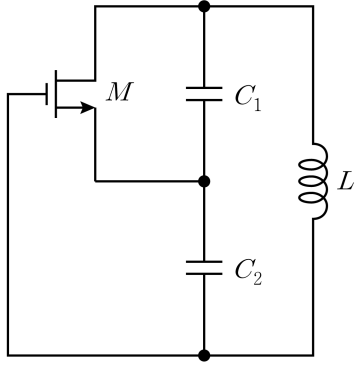
- ① ㄱ, ㄴ
- ② ㄱ, ㄹ
- ③ ㄴ, ㄷ
- ④ ㄷ, ㄹ

13. 다음 전력용 MOSFET에 대한 설명으로 옳지 않은 것은? (단, 소스-드레인 사이의 PN 다이오드는 제조공정에서 만들어지는 내장된 내부 다이오드이다)



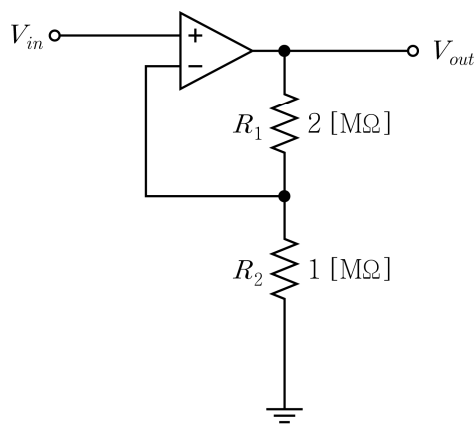
- ① 턴오프 상태일 때는 내부 다이오드로 전류가 흐를 수 없다.
- ② 드레인(D), 소스(S), 게이트(G)의 3단자로 이루어진 반도체 스위칭 소자이다.
- ③ 내부 다이오드의 역회복시간(reverse recovery time)이 상대적으로 느리기 때문에 고속 스위칭 회로에는 외부에 고속 다이오드를 추가한다.
- ④ 게이트-소스 전압 v_{GS} 에 문턱전압(threshold voltage)보다 큰 양의 전압을 인가하면 드레인과 소스 사이는 턴온 상태로 전류 i_D 가 흐르게 된다.

14. 다음 발진기 회로에 대한 설명으로 옳지 않은 것은? (단, 발진기의 전압이득은 A , 귀환 계수는 β 이다)



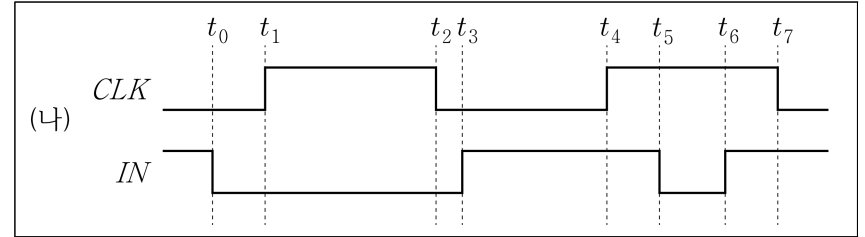
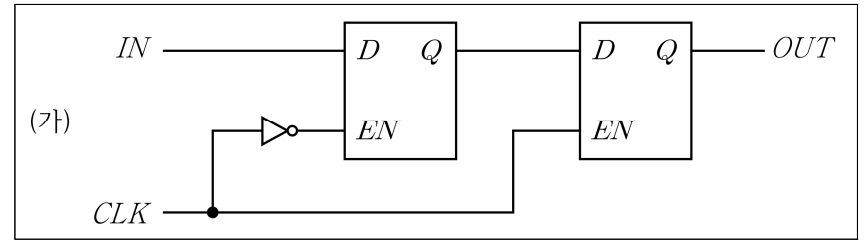
- ① $|\beta| = \frac{C_2}{C_1}$ 이다.
 ② 콜피츠발진기 회로이다.
 ③ $A\beta > 1$ 일 때 발진이 시작된다.
 ④ 발진주파수 $f_r = \frac{1}{2\pi\sqrt{L(\frac{C_1 C_2}{C_1 + C_2})}}$ [Hz]이다.

15. 다음 증폭기 회로에 대한 설명으로 옳은 것은? (단, 연산증폭기의 개방루프이득은 1,000이고 차단주파수는 1 [kHz]이다)



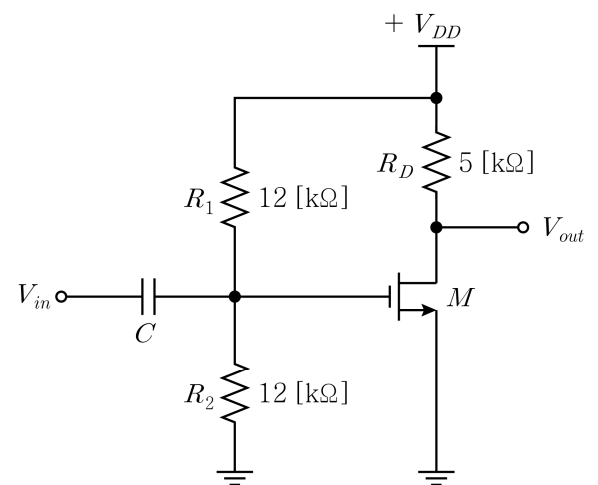
- ① 반전증폭기 회로이다.
 ② 전압이득 $\left| \frac{V_{out}}{V_{in}} \right|$ 은 약 2이다.
 ③ 대역폭(bandwidth)은 약 330 [kHz]이다.
 ④ 단위이득주파수(unit-gain frequency)는 약 2 [MHz]이다.

16. 다음 (가) D-래치 2개를 연결한 마스터-슬레이브 회로에서 CLK 와 IN 의 파형이 (나)와 같을 때, OUT 의 파형으로 옳은 것은? (단, t_0 이전에 $OUT = \text{'HIGH'}$ 였으며 D-래치와 인버터의 지연은 없다)



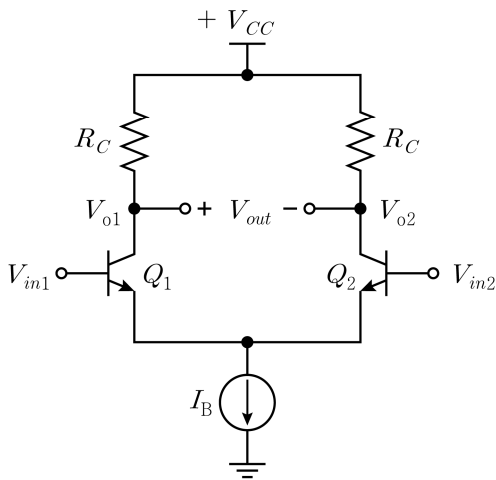
- ①
-
- ②
-
- ③
-
- ④
-

17. 다음 MOSFET 증폭기 회로의 전압이득 $\left| \frac{V_{out}}{V_{in}} \right|$ 은? (단, MOSFET의 전달컨덕턴스 $g_m = 1$ [mA/V], $C = \infty$, 교류 출력저항 $r_o = \infty$ 이다)



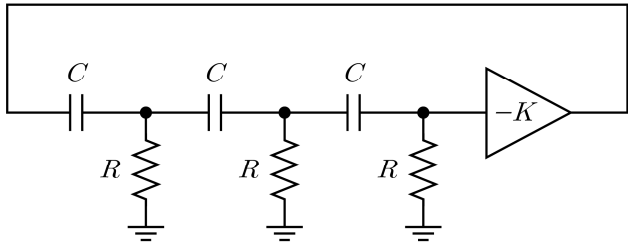
- ① 1
 ② 2.5
 ③ 5
 ④ 7.5

18. 다음 차동증폭기 회로에 대한 설명으로 옳은 것은? (단, I_B 는 이상적인 정전류원이고, 트랜지스터 Q_1 과 Q_2 는 활성영역에서 동작하고, 공통 모드이득은 매우 작은 값으로 일정하다고 가정한다)



- ① I_B 가 증가할 때 차동모드이득의 절댓값이 감소한다.
- ② I_B 가 증가할 때 공통모드제거비(CMRR)가 감소한다.
- ③ R_C 가 증가할 때 차동모드이득의 절댓값이 증가한다.
- ④ R_C 가 증가할 때 직류 출력전압 V_{o1} 과 V_{o2} 가 증가한다.

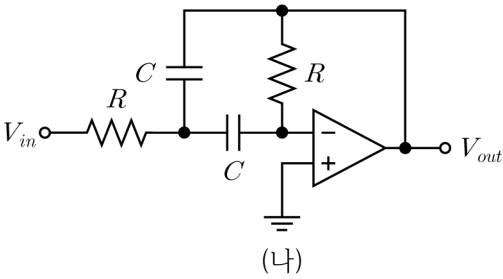
19. 다음 3단 귀환 RC 회로와 전압이득이 $-K$ 인 증폭기로 구성된 발진기 회로에 대한 설명으로 옳지 않은 것은? (단, K 는 양수이다)



- ① 위상편이발진기 회로이다.
- ② 발진주파수 $f_r = \frac{1}{2\pi RC\sqrt{3}}$ [Hz]이다.
- ③ 발진주파수에서 3단 귀환 RC 회로의 귀환계수 $|\beta| = \frac{1}{29}$ 이다.
- ④ 3단 귀환 RC 회로의 전체 위상편이가 180° 가 되는 경우에 발진 조건을 만족한다.

20. 다음 (가) 2차 대역통과필터의 전달함수에 대응하는 (나) 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)

(가)
$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{K\left(\frac{\omega_o}{Q}\right)s}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2}$$



- ① 양호도(quality factor) $Q = \frac{1}{2}$ 이다.
- ② 중심 각주파수 $\omega_o = \frac{1}{RC}$ [rad/s]이다.
- ③ 중심 각주파수에서 전압이득 $|K| = 2$ 이다.
- ④ 대역폭(bandwidth) $BW = \frac{1}{\pi RC}$ [Hz]이다.