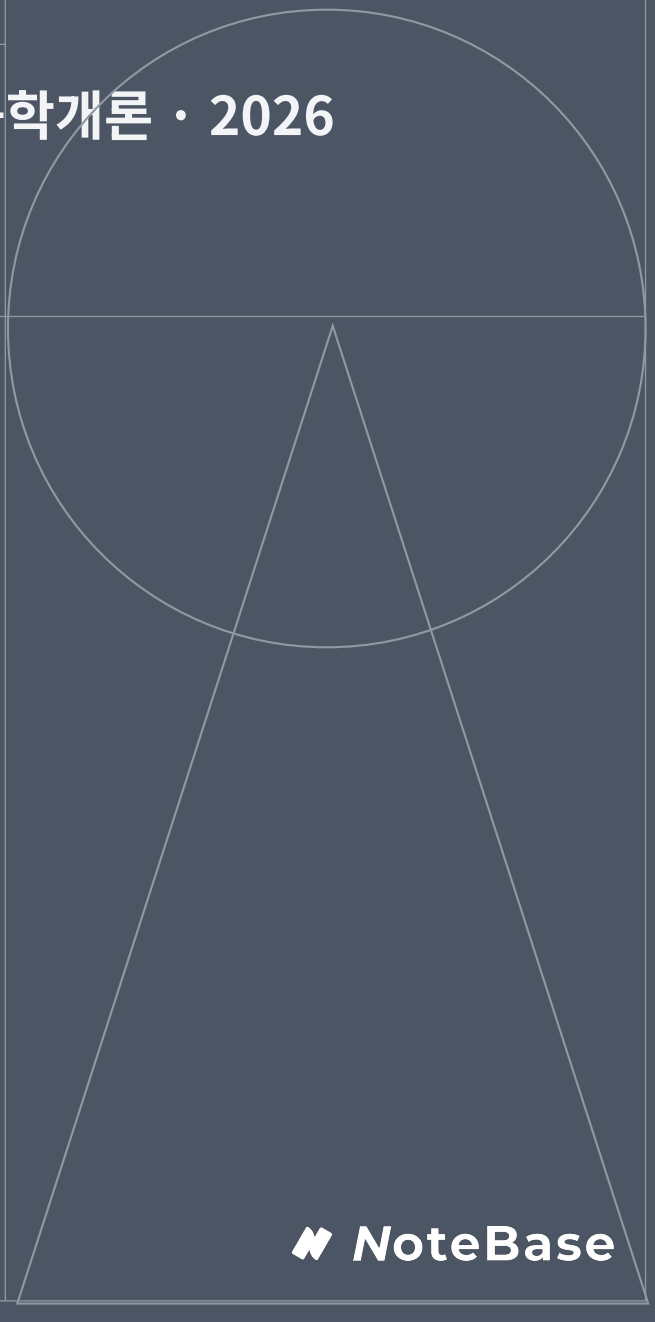
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2026



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2026

공무원/국가직/9급 · 전자공학개론 · 2026

문 1. 다음 중 작은 저항값을 갖는 부하를 구동하기 위한 전압버퍼로 사용하기에 가장 적절한 증폭기는?

① 캐스코드증폭기

② 공통컬렉터증폭기

③ 공통이미터증폭기

④ 공통베이스증폭기

정답 2번

간단한 해설

공통컬렉터증폭기는 **입력저항이 크고 출력저항이 작으며**, 전압이득이 거의 1인 전압버퍼이다. 앞단의 신호전압을 거의 유지하면서 저항값이 작은 부하에 필요한 전류를 공급한다.

NoteBase

선지별 해설

전압버퍼는 입력 신호전압의 변화를 거의 그대로 부하에 전달하는 회로이다. 작은 부하저항에 같은 전압을 걸려면 더 큰 전류가 필요하므로, 출력저항이 작아야 부하 연결에 따른 출력전압 감소를 줄일 수 있다. 입력저항이 크면 앞단에서 끌어오는 전류도 줄어 앞단의 신호전압을 유지하는 데 유리하다.

① 캐스코드증폭기: 일반적으로 공통이미터단과 공통베이스단을 결합한 구조이다. 전압 증폭과 넓은 대역폭을 얻는 데 유리하지만 **출력저항이 큰** 특성을 가지므로, 작은 부하저항을 직접 구동하는 전압버퍼로는 적합하지 않다.

② 공통컬렉터증폭기: 베이스로 입력하고 이미터에서 출력하므로 이미터 팔로어라고도 한다. 입력저항이 크고 출력저항이 작으며, **신호의 전압이득이 1에 가깝다**. 전류이득도 있어 앞단에는 작은 전류만 요구하면서 부하에는 더 큰 전류를 공급할 수 있다. 따라서 작은 부하저항을 구동하면서 입력 신호전압의 변화를 거의 그대로 전달한다.

③ 공통이미터증폭기: 전압이득과 전류이득을 얻을 수 있지만, 기본 구성에서는 출력저항이 비교적 크다. 작은 부하저항을 연결하면 출력 쪽에서 전압이 분배되어 전압이득이 낮아지므로, **전압 증폭용**으로 쓰는 것이 일반적이며 전압버퍼에는 공통컬렉터 구성이 더 적합하다.

④ 공통베이스증폭기: 입력저항이 작고 출력저항이 크며, 전류이득은 1에 가깝다. 여기서 1에 가까운 것은 **전압이득이 아니라 전류이득**이다. 입력저항이 커야 앞단의 부담을 줄이고 출력저항이 작아야 작은 부하저항을 구동하기 쉽다는 전압버퍼의 조건에 맞지 않는다.

따라서 입력저항·출력저항·전압이득을 함께 비교하면, 작은 저항값을 갖는 부하의 전압버퍼로 가장 적절한 것은 ② 공통컬렉터증폭기이다.

문 2. 10진수 −15를 8비트 2의 보수 형태로 표현하면?

① 11110000

② 11110001

③ 11110010

④ 11110011

정답 2번

간단한 해설

음수의 2의 보수 표현은 같은 비트 수로 나타낸 양수의 **모든 비트를 반전한 뒤 1을 더해** 구한다. 15의 8비트 표현 00001111을 반전하면 11110000이고, 여기에 1을 더하면 −15의 표현인 11110001이 된다.

계산 과정

1. 양수 15를 8비트로 표현한다. 15 = 8 + 4 + 2 + 1이므로 이진수로 1111이다. 전체가 8비트가 되도록 앞에 0을 채우면 00001111이다.

2. 모든 비트를 반전한다. 0은 1로, 1은 0으로 바꾸면 11110000이 된다. 이 중간값은 15의 **1의 보수**이며, 아직 2의 보수를 구하는 마지막 연산이 남아 있다.

3. 반전한 값에 1을 더한다. 이진수 덧셈으로 11110000 + 1 = 11110001이다. 따라서 −15의 8비트 2의 보수 표현은 11110001이며, ②와 일치한다.

NoteBase

문 3. OSI(open system interconnection) 계층 중 송신 프로세스와 수신 프로세스를 서로 연결하는 기능을 수행하는 것으로서, 프로세스를 구분하기 위해 포트 번호를 부여하는 계층은?

① 세션(session) 계층

② 전송(transport) 계층

③ 네트워크(network) 계층

④ 데이터링크(data link) 계층

정답 2번

간단한 해설

포트 번호로 통신할 프로세스를 구분하고 송신·수신 프로세스 사이의 통신을 제공하는 것은 **전송 계층**이다.

공통 해설

전송(transport) 계층은 송신 호스트의 응용 프로세스와 수신 호스트의 응용 프로세스 사이에 데이터를 전달하는 계층이다. 이때 통신 대상을 구분하는 단위는 호스트 자체가 아니라 **호스트 안의 프로세스**이며, 이를 식별하는 데 포트 번호를 사용한다.

예를 들어 한 수신 호스트에서 여러 응용 프로그램이 통신하고 있다면, 데이터가 그 호스트에 도착했다는 것만으로는 어느 프로그램에 전달할지 알 수 없다. 전송 계층은 목적지 포트 번호를 이용해 데이터를 해당 응용 프로세스에 전달한다. 따라서 문제의 프로세스 간 통신과 포트 번호를 이용한 식별은 전송 계층의 기능에 해당한다.

NoteBase

문 4. FM 송신단에 사용되는 프리엠퍼시스(pre-emphasis) 필터와 FM 수신단에 사용되는 디엠퍼시스(de-emphasis) 필터를 바르게 연결한 것은?

① 프리엠퍼시스: 고역통과필터, 디엠퍼시스: 저역통과필터

② 프리엠퍼시스: 고역통과필터, 디엠퍼시스: 고역통과필터

③ 프리엠퍼시스: 저역통과필터, 디엠퍼시스: 저역통과필터

④ 프리엠퍼시스: 저역통과필터, 디엠퍼시스: 고역통과필터

정답 1번

간단한 해설

송신단에서는 **고주파 성분을 미리 강조**하고, 수신단에서는 **고주파 성분을 감쇠**시킨다. 서로 보완되는 두 필터를 사용하면 신호의 원래 주파수 특성을 복원하면서 전송 과정에서 더해진 고주파 잡음을 줄일 수 있다.

대응 관계 해설

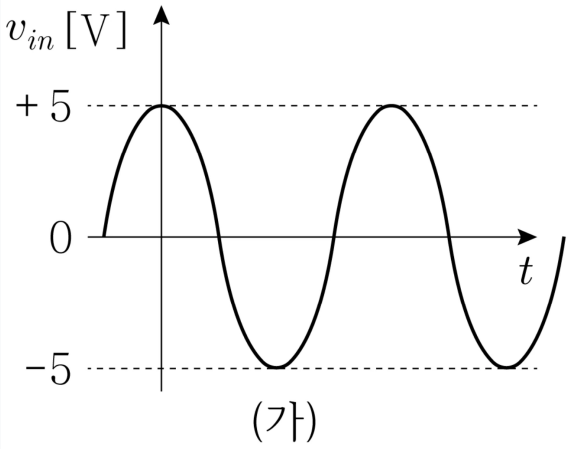
프리엠퍼시스 → 고역통과필터: FM 복조 후의 잡음은 높은 주파수 영역에서 더 크게 나타나므로, 송신단에서 변조하기 전에 신호의 **고주파 성분을 저주파 성분보다 상대적으로 크게** 만든다. 이처럼 높은 주파수 성분을 강조하는 고역통과 특성을 이용하여 고주파 영역의 신호 대 잡음비를 개선한다.

디엠퍼시스 → 저역통과필터: 수신단에서 FM 복조를 마친 신호의 **고주파 성분을 상대적으로 감쇠**시킨다. 송신단에서 미리 강조한 정도에 맞추어 감쇠시키면 원래 신호의 주파수별 크기 관계가 복원된다. 이때 전송 과정에서 더해진 고주파 잡음도 함께 줄어든다.

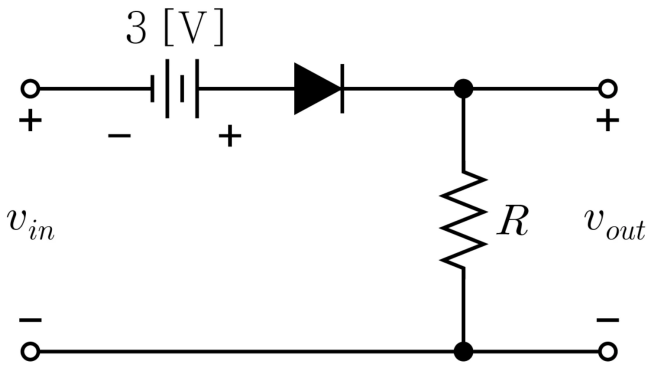
따라서 프리엠퍼시스는 고역통과필터, 디엠퍼시스는 저역통과필터에 대응하며, 이는 ①의 조합과 일치한다.

NoteBase

문 5. 다음 (가) 입력 v_{in}을 (나) 회로에 인가했을 때, 출력 전압 v_{out}의 최댓값과 최솟값의 합 [V]은? (단, 다이오드는 이상적이다)



(가)



(나)

① −8

② −5

③ 5

④ 8

정답 4번

간단한 해설

3 V 전원의 극성에 따라 다이오드 앞 전압은 입력보다 3 V 높다. 이상적 다이오드는 이 전압이 음수가 되는 구간을 차단하므로, 출력의 **최댓값은 8 V, 최솟값은 0 V**이고 두 값의 합은 8 V이다.

NoteBase

계산 과정

입력과 전원 극성: (가)에서 입력 전압은 −5 V부터 +5 V까지 변한다. (나)의 3 V 전원은 왼쪽이 −, 오른쪽이 +이므로, 공통 아래쪽 노드를 0 V로 잡으면 다이오드 애노드(왼쪽) 전압은 $v_A = v_{in} + 3$이다. 다이오드 캐소드(오른쪽)는 출력 노드에 연결되어 있다.

도통 구간과 최댓값: 이상적 다이오드가 도통하면 **다이오드 양단의 전압 강하는 0 V**이므로 $v_{out} = v_{in} + 3$이다. 입력이 −3 V보다 클 때 이 출력은 양수여서 전류가 다이오드와 저항 R을 거쳐 흐를 수 있다. 입력이 최대인 +5 V일 때 출력도 최대이며, 그 값은 5 + 3 = 8 V이다.

차단 구간과 최솟값: 입력이 −3 V보다 작으면 애노드 전압이 음수가 되어 다이오드가 역바이어스로 차단된다. 이때 저항 R에 흐르는 전류는 0이므로 저항 양단 전압, 즉 **출력 전압은 0 V**이다. 입력이 −3 V인 경계에서도 출력은 0 V이므로 출력의 최솟값은 0 V이다.

최댓값과 최솟값의 합: 8 + 0 = 8 V이므로 ④의 8에 해당한다.

NoteBase

문 6. 다음 진리표를 갖는 출력 F의 논리식은? (단, ×는 무관항이다)

A	B	C	D	F
0	0	0	0	×
0	0	0	1	1
0	0	1	0	×
0	0	1	1	1
0	1	0	0	×
0	1	0	1	1
0	1	1	0	1
0	1	1	1	×
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

① $\overline{A} + B \cdot \overline{C} \cdot \overline{D} + B \cdot C \cdot D$

② $\overline{A} + \overline{B} \cdot C \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot D$

③ $A + B \cdot \overline{C} \cdot D + B \cdot C \cdot \overline{D}$

④ $A + \overline{B} \cdot C \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot D$

정답 1번

간단한 해설

무관항을 1로 활용하면 **A가 0인 여덟 행을 함께 묶어** $\overline{A}$를 얻는다. A가 1일 때 남는 두 개의 출력 1은 각각 $B \cdot \overline{C} \cdot \overline{D}$와 $B \cdot C \cdot D$로 나타낸다.

NoteBase

계산 과정

논리식에서 +는 OR, ·는 AND, 변수 위의 막대는 NOT을 뜻한다. 진리표에서 F가 1인 입력은 반드시 포함하고, F가 0인 입력은 포함하지 않아야 한다. **무관항 ×는 식을 간단하게 만들도록 0 또는 1로 정할 수 있다.** 여기서는 1인 행과 필요한 무관항을 묶고, 묶음 안에서 값이 바뀌는 변수를 제거한다.

A가 0인 경우: 진리표 위쪽 여덟 행의 F는 모두 1 또는 ×이다. 이 범위의 무관항을 1로 정하면 B, C, D의 값에 관계없이 F를 1로 만들 수 있다. 따라서 **일정하게 유지되는 조건은 A가 0이라는 것뿐**이므로 $\overline{A}$를 얻는다.

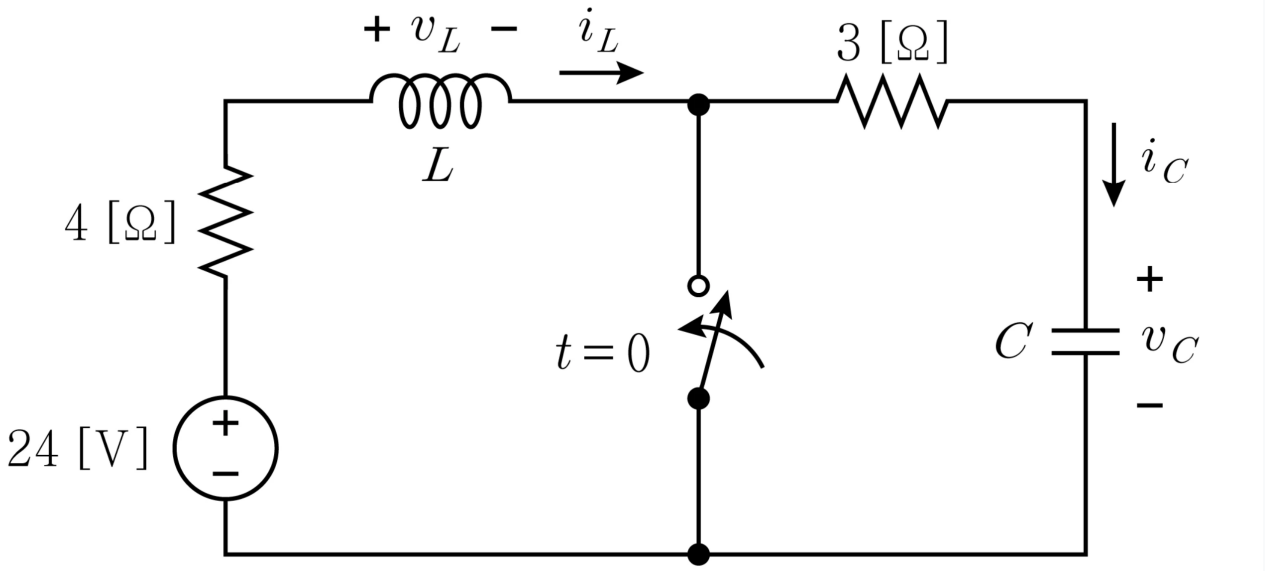
입력 1100의 처리: A가 1인 아래쪽 여덟 행에서 F가 1인 입력은 ABCD 순서로 1100과 1111이다. 먼저 1100을 무관항인 0100과 묶으면 A만 달라진다. 공통 조건은 B = 1, C = 0, D = 0이므로 $B \cdot \overline{C} \cdot \overline{D}$를 얻는다.

입력 1111의 처리: 1111을 무관항인 0111과 묶으면 역시 A만 달라진다. 공통 조건은 B = 1, C = 1, D = 1이므로 $B \cdot C \cdot D$를 얻는다. 이처럼 **같은 무관항을 여러 묶음에 활용**할 수 있다.

세 항을 OR로 결합하면 $F = \overline{A} + B \cdot \overline{C} \cdot \overline{D} + B \cdot C \cdot D$이다. 이 식은 진리표의 모든 출력 1을 포함하고 출력 0인 행에서는 0이 되며, ①의 논리식과 일치한다.

NoteBase

문 7. 다음 회로에서 스위치가 오랜 시간 동안 열린 상태에 있다가 $t = 0$ [s]일 때 닫힌다면 $i_C(0^+)$ [A], $v_C(\infty)$ [V], $i_L(\infty)$ [A]는?



① $i_C(0^+)$: -8, $v_C(\infty)$: 0, $i_L(\infty)$: 6

② $i_C(0^+)$: -8, $v_C(\infty)$: 6, $i_L(\infty)$: 0

③ $i_C(0^+)$: 8, $v_C(\infty)$: 0, $i_L(\infty)$: 6

④ $i_C(0^+)$: 8, $v_C(\infty)$: 6, $i_L(\infty)$: 0

정답 1번

간단한 해설

스위치를 닫은 직후에도 **커패시터 전압은 24 V로 유지**되므로, 방전 전류는 표시된 아래쪽 화살표와 반대로 흘러 $i_C(0^+) = -8$A이다. 충분한 시간이 지나면 커패시터 전압은 0 V가 되고, 인덕터는 단락으로 작용하여 전류가 6 A가 된다.

NoteBase

계산 과정

스위치가 열린 정상상태: 직류에서 충분한 시간이 지나면 인덕터는 단락, 커패시터는 개방으로 취급한다. 커패시터가 직렬 경로를 끊으므로 회로 전류는 0 A이고, 4 Ω과 3 Ω 저항의 전압 강하도 없다. 따라서 그림의 위쪽을 양(+)으로 한 커패시터 전압은 $v_C(0^-) = 24\text{V}$, 오른쪽 방향의 인덕터 전류는 $i_L(0^-) = 0\text{A}$이다.

닫힌 직후의 커패시터 전류: **커패시터 전압과 인덕터 전류는 순간적으로 바뀌지 않는다.** 따라서 $v_C(0^+) = 24\text{V}$, $i_L(0^+) = 0\text{A}$이다. 아래쪽 공통 도선을 0 V로 잡으면 닫힌 스위치가 중앙 위쪽 접점도 0 V로 만든다. 3 Ω 저항의 오른쪽은 커패시터 위쪽 단자이므로 24 V이다. 그림의 아래쪽 전류 방향을 기준으로 옴의 법칙을 적용하면 $i_C(0^+) = \frac{0-24}{3} = -8\text{A}$이다. 음수는 실제 방전 전류가 화살표와 반대인 위쪽으로 8 A 흐른다는 뜻이다.

최종 커패시터 전압: 스위치가 닫히면 커패시터는 3 Ω 저항과 스위치로 이루어진 경로를 통해 방전한다. 이 경로에는 전원이 없으므로 충분한 시간이 지나면 저장된 전하가 소멸하여 $v_C(\infty) = 0\text{V}$가 된다.

최종 인덕터 전류: 왼쪽에는 24 V 전원, 4 Ω 저항, 인덕터, 닫힌 스위치가 연결된 폐회로가 생긴다. **직류 정상상태에서 인덕터의 전압은 0 V**이므로 전원 전압이 모두 4 Ω 저항에 걸린다. 따라서 그림의 오른쪽 방향으로 흐르는 전류는 $i_L(\infty) = \frac{24}{4} = 6\text{A}$이다.

구한 값은 차례로 -8 A, 0 V, 6 A이며, ①의 값과 일치한다.

NoteBase

문 8. 반도체 다이오드에 대한 설명으로 옳지 않은 것은?

① 순방향 바이어스에서는 주로 확산(diffusion)에 의해서 전류가 흐른다.

② 동작 온도가 올라가면 역방향 바이어스 영역의 동일 전압에서 흐르는 전류 절댓값이 커진다.

③ GaAs 화합물 다이오드는 Si 다이오드보다 전하이동도가 우수하여 고속 동작에 주로 이용된다.

④ 제너 다이오드는 순방향 바이어스 영역의 항복현상을 이용하여 전원 안정화 회로에 사용된다.

정답 4번

간단한 해설

④의 '순방향 바이어스 영역의 항복현상'은 **역방향 바이어스 영역의 항복현상**으로 고쳐야 한다. 제너 다이오드는 항복 영역에서 전류가 변해도 양단 전압이 거의 일정하게 유지되는 특성을 이용하여 전압을 안정화한다.

선지별 해설

① O: 순방향 바이어스를 가하면 접합의 전위 장벽이 낮아져 n형 영역의 전자는 p형 영역으로, p형 영역의 정공은 n형 영역으로 주입된다. 주입된 전하 운반자는 농도가 높은 곳에서 낮은 곳으로 이동하므로, 순방향 전류는 주로 **농도 차이에 의한 확산**으로 흐른다.

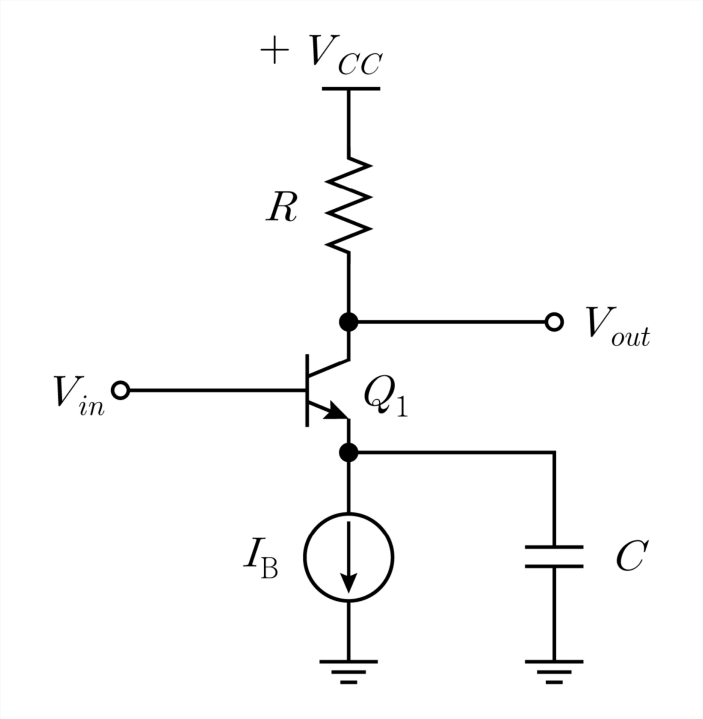
② O: 온도가 올라가면 열에 의해 생성되는 전자·정공 쌍이 늘어나 소수 운반자 농도가 증가한다. 따라서 **항복 전의 역방향 바이어스 영역**에서는 같은 역전압을 가해도 소수 운반자 등에 의한 역방향 누설 전류의 절댓값이 커진다.

③ O: GaAs는 Si보다 **전자 이동도가 크다**. 이동도는 전기장에 의해 전하 운반자가 얼마나 잘 이동하는지를 나타내므로, 높은 전자 이동도는 빠른 전하 이동에 유리하다. 이러한 특성 때문에 GaAs 소자는 고속·고주파 동작에 이용된다.

④ X: 제너 다이오드가 전압 안정화에 이용하는 것은 **역방향 항복 영역**이다. 역전압이 항복 전압에 도달하면 역전류가 크게 증가하지만 다이오드 양단 전압의 변화는 작으므로, 이 전압을 안정된 기준으로 사용할 수 있다. 실제 회로에서는 저항 등으로 전류를 허용 범위 안에 제한한다. 순방향 바이어스에서는 일반 다이오드처럼 순방향 전류가 흐르며, 선지의 '순방향 바이어스 영역'을 '역방향 바이어스 영역'으로 고쳐야 한다.

NoteBase

문 9. 다음 증폭기 회로의 전압이득 $\left|\frac{V_{out}}{V_{in}}\right|$에 비례하는 것으로 옳은 것만을 모두 고르면? (단, I_B는 이상적인 정전류원이고 $C = \infty$, BJT Q_1은 활성영역에서 동작한다)



ㄱ. 저항 R

ㄴ. Q_1의 이미터 면적

ㄷ. 바이어스 전류 I_B

ㄹ. 바이어스 전압 V_{CC}

① ㄱ, ㄴ

② ㄱ, ㄷ

③ ㄴ, ㄹ

④ ㄷ, ㄹ

정답 2번

간단한 해설

이미터가 교류적으로 접지된 공통 이미터 증폭기의 전압이득 크기는 g_mR이고, 같은 온도에서 g_m은 컬렉터 바이어스 전류에 비례한다. 이 전류를 정전류원이 정하므로 전압이득 크기는 **저항과 바이어스 전류에 비례**한다.

NoteBase

보기별 해설

그림의 I_B는 베이스 전류가 아니라 이미터에 연결된 정전류원의 바이어스 전류이다. 직류에서 커패시터는 개방되므로 이미터 전류는 $I_E = I_B$이고, 베이스 전류가 작으면 $I_C \approx I_B$이다. 한편 $C = \infty$이므로 교류 소신호에 대해서는 커패시터가 단락되어 **이미터가 교류 접지**된다. 따라서 입력 전압 변화가 그대로 베이스-이미터 전압 변화가 된다.

얼리 효과를 무시하는 기본 소신호 모델에서 컬렉터 전류 변화는 $i_c = g_m v_{in}$, 출력 전압 변화는 $v_{out} = -i_c R$이다. 입력이 증가하면 컬렉터 전류와 저항의 전압강하가 커져 출력이 감소하므로 음의 부호가 붙는다. 트랜스컨덕턴스는 $g_m = I_C/V_T$이므로 전압이득 크기는 $|A_v| = g_m R \approx I_B R/V_T$이다. 여기서 V_T는 온도로 정해지는 열전압이며, 각 요소의 영향을 비교할 때 온도와 나머지 조건은 같게 둔다.

ㄱ. O: 저항 R은 컬렉터 전류 변화를 출력 전압 변화로 바꾼다. 같은 전류 변화에 대해 **저항이 클수록 전압 변화가 비례하여 커지므로** 전압이득 크기는 R에 비례한다. 단, 저항을 바꾼 뒤에도 활성영역 동작이 유지되어야 한다.

ㄴ. X: 이미터 면적이 커진다고 전압이득이 그 면적에 비례하는 것은 아니다. 이 회로에서는 **정전류원이 바이어스 전류를 정하므로** 면적이 달라져도 컬렉터 전류와 g_m이 면적에 비례하여 증가하지 않는다. 같은 전류를 흘리는 데 필요한 베이스-이미터 직류전압이 달라질 수 있다.

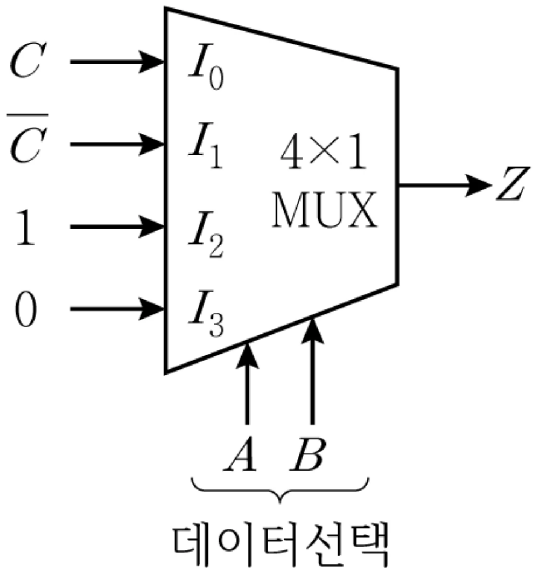
ㄷ. O: 바이어스 전류 I_B를 늘리면 이미터 전류와 컬렉터 전류가 증가한다. 같은 온도에서 **컬렉터 전류에 비례하여 트랜스컨덕턴스가 커지므로** 전압이득 크기도 I_B에 비례한다.

ㄹ. X: 전원전압 V_{CC}는 컬렉터의 직류전압과 출력이 변할 수 있는 범위에 영향을 주지만, 전압이득 크기에 비례하는 요소는 아니다. **활성영역이 유지되는 한** 바이어스 전류는 이상적인 정전류원이 정하며, 기본 소신호 이득식에는 V_{CC}가 직접 들어가지 않는다.

전압이득 크기에 비례하는 것은 ㄱ과 ㄷ이며, 이 조합은 ②에 해당한다.

NoteBase

문 10. 다음 4×1 멀티플렉서에서 출력 Z의 논리식은? (단, 데이터선택 입력의 순서는 다음과 같다)



A	B	Z
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

① $A \cdot \overline{C} + B \cdot \overline{C}$

② $A \cdot \overline{B} + \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C}$

③ $A \cdot \overline{C} + B \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C$

④ $\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C}$

정답 2번

간단한 해설

선택 입력 A·B가 00, 01, 10, 11일 때 출력은 각각 $C, \overline{C}, 1, 0$이다. 각 입력에 **선택 조건을 논리곱한 뒤 논리합**하여 정리하면 $Z = A \cdot \overline{B} + \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C}$가 된다.

NoteBase

계산 과정

선택 조건 확인: 4×1 멀티플렉서는 선택 입력 A, B의 조합에 따라 네 데이터 입력 중 하나를 출력한다. 그림의 표에서 AB가 00, 01, 10, 11이면 각각 I_0, I_1, I_2, I_3가 선택된다. 따라서 네 선택 조건은 각각 $\overline{A} \cdot \overline{B}$, $\overline{A} \cdot B$, $A \cdot \overline{B}$, $A \cdot B$이다. 여기서 윗줄은 NOT, 곱은 AND, 합은 OR 연산을 뜻한다.

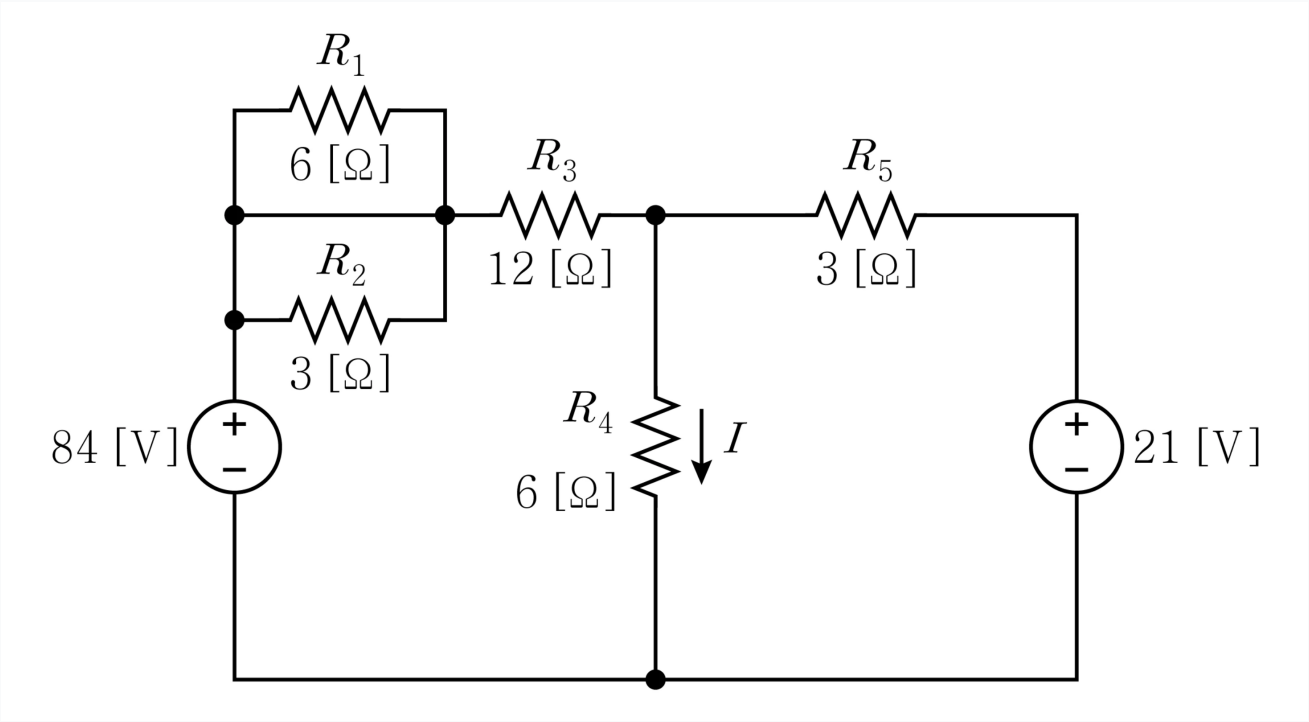
데이터 입력 대입: 그림에서 $I_0 = C$, $I_1 = \overline{C}$, $I_2 = 1$, $I_3 = 0$이다. **선택 조건과 해당 데이터 입력을 AND로 묶고, 네 항을 OR로 연결**한다. 각 항은 해당 입력이 선택될 때만 출력에 반영되므로 다음과 같다.
I_0 항: A·B· C
I_1 항: A· B·C
I_2 항: A·B·1=A·B
I_3 항: A· B·0=0

출력식 구성: 0인 항을 제외하고 나머지 세 항을 합하면 다음 식을 얻는다.
$Z = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B}$

논리식 정리: 첫째 항과 셋째 항에는 $\overline{B}$가 공통으로 들어 있다. 두 항을 묶으면 $\overline{B} \cdot (A + \overline{A} \cdot C)$이다. 이때 $A + \overline{A} \cdot C = (A + \overline{A}) \cdot (A + C) = A + C$이므로 두 항은 $A \cdot \overline{B} + \overline{B} \cdot C$로 정리된다. 따라서 출력은 $Z = A \cdot \overline{B} + \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C}$이며, ②의 식과 일치한다.

NoteBase

문 11. 다음 회로에서 R_4에 흐르는 전류 I[A]는?



① 1

② 2

③ 3

④ 4

정답 4번

간단한 해설

R_1과 R_2는 **도선에 의해 단락**되어 양단 전압이 0이다. 나머지 회로에 키르히호프 전류 법칙을 적용하면 R_4의 양단 전압은 24 V이므로, 아래쪽으로 흐르는 전류는 4 A이다.

NoteBase

계산 과정

회로의 왼쪽 두 접점을 잇는 수평 도선이 $R_1(6\,\Omega)$과 $R_2(3\,\Omega)$의 양 끝을 직접 연결한다. 따라서 두 저항은 **단락되어 양단 전압과 전류가 모두 0**이므로, 전류 계산에서는 제외할 수 있다.

아래쪽 공통 도선의 전위를 0 V로 정하고, R_3, R_4, R_5가 만나는 접점의 전위를 V라 하자. 두 전압원은 모두 위쪽이 +극이므로, $R_3(12\,\Omega)$의 왼쪽 끝은 84 V, $R_5(3\,\Omega)$의 오른쪽 끝은 21 V이다. $R_4(6\,\Omega)$의 아래쪽 끝은 0 V이다.

접점에서 각 저항을 통해 나가는 방향을 전류의 기준으로 잡으면, 옴의 법칙에 따라 각 전류는 전위차를 저항으로 나눈 값이다. 키르히호프 전류 법칙에 의해 **접점에서 나가는 전류의 대수합은 0**이므로 $\frac{V-84}{12}+\frac{V}{6}+\frac{V-21}{3}=0$ 이다. 양변에 12를 곱하면 $(V-84)+2V+4(V-21)=0$이고, 이를 정리하면 $7V=168$이므로 접점 전위는 24 V이다.

이 24 V는 R_4의 위쪽과 아래쪽 사이 전압이다. 따라서 화살표가 가리키는 아래쪽 방향의 전류는 $I=\frac{24}{6}=4\text{A}$ 이며, ④의 4 A에 해당한다.

NoteBase

문 12. MOSFET과 BJT의 특징으로 옳은 것만을 모두 고르면?

ㄱ. MOSFET은 BJT보다 전력 소모가 크다.
ㄴ. MOSFET은 전계효과로 전류가 제어된다.
ㄷ. MOSFET은 게이트 단자가 절연되어 있다.
ㄹ. MOSFET와 BJT 모두 전자와 정공 두 종류의 캐리어에 의해 전류가 형성된다.

① ㄱ, ㄴ
② ㄱ, ㄹ
③ ㄴ, ㄷ
④ ㄷ, ㄹ

정답 3번

간단한 해설

MOSFET은 **절연된 게이트**에 가한 전압이 만드는 **전계로 채널의 전류를 제어**한다. 전류를 운반하는 주된 캐리어는 n채널에서는 전자, p채널에서는 정공이다.

보기별 해설

ㄱ. X: MOSFET은 게이트가 절연되어 있어 정상 상태의 게이트 전류가 거의 흐르지 않는다. 반면 BJT는 동작을 유지하려면 베이스 전류가 필요하므로, MOSFET은 일반적으로 **직류 입력 구동에 필요한 전력이 더 작다**. 따라서 MOSFET의 전력 소모가 더 크다고 일반화할 수 없다. 다만 소자 전체의 소모전력은 부하와 스위칭 주파수 등 동작 조건에 따라 달라진다.

ㄴ. O: MOSFET은 게이트와 소스 사이에 가한 전압으로 전계를 형성하고, 이 전계가 채널의 캐리어 농도와 전도도를 바꾸어 드레인 전류를 제어한다. 즉, **전압에 따른 전계효과**로 전류를 제어하는 소자이다.

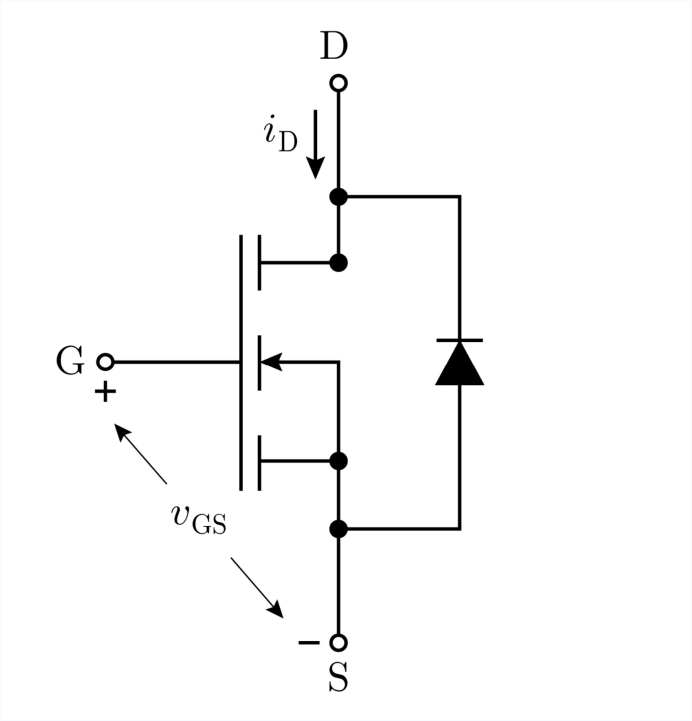
ㄷ. O: MOSFET의 게이트와 반도체 사이에는 산화막 등의 **절연막**이 있다. 이 절연막은 게이트에서 반도체로 직류가 직접 흐르는 것을 막으면서도, 게이트 전압에 따른 전계가 채널에 작용하게 한다.

ㄹ. X: MOSFET은 **한 종류의 주된 캐리어로 채널 전류를 형성하는 단극성 소자**이다. n채널 MOSFET은 전자가, p채널 MOSFET은 정공이 채널 전류를 운반한다. 전자와 정공이 모두 전류 형성에 관여하는 양극성 소자는 BJT이므로, 두 소자가 모두 두 종류의 캐리어로 전류를 형성한다는 설명은 틀리다.

옳은 보기는 ㄴ과 ㄷ이며, 이를 묶은 선택지는 ③이다.

NoteBase

문 13. 다음 전력용 MOSFET에 대한 설명으로 옳지 않은 것은? (단, 소스-드레인 사이의 PN 다이오드는 제조공정에서 만들어지는 내장된 내부 다이오드이다)



① 턴오프 상태일 때는 내부 다이오드로 전류가 흐를 수 없다.

② 드레인(D), 소스(S), 게이트(G)의 3단자로 이루어진 반도체 스위칭 소자이다.

③ 내부 다이오드의 역회복시간(reverse recovery time)이 상대적으로 느리기 때문에 고속 스위칭 회로에는 외부에 고속 다이오드를 추가한다.

④ 게이트-소스 전압 v_{GS}에 문턱전압(threshold voltage)보다 큰 양의 전압을 인가하면 드레인과 소스 사이는 턴온 상태로 전류 i_D가 흐르게 된다.

정답 1번

간단한 해설

턴오프는 게이트로 제어하는 채널이 꺼진 상태를 뜻한다. 내부 다이오드가 **순방향 바이어스**되면 채널이 꺼져 있어도 **소스에서 드레인으로 전류가 흐를 수 있다**.

NoteBase

선지별 해설

① X: 턴오프 상태에서 차단되는 것은 게이트로 제어하는 채널의 전류 경로이다. 그림 오른쪽 내부 다이오드는 소스(S) 쪽이 애노드, 드레인(D) 쪽이 캐소드이므로, 소스 전위가 드레인보다 충분히 높아져 **순방향 바이어스되면 턴오프 상태에서도 도통한다**. 따라서 '내부 다이오드로 전류가 흐를 수 없다'는 '내부 다이오드가 순방향 바이어스되면 소스에서 드레인으로 전류가 흐를 수 있다'로 고쳐야 한다.

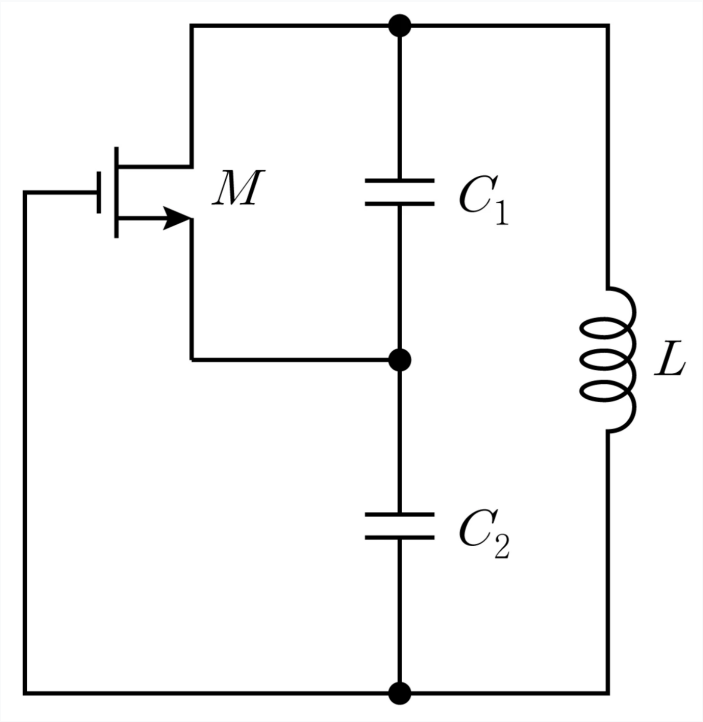
② O: 전력용 MOSFET의 외부 단자는 드레인(D), 소스(S), 게이트(G)의 세 개이다. 게이트에 인가하는 전압으로 드레인과 소스 사이의 **채널 형성과 전류 흐름을 제어**하므로 반도체 스위칭 소자로 사용한다.

③ O: 내부 PN 다이오드가 순방향 도통하다가 역방향 전압을 받으면, 내부에 저장된 전하가 제거될 때까지 역방향 전류가 일시적으로 흐른다. 역방향 차단 능력을 회복하는 데 걸리는 시간이 역회복시간이다. 내부 다이오드는 전용 고속 다이오드에 비해 역회복이 느릴 수 있으므로, 고속 스위칭 회로에서는 **역회복에 따른 손실과 전류 스트레스를 줄이기 위해** 외부 고속 다이오드를 추가한다.

④ O: 그림은 양의 게이트-소스 전압으로 켜지는 N채널 증가형 MOSFET이다. 게이트-소스 전압이 문턱전압보다 커지면 **전류가 흐를 수 있는 채널이 형성**된다. 이때 드레인 전위가 소스보다 높으면 그림의 화살표처럼 드레인에서 소스로 전류가 흐른다. 다만 문턱전압은 채널의 도통이 시작되는 기준이며, 부하 전류를 작은 손실로 흘리려면 그보다 충분히 높은 게이트 구동 전압이 필요하다.

NoteBase

문 14. 다음 발진기 회로에 대한 설명으로 옳지 않은 것은? (단, 발진기의 전압이득은 A, 귀환 계수는 β이다)



① $|\beta| = \frac{C_2}{C_1}$이다.

② 콜피츠발진기 회로이다.

③ $A\beta > 1$일 때 발진이 시작된다.

④ 발진주파수 $f_r = \frac{1}{2\pi\sqrt{L\left(\frac{C_1 C_2}{C_1+C_2}\right)}}$ [Hz]이다.

정답 1번

간단한 해설

귀환 계수는 **귀환 전압을 출력 전압으로 나눈 비**이다. 이 회로에서는 출력이 C_1 양단, 귀환 신호가 C_2 양단의 전압에 대응하므로, 정전용량에 반비례하는 전압 분배에 따라 $|\beta| = \frac{C_1}{C_2}$이다.

NoteBase

선지별 해설

① X: 회로에서 C_1은 드레인과 소스 사이에, C_2는 소스와 게이트 사이에 연결되어 있다. 따라서 출력 전압은 C_1 양단, 귀환 전압은 C_2 양단의 전압에 대응한다. 이상적인 공진 회로에서 두 커패시터에 흐르는 순환 전류의 크기는 같고, 용량성 리액턴스는 정전용량에 반비례하므로 $|\beta| = \frac{X_{C_2}}{X_{C_1}} = \frac{C_1}{C_2}$이다. 선지의 비는 **분자와 분모가 뒤바뀌었다**.

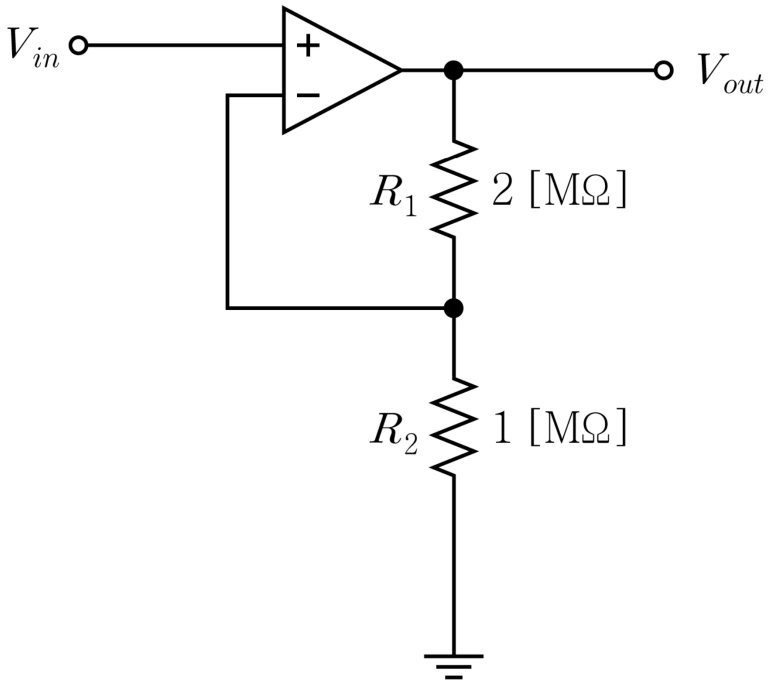
② O: 두 커패시터 C_1, C_2의 직렬 연결과 인덕터 L이 병렬 공진 회로를 이루고, 커패시터의 접속점이 트랜지스터의 소스에 연결되어 있다. 이처럼 **커패시터로 전압을 분배하여 귀환**시키는 LC 발진기가 콜피츠발진기이다.

③ O: 발진 주파수에서 루프 전체의 위상 변화가 0° 또는 360°의 정수배가 되어 **정귀환이 이루어지고 루프 이득이 1보다 크면**, 회로의 미세한 잡음 신호가 반복 증폭되어 발진이 시작된다. 이때의 조건이 $A\beta > 1$이다. 진폭이 커진 뒤 정상적으로 발진을 유지할 때는 유효 루프 이득이 $A\beta = 1$이 된다.

④ O: 기생 성분과 부하의 영향을 무시하면, 공진 회로의 정전용량은 **두 커패시터의 직렬 합성값**인 $C_{\text{eq}} = \frac{C_1 C_2}{C_1 + C_2}$이다. 인덕터와 이 합성 정전용량의 리액턴스가 같아지는 공진 주파수는 $f_r = \frac{1}{2\pi\sqrt{LC_{\text{eq}}}}$이다. 여기에 직렬 합성값을 대입하면 선지의 식이 되며, 인덕턴스를 H, 정전용량을 F로 넣으면 주파수의 단위는 Hz이다.

NoteBase

문 15. 다음 증폭기 회로에 대한 설명으로 옳은 것은? (단, 연산증폭기의 개방루프이득은 1,000이고 차단주파수는 1 [kHz]이다)



① 반전증폭기 회로이다.

② 전압이득 $\left|\frac{V_{out}}{V_{in}}\right|$은 약 2이다.

③ 대역폭(bandwidth)은 약 330 [kHz]이다.

④ 단위이득주파수(unit-gain frequency)는 약 2 [MHz]이다.

정답 3번

간단한 해설

단일 극점 근사에서 개방루프이득과 차단주파수의 곱은 1 MHz이고, 이 회로의 비반전 전압이득은 약 3이다. **이득·대역폭 곱**을 적용하면 대역폭은 $BW \approx \frac{1\ \text{MHz}}{3}$으로 약 330 kHz이다.

NoteBase

선지별 해설

연산증폭기의 저주파 개방루프이득을 $A_0 = 1{,}000$, 개방루프 차단주파수를 $f_c = 1$ kHz로 두고, 주파수 응답은 단일 극점 근사로 계산한다. 그림에서 출력과 반전 입력 사이의 저항은 $R_1 = 2$ MΩ, 반전 입력과 접지 사이의 저항은 $R_2 = 1$ MΩ이다.

① X: 입력이 연산증폭기의 **비반전 입력(+) 단자**에 연결되어 있고, 출력의 일부가 저항 분압기를 거쳐 반전 입력(−) 단자로 되돌아간다. 이는 음의 되먹임을 사용하는 비반전증폭기이다. 반전증폭기는 신호를 입력 저항을 통해 반전 입력 단자에 가한다.

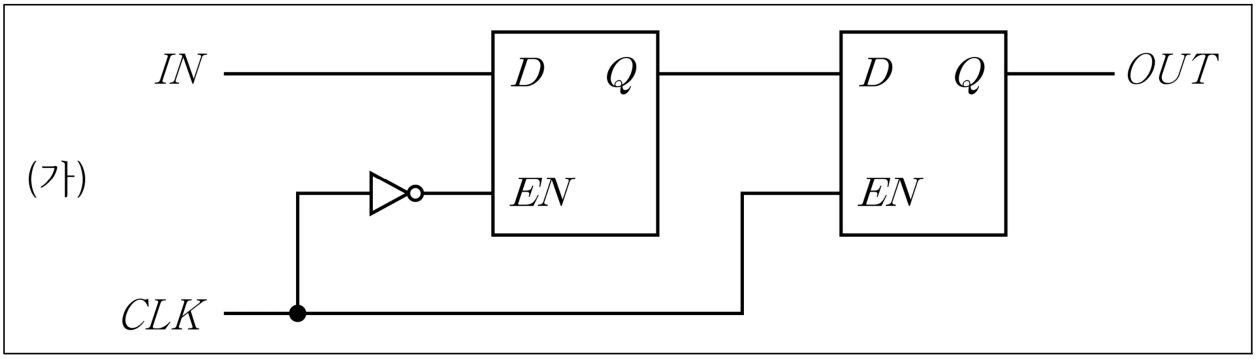
② X: 비반전증폭기의 저주파 전압이득은 **저항비에 1을 더한 값**으로 근사한다. 따라서 $G \approx 1 + \frac{R_1}{R_2}$이고, $G \approx 1 + \frac{2}{1} = 3$이다. 유한한 개방루프이득까지 반영하면, 출력 중 반전 입력으로 돌아오는 비율인 되먹임계수는 $\beta = \frac{R_2}{R_1 + R_2} = \frac{1}{3}$이다. 이에 따라 $G = \frac{A_0}{1 + A_0\beta}$에 대입하면 $G = \frac{1{,}000}{1 + 1{,}000/3} \approx 2.99$이므로, 전압이득의 크기는 약 2가 아니라 약 3이다.

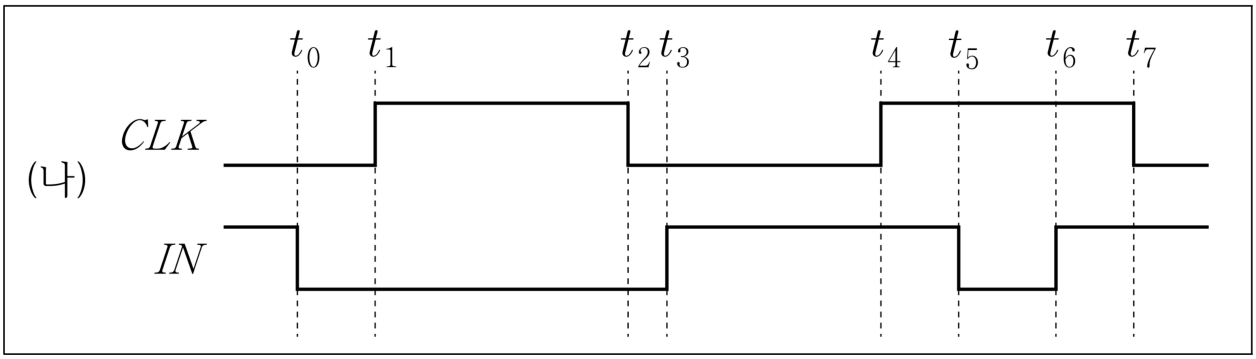
③ O: 단일 극점 증폭기에 음의 되먹임을 걸면 저주파 이득은 낮아지고 **대역폭은 넓어진다**. 폐루프 대역폭은 저주파 폐루프 이득보다 3 dB 감소하는 주파수까지의 범위이며, 그 상한은 $BW = f_c(1 + A_0\beta)$이다. 앞의 $\beta = \frac{1}{3}$을 대입하면 $BW = 1 \cdot (1 + \frac{1{,}000}{3})$ kHz이므로 약 334 kHz, 즉 선지에서 제시한 약 330 kHz이다. 이득·대역폭 곱을 이용해도 $BW \approx \frac{1\ \text{MHz}}{3}$으로 같은 근삿값을 얻는다.

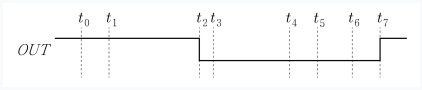
④ X: 단위이득주파수는 연산증폭기의 **개방루프이득의 크기가 1이 되는 주파수**이다. 단일 극점 근사에서는 $f_t \approx A_0 f_c$이므로, 1,000 × 1 kHz = 1,000 kHz = 1 MHz이다. 따라서 약 2 MHz가 아니라 약 1 MHz이다. 이는 이득이 약 3으로 설정된 현재 회로의 폐루프 대역폭과 구별된다.

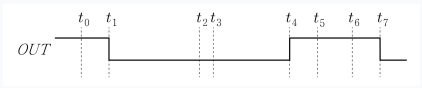
NoteBase

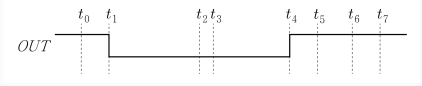
문 16. 다음 (가) D-래치 2개를 연결한 마스터-슬레이브 회로에서 CLK와 IN의 파형이 (나)와 같을 때, OUT의 파형으로 옳은 것은? (단, t_0 이전에 OUT = 'HIGH'였으며 D-래치와 인버터의 지연은 없다)

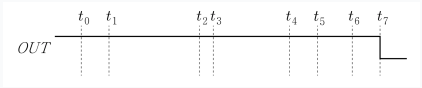




① 

② 

③ 

④ 

정답 3번

간단한 해설

마스터는 CLK가 LOW일 때 입력을 받아들이고, **상승 에지에서 저장된 값을 OUT으로 전달**한다. 따라서 OUT은 t_1에서 LOW, t_4에서 HIGH가 되며, t_5와 t_6의 입력 변화는 출력에 반영되지 않는다.

NoteBase

계산 과정

회로의 동작 조건: D-래치는 EN이 HIGH이면 입력 D를 출력 Q에 전달하고, EN이 LOW이면 직전 값을 유지한다. (가)에서 왼쪽 마스터의 EN에는 CLK의 반전 신호가, 오른쪽 슬레이브의 EN에는 CLK가 직접 연결되어 있다. 따라서 CLK가 LOW일 때는 마스터가 IN을 따라가고 슬레이브는 OUT을 유지한다. CLK가 HIGH일 때는 마스터가 저장한 값을 유지하고 슬레이브가 그 값을 전달한다. 이 연결은 **CLK의 상승 에지에서 입력을 저장하는 동작**을 만든다. 지연이 없으므로 출력이 바뀌는 시점에 별도의 지연 시간을 더하지 않는다.

t_0에서 t_1 직전까지: CLK는 LOW이므로 마스터가 IN을 따라간다. t_0에서 IN이 HIGH에서 LOW로 바뀌면 마스터 출력도 LOW가 된다. 그러나 슬레이브는 비활성 상태이므로 OUT은 주어진 초기값 HIGH를 유지한다. 여기서 마스터의 LOW는 다음 상승 에지에 출력으로 전달할 값이다.

t_1: CLK가 LOW에서 HIGH로 바뀌면서 마스터는 직전에 받아들인 LOW를 저장한다. 동시에 슬레이브가 활성화되어 그 LOW를 전달하므로 **OUT이 HIGH에서 LOW로 바뀐다**. 이후 CLK가 HIGH인 동안에는 마스터가 LOW를 유지하므로 OUT도 LOW이다.

t_2와 t_3: t_2에서 CLK가 LOW로 내려가면 슬레이브가 LOW를 유지하고 마스터가 다시 IN을 따라간다. t_3에서 IN이 HIGH로 바뀌면 마스터 출력은 HIGH가 되지만, 슬레이브가 비활성 상태이므로 OUT은 LOW를 유지한다.

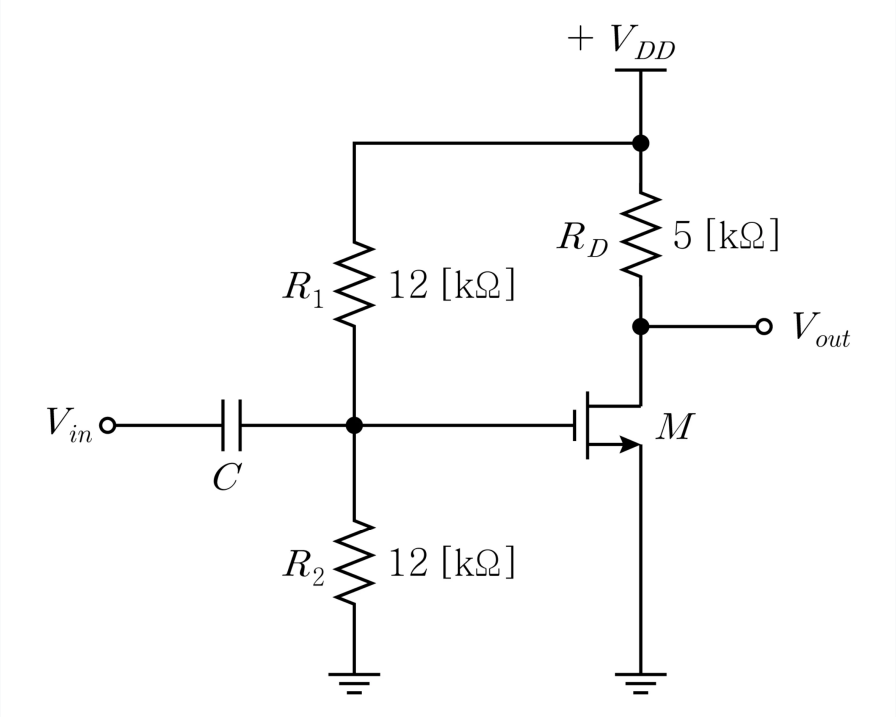
t_4: CLK가 다시 상승할 때 마스터는 t_3부터 받아들인 HIGH를 저장한다. 활성화된 슬레이브가 이 값을 전달하므로 **OUT이 LOW에서 HIGH로 바뀐다**.

t_5부터 t_7 이후까지: t_5에서 IN이 LOW로, t_6에서 다시 HIGH로 바뀌지만, 그동안 CLK가 HIGH이므로 마스터는 t_4에 저장한 HIGH를 유지한다. 슬레이브가 전달하는 값도 HIGH이므로 OUT에는 LOW 펄스가 나타나지 않는다. t_7에서 CLK가 LOW로 내려가면 슬레이브가 HIGH를 유지하고, 마스터는 현재 IN인 HIGH를 받아들인다. 따라서 OUT은 계속 HIGH이다.

도출한 OUT 파형은 t_1 전까지 HIGH, t_1부터 t_4 전까지 LOW, t_4 이후 HIGH이며, 이는 ③의 파형과 일치한다.

NoteBase

문 17. 다음 MOSFET 증폭기 회로의 전압이득 $\left|\frac{V_{out}}{V_{in}}\right|$은? (단, MOSFET의 전달컨덕턴스 $g_m = 1$[mA/V], $C = \infty$, 교류 출력저항 $r_o = \infty$이다)



① 1

② 2.5

③ 5

④ 7.5

정답 3번

간단한 해설

커패시터가 교류에서 단락되고 소스가 접지되어 있으므로, 전압이득의 크기는 $g_m R_D$이다. 전달컨덕턴스 1 mA/V와 드레인 저항 5 kΩ의 곱으로 **5배**가 된다.

NoteBase

계산 과정

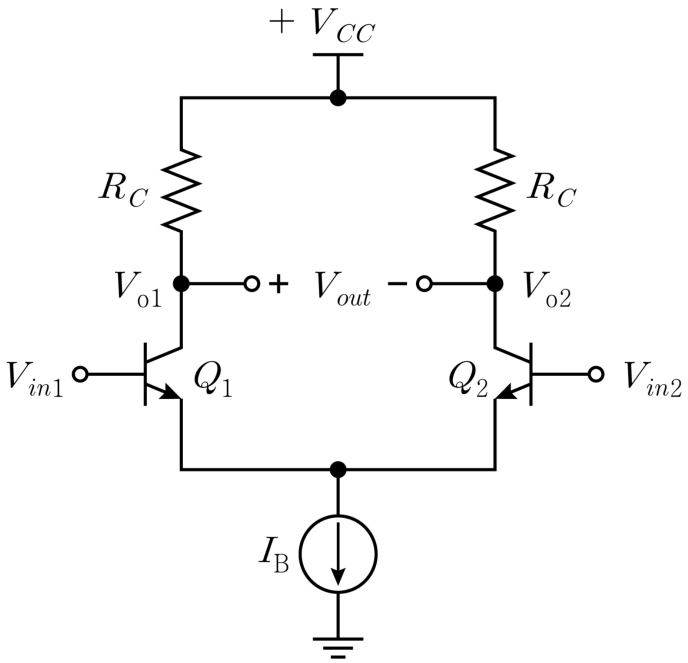
교류 등가회로: $C = \infty$이므로 입력 결합 커패시터는 교류 신호에 대해 단락으로 취급하고, 직류 전원 V_{DD}는 교류 접지로 둔다. 소스가 접지되어 있으므로 **게이트·소스 사이의 신호전압이 입력전압과 같다**. 즉, $v_{gs} = V_{in}$이다. 두 12 kΩ 저항 R_1, R_2는 직류 바이어스를 정하며, 교류에서는 둘 다 게이트와 접지 사이에 연결된다. 입력에 직렬 저항이 없으므로 이 두 저항으로 입력전압이 절반으로 나뉘지는 않는다.

출력전압 관계: 전달컨덕턴스는 게이트·소스 신호전압에 따른 드레인 전류의 변화율이므로, 소신호 드레인 전류는 $i_d = g_m v_{gs}$이다. $r_o = \infty$이고 별도의 출력 부하가 없으므로 이 전류가 만드는 출력전압 변화는 $V_{out} = -i_d R_D$이다. 입력전압이 증가하면 드레인 전류와 저항의 전압강하가 커져 출력전압은 낮아지므로 **전압이득에 음의 부호**가 붙는다. 따라서 $V_{out} = -g_m R_D V_{in}$이다.

전압이득 계산: $g_m = 10^{-3}\text{A/V}$, $R_D = 5 \cdot 10^3 \Omega$를 대입하면 $\frac{V_{out}}{V_{in}} = -g_m R_D = -5$이다. 문제는 이 비의 절댓값을 물으므로 $\left|\frac{V_{out}}{V_{in}}\right| = 5$이다. 전압끼리의 비이므로 단위가 없으며, 출력 신호의 크기가 입력 신호의 5배라는 뜻이다. 이는 ③의 5에 해당한다.

NoteBase

문 18. 다음 차동증폭기 회로에 대한 설명으로 옳은 것은? (단, I_B는 이상적인 정전류원이고, 트랜지스터 Q_1과 Q_2는 활성영역에서 동작하고, 공통 모드이득은 매우 작은 값으로 일정하다고 가정한다)



① I_B가 증가할 때 차동모드이득의 절댓값이 감소한다.

② I_B가 증가할 때 공통모드제거비(CMRR)가 감소한다.

③ R_C가 증가할 때 차동모드이득의 절댓값이 증가한다.

④ R_C가 증가할 때 직류 출력전압 V_{o1}과 V_{o2}가 증가한다.

정답 3번

간단한 해설

컬렉터 저항 R_C가 커지면 같은 신호 전류 변화가 더 큰 출력전압 변화를 만든다. 바이어스 전류가 일정할 때 차동모드이득의 절댓값은 $|A_d| \approx g_m R_C$이므로 **컬렉터 저항이 증가하면 이득의 절댓값도 증가**한다.

NoteBase

선지별 해설

그림은 두 컬렉터 사이의 전압차를 출력으로 얻는 차동증폭기이다. 대칭인 평형 바이어스점에서 베이스 전류를 무시하면 각 트랜지스터의 직류 컬렉터 전류는 $I_C \approx \frac{I_B}{2}$이다. 트랜스컨덕턴스 $g_m = \frac{I_C}{V_T}$는 베이스–이미터 전압 변화에 대한 컬렉터 전류의 변화 정도를 나타내며, V_T는 열전압이다. 온도가 일정하고 얼리 효과를 무시하는 기본 소신호 해석에서 차동 출력의 이득 크기는 $|A_d| \approx g_m R_C$이다.

① X: I_B가 증가하면 각 트랜지스터의 바이어스 전류 I_C와 트랜스컨덕턴스 g_m가 증가한다. R_C가 일정하면 $|A_d| \approx g_m R_C$이므로 차동모드이득의 절댓값은 감소하는 것이 아니라 **증가한다**.

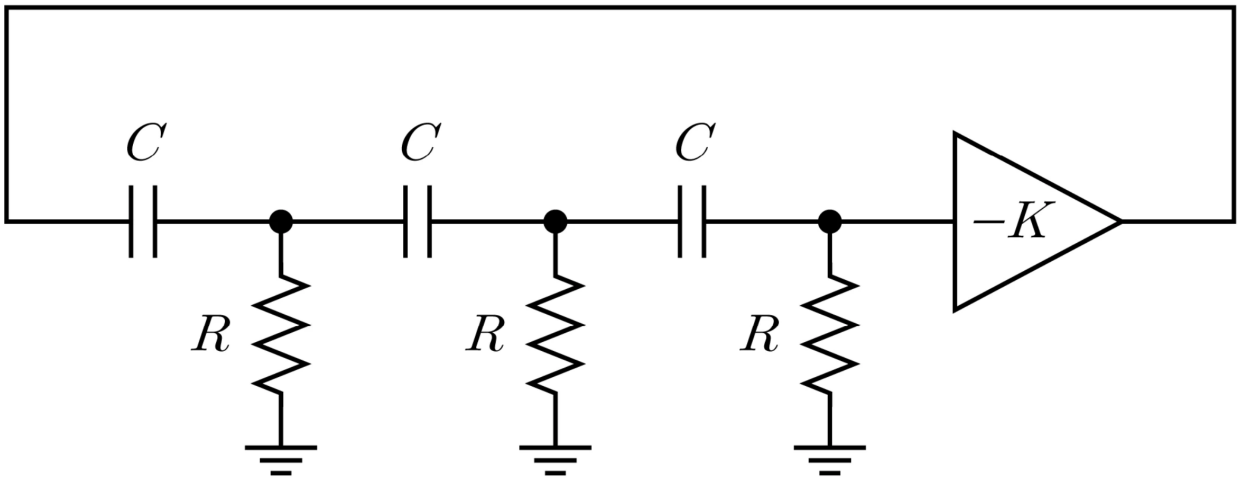
② X: 공통모드제거비는 CMRR $= \frac{|A_d|}{|A_{cm}|}$로, 공통모드 신호에 비해 차동 신호를 얼마나 크게 증폭하는지를 나타낸다. 문제에서 공통모드이득 A_{cm}은 매우 작은 일정값이라고 가정했다. 따라서 I_B 증가로 차동모드이득의 절댓값이 커지면 **CMRR도 증가한다**.

③ O: I_B가 일정하면 바이어스 전류와 g_m는 일정하다. 차동 입력에 따라 한쪽 컬렉터 전류가 증가하고 다른 쪽은 감소하며, 각 R_C가 이 전류 변화를 서로 반대 방향의 출력전압 변화로 바꾼다. 따라서 R_C가 커질수록 두 출력의 전압차가 커지므로 **차동모드이득의 절댓값이 증가한다**.

④ X: 각 컬렉터의 직류 전압은 $V_{o1} = V_{CC} - I_{C1}R_C$, $V_{o2} = V_{CC} - I_{C2}R_C$이다. 정전류원으로 바이어스 전류가 유지되는 상태에서 R_C가 증가하면 저항의 직류 전압강하가 커진다. 따라서 트랜지스터가 활성영역에 머무르는 범위에서 두 직류 출력전압은 **증가하지 않고 감소한다**.

NoteBase

문 19. 다음 3단 귀환 RC 회로와 전압이득이 $-K$인 증폭기로 구성된 발진기 회로에 대한 설명으로 옳지 않은 것은? (단, K는 양수이다)



① 위상편이발진기 회로이다.

② 발진주파수 $f_r = \frac{1}{2\pi RC\sqrt{3}}$ [Hz]이다.

③ 발진주파수에서 3단 귀환 RC 회로의 귀환계수 $|\beta| = \frac{1}{29}$이다.

④ 3단 귀환 RC 회로의 전체 위상편이가 180°가 되는 경우에 발진 조건을 만족한다.

정답 2번

간단한 해설

그림의 3단 RC 회로는 각 단이 다음 단의 영향을 받으므로, 발진주파수는 $f_r = \frac{1}{2\pi RC\sqrt{6}}$ Hz이다. ②의 분모에 있는 **$\sqrt{3}$은 $\sqrt{6}$으로 고쳐야 한다**.

NoteBase

선지별 해설

① O: 그림은 직렬 커패시터와 접지 저항으로 이루어진 RC 회로 3단을 반전 증폭기에 연결하고, 증폭기 출력을 RC 회로의 입력으로 되돌린 구조이다. RC 회로의 위상편이와 증폭기의 위상 반전을 이용하여 신호를 되먹임하는 **위상편이발진기**이다.

② X: 그림의 RC 회로에는 각 단을 분리하는 버퍼가 없어 **다음 단에 의한 부하 효과**를 고려해야 한다. 세 저항이 모두 R, 세 커패시터가 모두 C일 때, 회로망 해석으로 얻는 180° 위상 조건은 $1 - 6(\omega RC)^2 = 0$이다. 따라서 발진 각주파수는 $\omega_r = \frac{1}{RC\sqrt{6}}$이고, $f_r = \frac{\omega_r}{2\pi} = \frac{1}{2\pi RC\sqrt{6}}$ Hz이다. 선지의 $\sqrt{}3$은 $\sqrt{}6$으로 고친다.

③ O: 귀환계수는 증폭기 출력전압에 대한 귀환전압의 비이다. 발진주파수에서 이 3단 RC 회로의 귀환계수는 $\beta = -\frac{1}{29}$이므로 크기는 $|\beta| = \frac{1}{29}$이다. 음의 부호는 180° 위상편이를, 크기는 **전압 진폭이 1/29로 줄어듦**을 뜻한다.

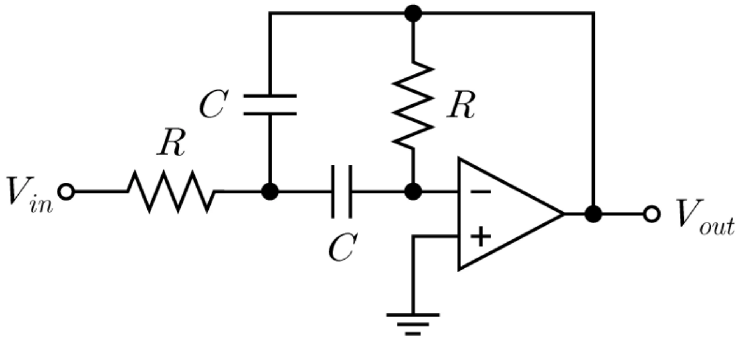
④ O: 증폭기의 전압이득이 $-K$이고 K가 양수이므로 증폭기는 위상을 180° 반전시킨다. RC 회로가 추가로 180°의 위상편이를 만들면 한 바퀴를 돈 신호의 전체 위상 변화는 360°가 되어 **원래 신호와 같은 위상으로 귀환**한다. 이는 발진의 위상 조건이다. 지속 발진에는 크기 조건도 필요하며, $K|\beta| = 1$이므로 K = 29가 된다. 실제 발진을 시작할 때는 진폭이 커지도록 이득을 29보다 조금 크게 잡고, 정상상태에서는 유효 루프 이득의 크기가 1이 되도록 한다.

NoteBase

문 20. 다음 (가) 2차 대역통과필터의 전달함수에 대응하는 (나) 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{K\left(\frac{\omega_o}{Q}\right)s}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2}$$

(가)



(나)

① 양호도(quality factor) $Q = \frac{1}{2}$이다.

② 중심 각주파수 $\omega_o = \frac{1}{RC}$ [rad/s]이다.

③ 중심 각주파수에서 전압이득 $|K| = 2$이다.

④ 대역폭(bandwidth) $BW = \frac{1}{\pi RC}$ [Hz]이다.

정답 3번

간단한 해설

회로의 전달함수에 중심 각주파수 $\omega_o = \frac{1}{RC}$를 대입하면 전압이득은 $-\frac{1}{2}$이다. 따라서 **중심 이득의 크기는 1/2**이며, 2라는 설명이 틀리다.

NoteBase

선지별 해설

입력 저항과 두 커패시터가 만나는 절점의 전압을 V_x, 시정수를 $\tau = RC$로 정의한다. 이상적 연산증폭기가 음귀환 상태로 동작하므로 반전 입력은 **가상접지**이다. 즉, 반전 입력 절점의 전압은 0 V이고 연산증폭기 입력단으로 흐르는 전류는 0 A이다.

반전 입력 절점에서 전류법칙을 적용하면 다음 관계를 얻는다.
$sCV_x + \frac{V_{out}}{R} = 0$
$V_{out} = -s\tau V_x$
한편 입력 저항을 흐르는 전류는 두 커패시터로 나뉘므로 다음 식이 성립한다.
$V_{in} = (1 + 2s\tau)V_x - s\tau V_{out}$
두 관계에서 V_x를 소거하면 회로의 전달함수는 다음과 같다.
$H(s) = \frac{-s\tau}{s^2\tau^2 + 2s\tau + 1}$

① O: 전달함수의 분자와 분모를 τ^2으로 나누어 (가)의 표준형과 비교한다. 분모의 상수항과 s의 계수에서 각각 $\omega_o^2 = \frac{1}{\tau^2}$, $\frac{\omega_o}{Q} = \frac{2}{\tau}$를 얻는다. R과 C가 양수이므로 $\omega_o = \frac{1}{\tau}$이며, 이를 두 번째 관계에 대입하면 $Q = \frac{1}{2}$이다.

② O: 중심 각주파수는 표준형 분모의 **상수항에 양의 제곱근을 취한 값**이다. 따라서 $\omega_o = \frac{1}{\tau} = \frac{1}{RC}$ rad/s이다. 이는 Hz 단위의 중심 주파수와 구별된다.

③ X: 중심 각주파수에서는 $s = j\omega_o = \frac{j}{\tau}$이므로 분모의 $s^2\tau^2 + 1$이 0이 된다. 이때 전달함수의 값은 다음과 같다.
$H(j\omega_o) = \frac{-j}{2j} = -\frac{1}{2}$
(가)의 표준형에서도 중심 각주파수의 이득은 K이므로 $K = -\frac{1}{2}$이다. 음의 부호는 위상 반전을 나타내며, **이득의 크기는 2가 아니라 1/2**이다.

④ O: 대역폭은 이득의 크기가 최대값의 $\frac{1}{\sqrt{2}}$이 되는 두 차단주파수 사이의 간격이다. (가)와 같은 2차 대역통과필터의 각주파수 대역폭은 다음과 같다.
$\Delta\omega = \frac{\omega_o}{Q} = \frac{2}{RC}$
이 값의 단위는 rad/s이므로 **Hz 단위로 환산할 때는 2π로 나눈다**.
$BW = \frac{\Delta\omega}{2\pi} = \frac{1}{\pi RC}$ Hz이다.

따라서 옳지 않은 설명은 ③이다.

NoteBase