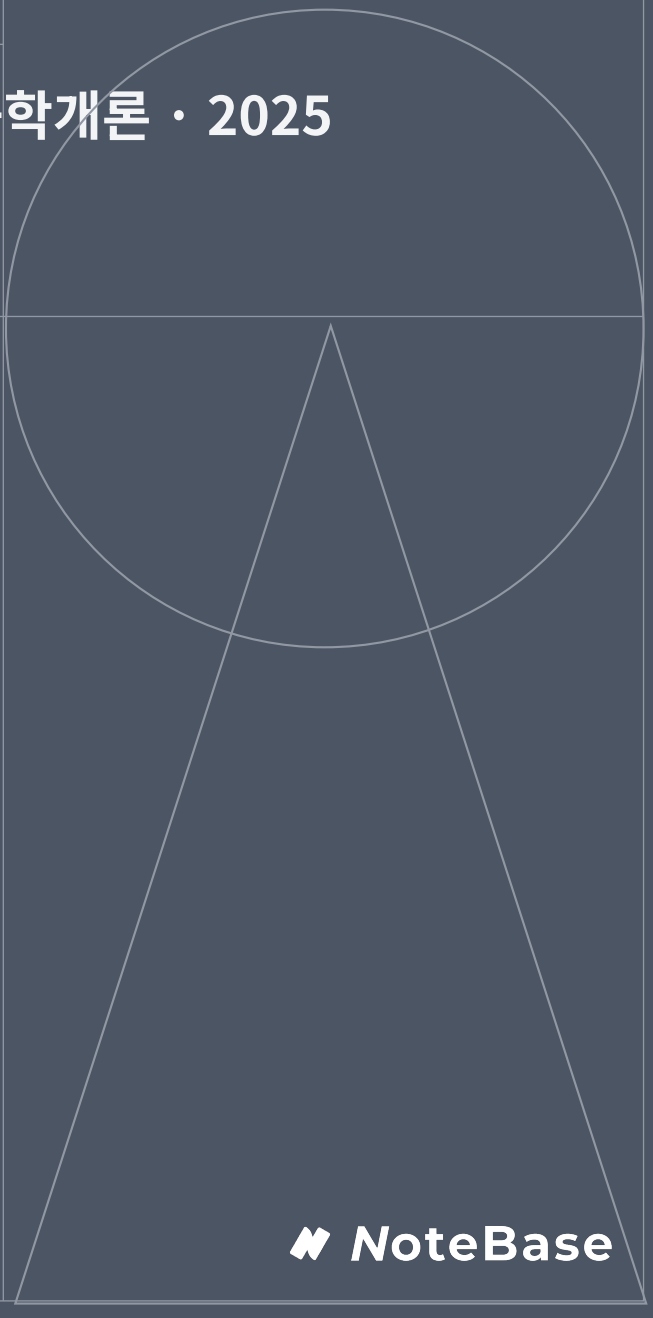
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2025



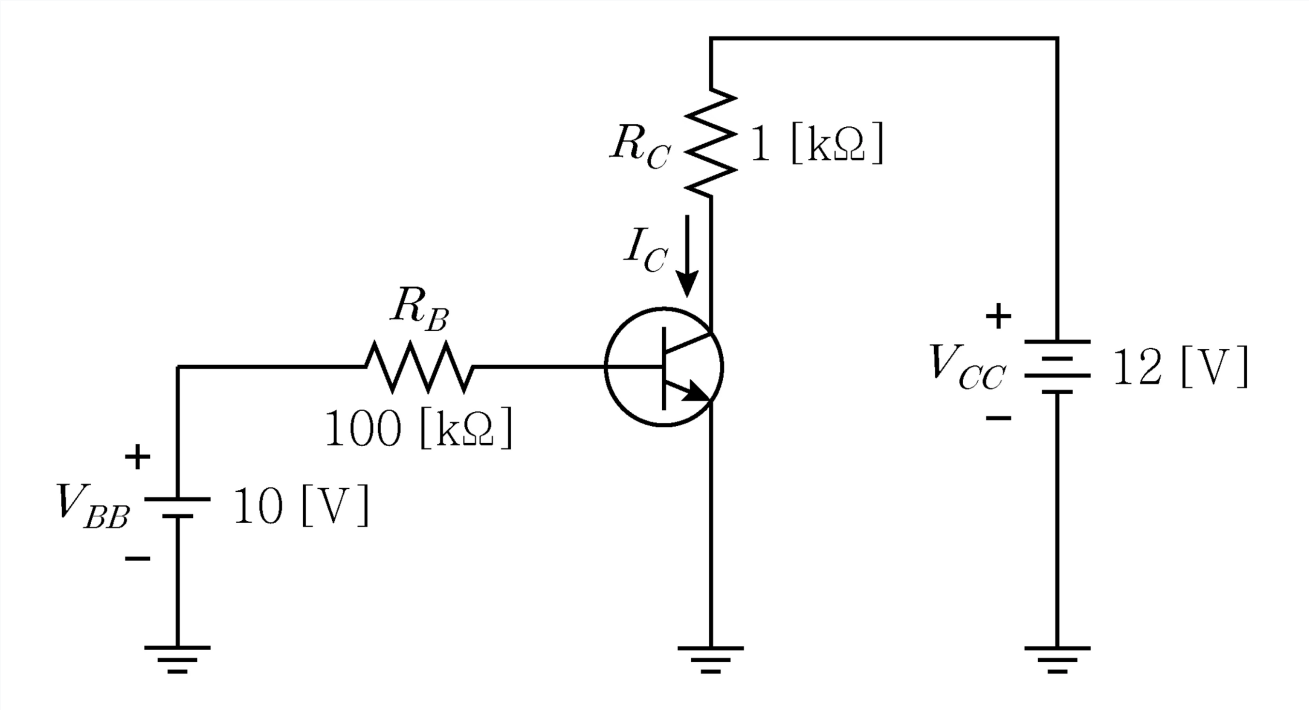
NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2025

공무원/국가직/9급 · 전자공학개론 · 2025

문 1. 다음 BJT 증폭회로에서 컬렉터 전류 I_C [mA]는? (단, 다이오드의 순방향 전압강하는 0.7 [V], 직류 전류이득 $\beta_{DC} = 100$이고, 저항성분은 무시한다)



① 9.3

② 9.7

③ 10.3

④ 10.7

정답 1번

간단한 해설

베이스 저항에는 **전원 전압에서 베이스–이미터 전압강하를 뺀 전압**이 걸리므로 베이스 전류는 93 μA이다.
여기에 직류 전류이득 100을 곱하면 컬렉터 전류는 9.3 mA이다.

NoteBase

계산 과정

베이스 전류: 그림에서 이미터는 접지되어 있고, 베이스에는 10 V 전원이 100 kΩ 저항을 통해 연결되어 있다. 베이스–이미터 접합의 순방향 전압강하를 0.7 V로 두면, **베이스 저항에 걸리는 전압**은 10 − 0.7 = 9.3 V이다. 베이스 전류를 I_B라 하면 옴의 법칙에 따라 $I_B = \frac{V_{BB} - V_{BE}}{R_B}$이다.
$I_B = \frac{10 - 0.7}{100}\text{mA} = 0.093\text{mA}$. V를 kΩ으로 나누면 mA가 되므로, 이는 93 μA이다.

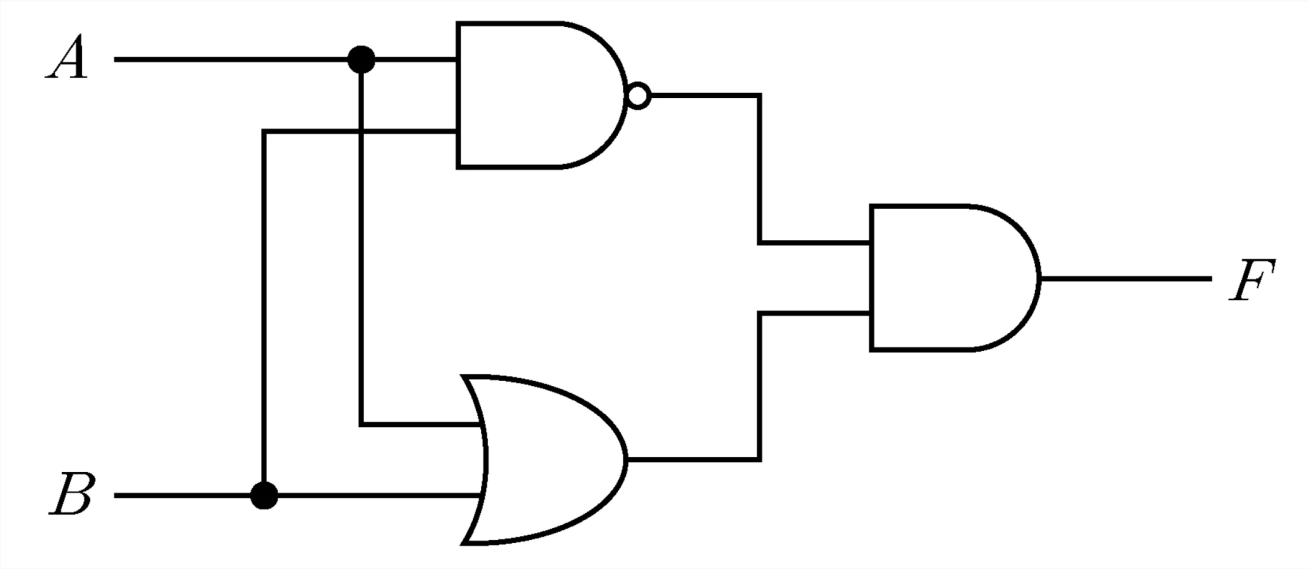
컬렉터 전류: **순방향 활성영역**에서 직류 전류이득은 $\beta_{DC} = \frac{I_C}{I_B}$이다. 따라서 $I_C = \beta_{DC} I_B$에 주어진 전류이득 100과 앞에서 구한 베이스 전류를 대입하면 $I_C = 100 \cdot 0.093 = 9.3\text{mA}$이다.

동작영역 확인: 컬렉터 저항 1 kΩ에 9.3 mA가 흐를 때 전압강하는 9.3 V이다. 컬렉터 전압은 12 − 9.3 = 2.7 V이고, 이미터가 접지되어 있으므로 컬렉터–이미터 전압도 2.7 V이다. 이는 베이스 전압 0.7 V보다 높아 **컬렉터–베이스 접합이 역바이어스**되므로, 앞에서 사용한 활성영역의 전류 관계와 일치한다.

따라서 구하는 컬렉터 전류는 9.3 mA이며, ①의 값과 일치한다.

NoteBase

문 2. 다음 논리 회로에서 출력 F의 논리식은?



① $\overline{AB}$

② $A + B$

③ $AB + \overline{AB}$

④ $\overline{A}B + A\overline{B}$

정답 4번

간단한 해설

위쪽 NAND 출력과 아래쪽 OR 출력을 AND로 결합하므로, 두 입력 중 **하나만 1일 때** 출력이 1이 된다. 따라서 출력은 배타적 OR이며 논리식은 $F = \overline{A}B + A\overline{B}$이다.

NoteBase

계산 과정

위쪽 게이트: 입력은 A와 B이며, AND 기호의 출력 쪽 작은 원은 **출력의 반전**을 뜻한다. 따라서 NAND 게이트이고 출력은 $\overline{AB}$이다. 이는 두 입력이 모두 1인 경우에만 0이다. 여기서 붙여 쓴 문자는 AND, 윗줄은 NOT을 나타낸다.

아래쪽 게이트: A에서 갈라진 선과 B가 OR 게이트로 들어가므로 출력은 $A + B$이다. 여기서 +는 산술 덧셈이 아니라 OR를 나타내며, 두 입력 중 적어도 하나가 1이면 출력이 1이다.

마지막 게이트: 앞의 두 출력을 AND로 결합하므로 $F = \overline{AB}(A + B)$이다. 두 조건을 함께 만족해야 하므로 **적어도 하나가 1이면서 둘 다 1은 아닌 경우**, 즉 두 입력이 서로 다를 때만 출력이 1이다.

논리식 정리: 드모르간 법칙에 따라 $\overline{AB} = \overline{A} + \overline{B}$이므로 $F = (\overline{A} + \overline{B})(A + B)$이다. 분배법칙으로 전개하면 $\overline{A}A$와 $\overline{B}B$는 각각 0이 되어 사라진다. 남는 식은 $F = \overline{A}B + A\overline{B}$이며, ④의 식과 일치한다.

NoteBase

문 3. 10진수 2025를 16진수로 표현하면?

① 789_{16}

② $7D7_{16}$

③ $7E8_{16}$

④ $7E9_{16}$

정답 4번

간단한 해설

2025를 16으로 반복해서 나눈 나머지는 9, 14, 7이다. 이를 **역순으로 읽고 14를 E로 표시**하면 $7E9_{16}$이 된다.

계산 과정

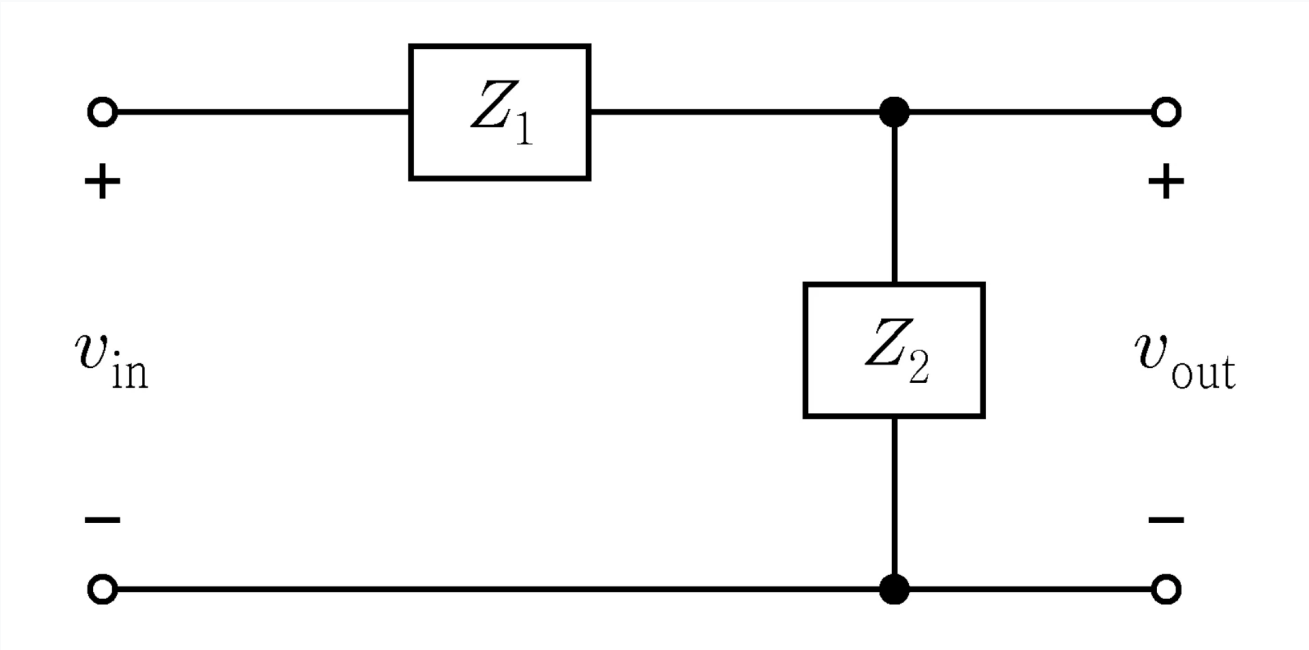
16진수는 한 자리에서 0~15를 나타내며, 10~15는 각각 A~F로 쓴다. 10진수 정수를 16으로 나누면 **나머지가 가장 낮은 자리의 값**이 되고, 몫은 그보다 높은 자리에 나타낼 수가 된다.

$2025 = 16 \times 126 + 9$이므로 가장 낮은 자리의 값은 9이다. 이어서 몫 126을 나누면 $126 = 16 \times 7 + 14$이므로 다음 자리의 값은 14, 즉 E이다. 마지막으로 $7 = 16 \times 0 + 7$이므로 가장 높은 자리의 값은 7이다.

나머지는 낮은 자리부터 구했으므로 **마지막 나머지부터 거꾸로** 배열한다. 따라서 $2025_{10} = 7E9_{16}$이며, 이는 ④의 값과 일치한다.

NoteBase

문 4. 다음 회로를 고역통과필터로 구성하기 위한 소자 Z_1, Z_2는?



① Z_1: R, Z_2: C

② Z_1: C, Z_2: R

③ Z_1: L, Z_2: C

④ Z_1: L, Z_2: R

정답 2번

간단한 해설

고역통과필터는 낮은 주파수를 감쇠시키고 높은 주파수를 통과시킨다. 입력과 직렬인 Z_1에 **커패시터 C**를 놓으면 주파수가 높을수록 리액턴스가 작아져, Z_2의 **저항 R 양단**에 입력 전압이 더 많이 나타난다.

NoteBase

구성 요소별 해설

그림에서 Z_1은 입력과 출력 사이에 직렬로 연결되고, 출력은 Z_2 양단에서 얻는다. 별도 출력 부하가 없는 이 회로의 전압분배 관계는 $\frac{V_{out}}{V_{in}} = \frac{Z_2}{Z_1 + Z_2}$이다. 고역통과 특성을 얻으려면 주파수가 높아질수록 이 비의 크기가 커져야 한다.

Z_1: 커패시터 C를 연결한다. 커패시터의 리액턴스 크기는 $X_C = \frac{1}{\omega C}$이며, ω는 각주파수이다. **낮은 주파수에서는 리액턴스가 커서** 입력 전압 대부분이 커패시터에 걸리고 출력은 작다. 높은 주파수에서는 리액턴스가 작아져 출력 쪽으로 신호가 잘 전달된다. 반대로 인덕터 L의 리액턴스는 $X_L = \omega L$이므로, 직렬 위치에 놓으면 높은 주파수의 전달을 억제한다.

Z_2: 저항 R을 연결한다. 저항의 임피던스는 주파수에 따라 변하지 않으며, **저항 양단의 전압을 출력으로** 취한다. 이상적인 소자에서 주파수가 매우 낮으면 커패시터가 거의 개방된 것처럼 작용하여 저항 전압이 0에 가까워지고, 매우 높으면 커패시터가 거의 단락된 것처럼 작용하여 저항 전압이 입력 전압에 가까워진다.

따라서 Z_1은 C, Z_2는 R인 ②의 조합이 고역통과필터를 구성한다.

NoteBase

문 5. 전원전압 $10\angle 20^\circ$ [V]를 커패시터 1 [F]에 인가하였을 때, 전류[A]는? (단, 각주파수 $\omega = 1$ [rad/s]이다)

① $1\angle -70^\circ$

② $1\angle 20^\circ$

③ $10\angle -70^\circ$

④ $10\angle 110^\circ$

정답 4번

간단한 해설

커패시터 전류는 전압보다 **위상이 90° 앞서며**, 크기는 전압 크기에 ωC를 곱한 값이다. 주어진 조건에서는 전류가 $10\angle 110^\circ$ A가 된다.

계산 과정

커패시턴스는 C = 1 F, 각주파수는 $\omega = 1$ rad/s, 전압 페이저는 $V = 10\angle 20^\circ$ V이다. 커패시터의 전류·전압 관계 $i(t) = C\frac{dv(t)}{dt}$에서 정현파를 미분하면 페이저에 $j\omega$가 곱해지므로, 전류 페이저는 $I = j\omega CV$이다. 여기서 j는 허수 단위이다.

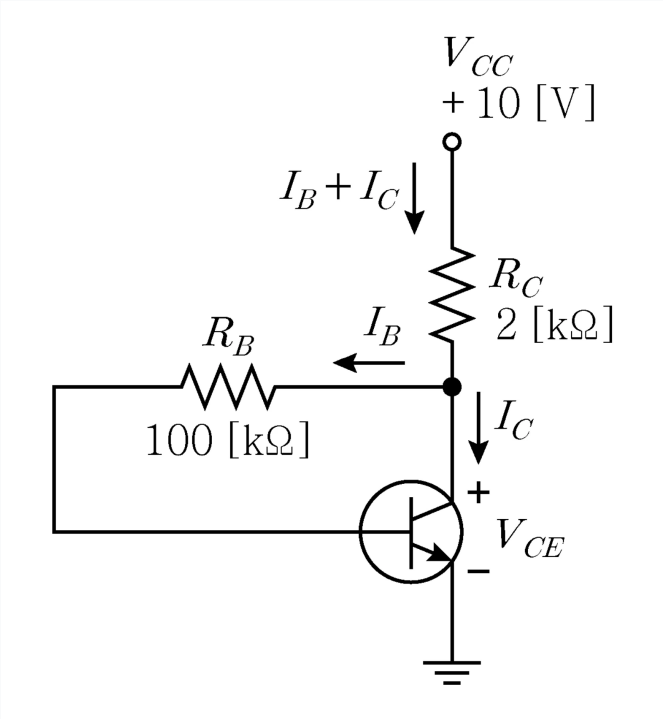
전류의 크기는 $|I| = \omega C|V| = 1 \cdot 1 \cdot 10 = 10$ A이다. 즉, 이 조건에서는 **전압과 전류의 크기가 각 단위에서 수치상 같다**.

위상은 $j = 1\angle 90^\circ$를 곱할 때 90° 증가한다. 따라서 **전류가 전압보다 90° 앞서므로**, 전류의 위상각은 20° + 90° = 110°이다.

전류의 크기와 위상을 합치면 $I = 10\angle 110^\circ$ A이며, 이는 ④의 값과 일치한다.

NoteBase

문 6. 다음 BJT 증폭회로에서 컬렉터 전류 I_C [mA]에 가장 가까운 값은? (단, 다이오드의 순방향 전압강하는 0.7 [V], 직류 전류이득 $\beta_{DC} = 100$이고, 저항성분은 무시한다)



① 2.1

② 3.1

③ 4.1

④ 5.1

정답 2번

간단한 해설

컬렉터 저항에는 **베이스 전류와 컬렉터 전류의 합**이 흐른다. 이 전류에 의한 전압강하와 베이스 저항의 전압강하, 베이스–이미터 전압 0.7 V를 합하면 전원전압 10 V가 되며, 이를 풀면 컬렉터 전류는 약 3.08 mA이다.

NoteBase

계산 과정

이미터가 접지되어 있으므로 베이스–이미터 순방향 전압을 $V_{BE} = 0.7\text{V}$로 두면 베이스 전압도 0.7 V이다. 활성영역에서 직류 전류이득의 정의에 따라 $I_C = \beta_{DC} I_B = 100 I_B$이다. 컬렉터에서 베이스 저항으로 전류가 갈라지므로, **컬렉터 저항에 흐르는 전류**는 $I_C + I_B = 101 I_B$이다.

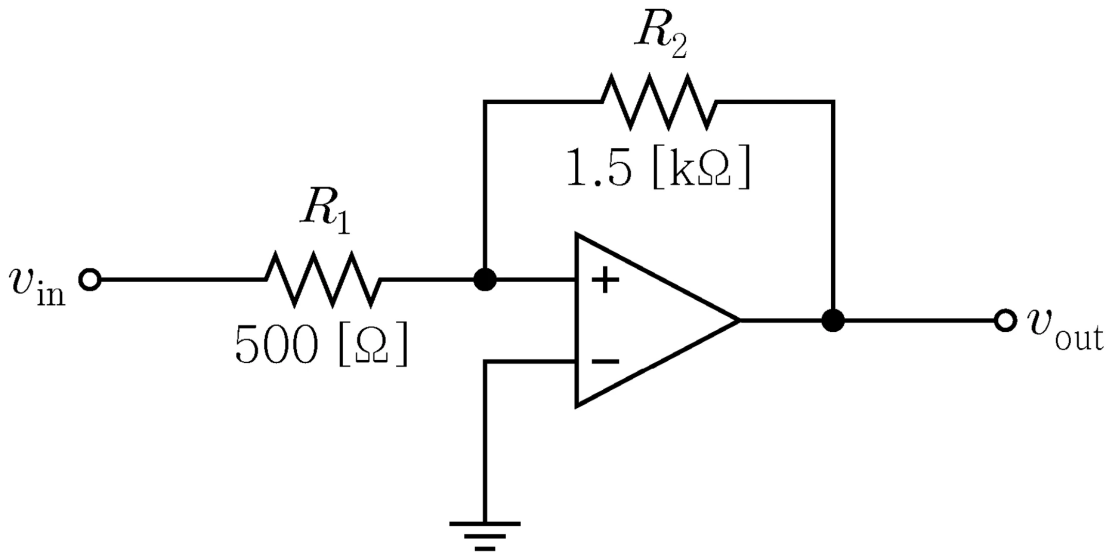
전원에서 컬렉터 저항 2 kΩ, 베이스 저항 100 kΩ, 베이스–이미터 접합을 거쳐 접지로 돌아오는 경로에 키르히호프 전압법칙을 적용한다. 전원전압은 각 부분의 전압강하의 합이므로 $10 = (I_C + I_B)R_C + I_B R_B + 0.7$이다. 여기서 전류를 mA, 저항을 kΩ으로 넣으면 곱의 단위는 V가 된다. 따라서 $9.3 = 101 I_B \cdot 2 + I_B \cdot 100$이며, 9.3 V는 두 저항에 걸리는 전압강하의 합이다.

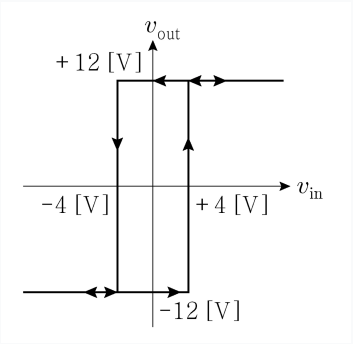
베이스 전류를 구하면 $I_B = \frac{9.3}{101 \cdot 2 + 100} \approx 0.0308\text{mA}$이다. 이 값에 전류이득을 곱하면 $I_C = 100 I_B \approx 3.08\text{mA}$가 된다.

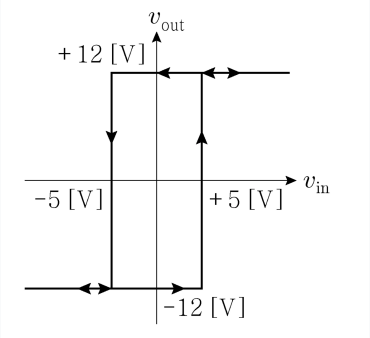
컬렉터 전압은 베이스 전압에 베이스 저항의 전압강하를 더한 값이므로 $V_C = 0.7 + I_B R_B \approx 3.78\text{V}$이다. 이는 베이스 전압 0.7 V보다 높아 컬렉터–베이스 접합이 역바이어스되므로 활성영역을 전제로 한 계산과 일치한다. 계산한 컬렉터 전류 약 3.08 mA에 가장 가까운 값은 ②의 3.1 mA이다.

NoteBase

문 7. 다음 슈미트 트리거(Schmitt trigger) 회로의 입출력 전달특성 그래프로 옳은 것은? (단, 양의 포화전압 +12 [V], 음의 포화전압 −12 [V], 연산증폭기는 이상적이다)

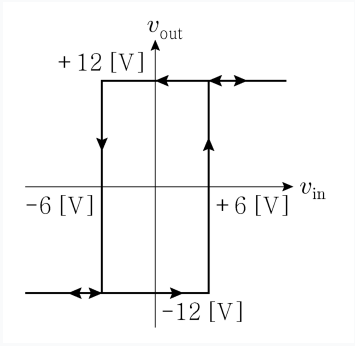


① 

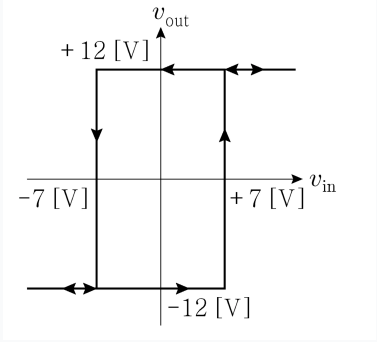
② 

NoteBase

③



④



정답 1번

간단한 해설

양의 되먹임 때문에 입력의 증가·감소 방향에 따라 **전환 문턱이 달라진다**. 입력이 증가하면 +4 V에서 출력이 −12 V에서 +12 V로, 감소하면 −4 V에서 +12 V에서 −12 V로 바뀐다.

NoteBase

계산 과정

회로에서 입력은 $R_1 = 500\Omega$을 거쳐 비반전(+) 단자에 들어가고, 출력은 $R_2 = 1.5\text{k}\Omega = 1500\Omega$을 거쳐 같은 단자로 되먹임된다. 반전(−) 단자는 접지되어 있다. 이상적 연산증폭기는 입력 전류가 0이며, 비반전 단자 전압 v_+가 0 V보다 크면 출력이 +12 V, 작으면 −12 V로 포화된다.

전환 문턱은 **두 입력 단자의 전압이 같아지는 경계**에서 구한다. 이때 $v_+ = 0$이므로 비반전 단자에 연결된 노드의 전류 관계는 $\frac{v_{\text{in}}}{R_1} + \frac{v_{\text{out}}}{R_2} = 0$이다. 따라서 전환 직전 출력에 대한 입력 문턱은 $v_{\text{in}} = -\frac{R_1}{R_2} v_{\text{out}}$이다. 이 전압 일치는 전환 경계의 조건이며, 포화 상태 전체에서 성립하는 가상접지 조건이 아니다.

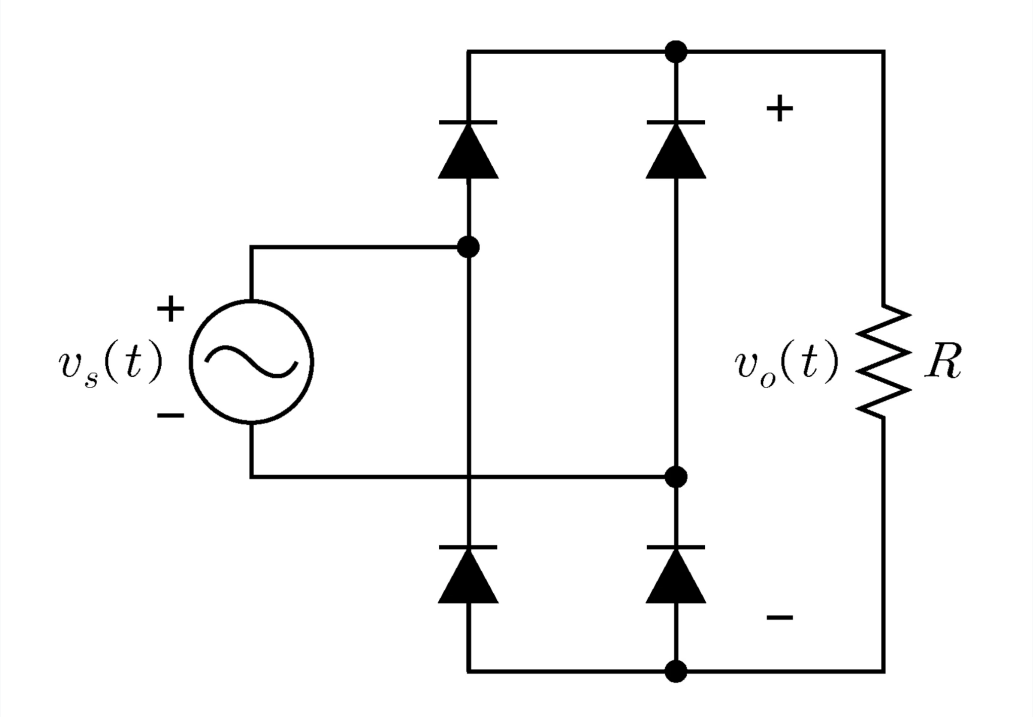
입력이 충분히 낮은 상태에서 증가할 때: 출력은 처음에 −12 V이다. 상승 문턱은 $-\frac{500}{1500} \cdot (-12) = +4\text{V}$이다. 입력이 이 문턱을 넘으면 비반전 단자 전압이 양수가 되어 출력이 +12 V로 바뀐다. 출력의 상승이 비반전 단자 전압을 더 높이는 양의 되먹임으로 전환이 유지된다. 따라서 그래프의 +4 V 위치에서 **아래에서 위로** 전환한다.

입력이 충분히 높은 상태에서 감소할 때: 출력은 처음에 +12 V이다. 하강 문턱은 $-\frac{500}{1500} \cdot 12 = -4\text{V}$이다. 입력이 이 문턱보다 낮아지면 비반전 단자 전압이 음수가 되어 출력이 −12 V로 바뀐다. 출력의 하강은 비반전 단자 전압을 더 낮춘다. 따라서 그래프의 −4 V 위치에서 **위에서 아래로** 전환한다.

−4 V와 +4 V 사이에서는 입력이 어느 방향에서 들어왔는지에 따라 이전 출력 상태가 유지된다. 이처럼 두 전환 문턱 사이에서 출력이 입력의 이력에 의존하는 특성을 히스테리시스라고 한다. 출력 포화값이 ±12 V이고, +4 V에서 상승하고 −4 V에서 하강하는 전달특성은 ①의 그래프와 일치한다.

NoteBase

문 8. 다음 전파정류회로에 대한 설명으로 옳은 것은? (단, 입력전압은 $v_s(t) = V_m \sin(120\pi t)$ [V]이고, 다이오드는 이상적이다)



① 출력전압의 주파수는 60 [Hz]이다.

② 출력전압의 평균값은 $\frac{V_m}{\pi}$ [V]이다.

③ 출력전압의 실효값은 $\frac{V_m}{\sqrt{2}}$ [V]이다.

④ 다이오드에 인가되는 역방향 최대전압은 $2V_m$ [V]이다.

정답 3번

간단한 해설

이상적인 브리지 전파정류는 입력의 음의 반주기를 양으로 뒤집으므로 **전압의 제곱값은 변하지 않는다**. 따라서 출력의 실효값은 입력과 같은 $\frac{V_m}{\sqrt{2}}$ V이다.

NoteBase

선지별 해설

그림은 다이오드 4개로 구성한 브리지 전파정류회로이다. 입력이 양수일 때는 왼쪽 위와 오른쪽 아래 다이오드가, 음수일 때는 오른쪽 위와 왼쪽 아래 다이오드가 도통하여 저항 R에 같은 방향으로 전류가 흐른다. 이상적 다이오드의 순방향 전압강하는 0이므로 출력은 $v_o(t) = |v_s(t)|$이다.

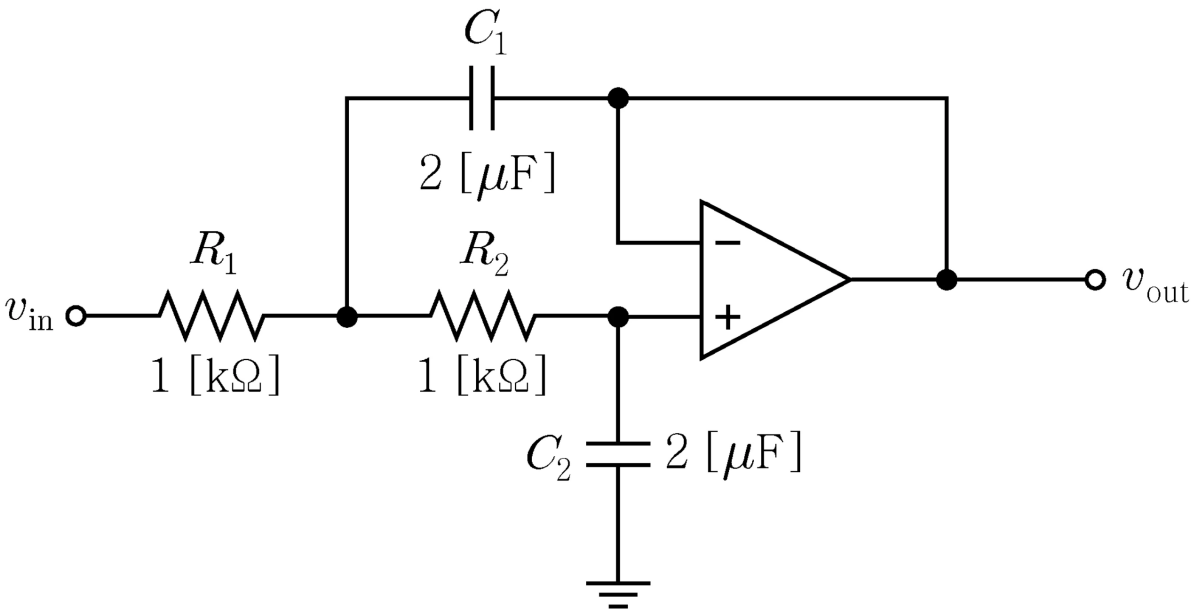
① X: 입력 각주파수가 120π rad/s이므로 입력 주파수는 $f_s = \frac{120\pi}{2\pi} = 60$ Hz이다. 전파정류하면 양·음의 반주기마다 같은 출력 파형이 나타나므로 **출력 주기는 입력 주기의 절반**이다. 따라서 출력 주파수는 $2 \times 60 = 120$ Hz이며, 60 Hz가 아니다.

② X: 출력은 음의 반주기도 양으로 뒤집은 파형이므로, 한 주기에 두 번의 양의 반파가 나타난다. 위상각을 θ라 하면 출력의 한 주기인 0부터 π까지 평균하여 $V_{\text{avg}} = \frac{1}{\pi}\int_0^{\pi} V_m \sin\theta\, d\theta$이다. 적분값이 $2V_m$이므로 평균값은 $\frac{2V_m}{\pi}$ V이다. 선지의 값은 음의 반주기에 출력이 0인 **반파정류의 평균값**에 해당한다.

③ O: 실효값은 전압을 제곱하여 시간 평균을 구한 뒤 제곱근을 취한 값이다. 전파정류는 입력의 부호만 바꾸므로 $v_o^2(t) = v_s^2(t)$이다. 정현파의 한 주기에서 사인 제곱의 평균은 1/2이므로 $V_{o,\text{rms}}^2 = \frac{V_m^2}{2}$이고, 출력 실효값은 $V_{o,\text{rms}} = \frac{V_m}{\sqrt{2}}$ V이다. 즉, **부호 반전은 실효값에 영향을 주지 않는다**.

④ X: 입력이 양수일 때 도통하는 왼쪽 위와 오른쪽 아래 다이오드가 각각 출력의 위쪽과 아래쪽 단자를 입력의 양쪽 단자에 연결한다. 이때 차단된 나머지 다이오드 각각에 걸리는 역전압의 크기는 입력전압의 크기와 같다. 음의 반주기에는 도통하는 다이오드 쌍만 바뀌므로, 각 다이오드의 **역방향 최대전압은 입력의 최댓값**인 V_m V이며, $2V_m$ V가 아니다.

문 9. 다음 저역통과필터 회로에서 차단 주파수 f_c [Hz]는? (단, 연산증폭기는 이상적이다)



① $\frac{250}{\pi}$

② $\frac{500}{\pi}$

③ $\frac{750}{\pi}$

④ $\frac{1000}{\pi}$

정답 1번

간단한 해설

두 저항이 각각 1 kΩ이고 두 커패시터가 각각 2 μF이므로, **코너 주파수**는 $f_c = \frac{1}{2\pi RC}$로 구한다. 계산하면 $\frac{250}{\pi}$ Hz이다.

NoteBase

계산 과정

회로의 조건: 출력이 연산증폭기의 반전 입력에 직접 연결되어 있으므로 연산증폭기는 **전압 이득이 1인 전압 팔로어**로 동작한다. 두 저항과 두 커패시터가 이루는 회로는 2차 Sallen–Key 저역통과필터이며, $R_1 = R_2 = R$, $C_1 = C_2 = C$이다.

주파수 관계: 이 필터의 고유 각주파수는 $\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$이다. 같은 값의 저항과 커패시터를 사용하므로 $\omega_0 = \frac{1}{RC}$로 단순해진다. 여기서 구하는 차단 주파수는 **고유 주파수인 코너 주파수**이며, $f_c = \frac{\omega_0}{2\pi}$이다. 일반적인 2차 필터에서 이 값이 항상 −3 dB 주파수와 일치하는 것은 아니다.

단위 환산과 중간값: R = 1000 Ω이고 $C = 2 \cdot 10^{-6}$ F이다. 따라서 $RC = 1000 \cdot 2 \cdot 10^{-6} = 0.002$ s이다. 이 시간상수의 역수를 취하면 $\omega_0 = \frac{1}{0.002} = 500$ rad/s를 얻는다.

주파수 계산: 각주파수를 Hz 단위의 주파수로 바꾸면 $f_c = \frac{500}{2\pi} = \frac{250}{\pi}$ Hz이다. 이는 ①의 값과 일치한다.

NoteBase

문 10. 귀환발진기(feedback oscillator)에 대한 설명으로 옳은 것은?

① 발진시키는 데 외부 입력신호는 필요치 않다.

② 발진을 시작하기 위해서는 루프 이득이 1이어야 한다.

③ 발진을 유지하기 위해서는 루프 이득이 1보다 커야 한다.

④ 발진하기 위해서는 피드백 루프의 위상 천이(phase-shift)가 180°이어야 한다.

정답 1번

간단한 해설

귀환발진기는 회로 내부의 미세한 잡음이나 전원 투입 시의 과도신호를 **정귀환으로 증폭**하여 주기 신호를 만든다. 따라서 발진을 위한 **외부 입력신호는 필요하지 않다**.

선지별 해설

① O: 귀환발진기는 출력의 일부를 입력으로 되돌리는 정귀환을 이용한다. 전원을 넣을 때 생기는 과도신호나 회로 내부의 잡음이 발진의 씨앗이 되고, 발진 조건을 만족하는 주파수 성분이 증폭되므로 **외부에서 별도의 입력신호를 가할 필요가 없다**. 다만 출력 신호의 에너지를 공급하는 직류 전원은 필요하다.

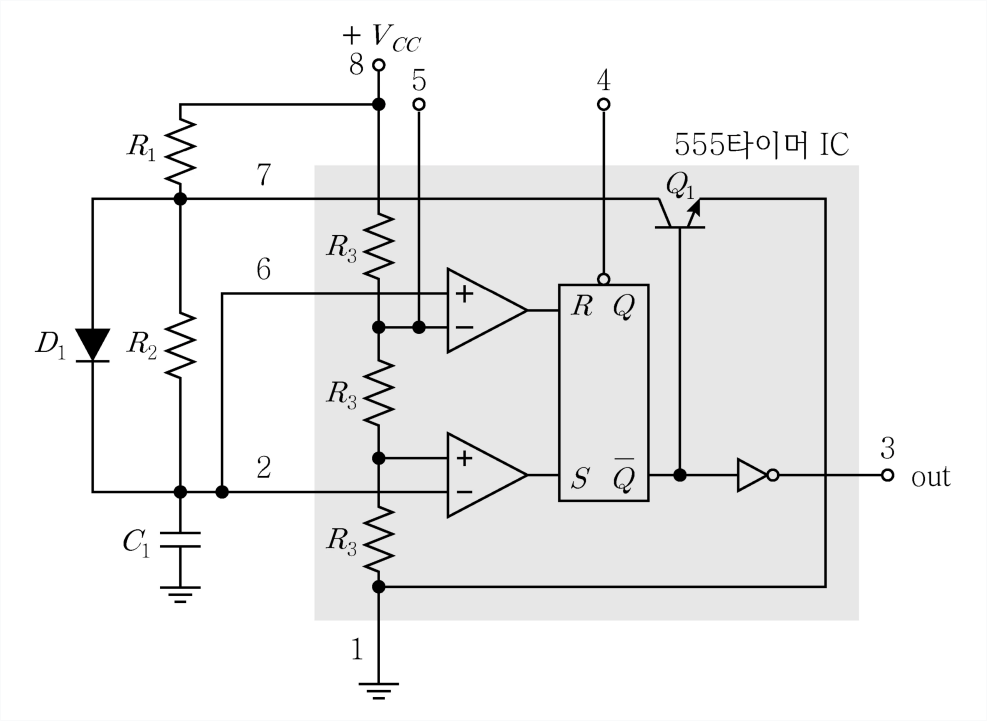
② X: 발진을 시작할 때는 미세한 신호가 루프를 한 번 돌 때마다 커져야 하므로, 발진 주파수에서 **루프 이득의 크기가 1보다 커야 한다**. 크기가 1이면 이상적으로 이미 존재하는 진폭을 유지할 뿐, 작은 신호를 성장시키는 기동 조건이 되지 못한다.

③ X: 일정한 진폭으로 발진을 유지하는 정상상태에서는 **유효 루프 이득의 크기가 1**이 되어야 한다. 1보다 크면 진폭이 계속 증가하고, 1보다 작으면 감소한다. 실제 회로에서는 진폭이 커지면서 증폭기의 비선형 특성이나 진폭 제어 작용으로 유효 루프 이득이 1로 조절된다.

④ X: 발진 주파수에서 증폭기와 귀환 회로를 모두 포함한 **전체 루프의 위상 천이는 0° 또는 360°의 정수배**여야 한다. 그래야 되돌아온 신호가 원래 신호와 같은 위상으로 더해진다. 위상 천이 발진기에서 귀환 회로가 만드는 180°는 반전 증폭기의 180°와 합쳐져 전체 360°가 되는 것이며, 전체 루프가 180°라는 뜻은 아니다.

NoteBase

문 11. 다음 555타이머 IC를 활용한 구형파 발생 회로가 정상동작할 때, 커패시터 C_1의 충전속도를 결정하는 시정수 τ_1과 방전속도를 결정하는 시정수 τ_2는? (단, 모든 소자는 이상적이다)



① $\tau_1 = (R_1 + R_2)C_1$, $\tau_2 = R_2C_1$

② $\tau_1 = R_2C_1$, $\tau_2 = (R_1 + R_2)C_1$

③ $\tau_1 = R_1C_1$, $\tau_2 = R_2C_1$

④ $\tau_1 = (R_1 + R_2)C_1$, $\tau_2 = R_1C_1$

정답 3번

간단한 해설

충전할 때는 **다이오드가 도통하여** R_2를 우회하므로 $\tau_1 = R_1C_1$이다. 방전할 때는 **다이오드가 차단되어** R_2를 통해 방전하므로 $\tau_2 = R_2C_1$이다.

NoteBase

계산 과정

RC 회로의 시정수는 커패시터가 충전·방전되는 경로의 등가저항과 정전용량의 곱인 $\tau = R_{eq}C_1$이다. 시정수가 클수록 전압 변화가 느리며, 저항을 Ω, 정전용량을 F로 나타내면 시정수의 단위는 s이다. 모든 소자가 이상적이므로 순방향 다이오드와 도통한 방전 트랜지스터의 전압 강하는 0으로 본다.

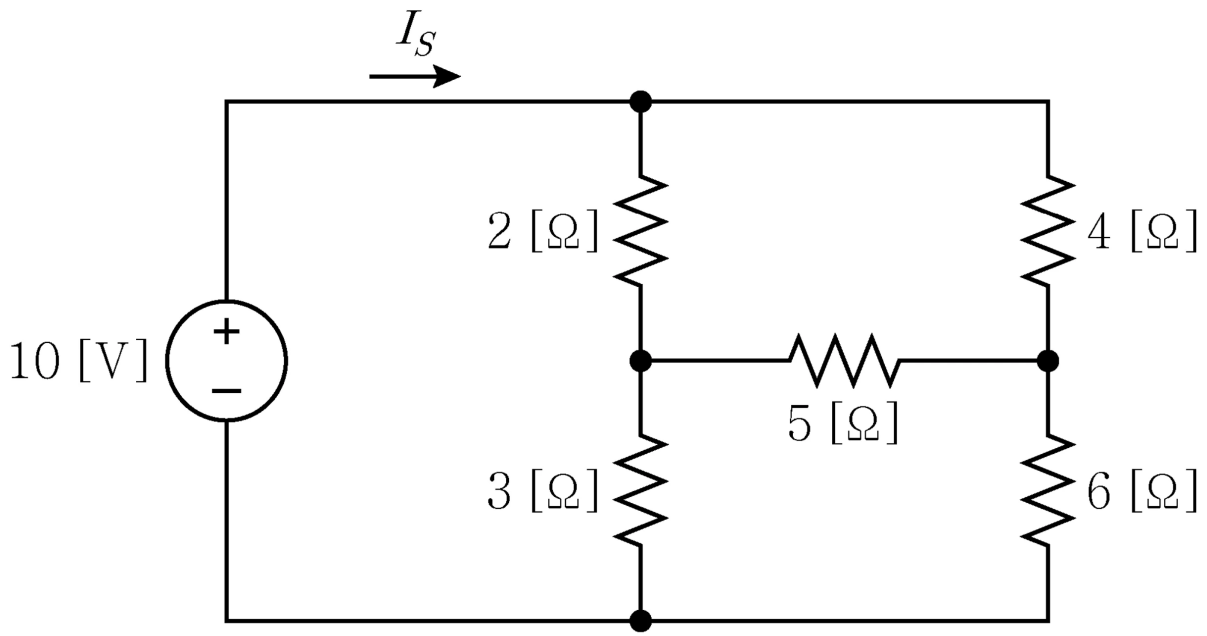
충전 시정수 τ_1: 내부 방전 트랜지스터 Q_1이 꺼지면 전원에서 R_1을 거쳐 C_1으로 충전 전류가 흐른다. 그림의 D_1은 R_2와 병렬로 연결되어 있고, 이때 순방향으로 도통한다. 따라서 충전 전류는 **다이오드를 통해 저항을 우회**하며, 충전 경로의 등가저항은 R_1이다. 이에 따라 $\tau_1 = R_1C_1$이다.

방전 시정수 τ_2: Q_1이 켜지면 7번 단자가 접지 전위가 된다. 커패시터의 위쪽 단자는 양의 전압이므로 D_1은 역방향으로 바이어스되어 차단된다. 방전 전류는 C_1에서 R_2, 7번 단자, Q_1을 거쳐 접지로 흐른다. 이때 **방전 경로의 등가저항**은 R_2이고, R_1은 커패시터의 방전 경로에 직렬로 포함되지 않는다. 따라서 $\tau_2 = R_2C_1$이다.

두 시정수는 $\tau_1 = R_1C_1$, $\tau_2 = R_2C_1$이므로 ③의 식과 일치한다.

NoteBase

문 12. 다음 회로에서 전류 I_S [A]는?



① 2

② 3

③ 5

④ 7

정답 2번

간단한 해설

5 Ω 저항의 양 끝이 **같은 전위**이므로 이 저항에는 전류가 흐르지 않는다. 전원 전류는 나머지 두 가지의 전류 2 A와 1 A를 더한 3 A이다.

NoteBase

계산 과정

중간점 전위: 아래 공통 도선을 0 V로 잡으면 전원의 극성에 따라 위 공통 도선은 10 V이다. 가운데 5 Ω 저항을 잠시 떼어 놓고 각 가지의 전압 분배를 구한다. 2 Ω과 3 Ω 사이의 전위는 $V_L = 10 \cdot \frac{3}{2+3} = 6\text{V}$이고, 4 Ω과 6 Ω 사이의 전위는 $V_R = 10 \cdot \frac{6}{4+6} = 6\text{V}$이다. 각 식의 분자는 기준점인 아래 도선과 중간점 사이의 저항이다.

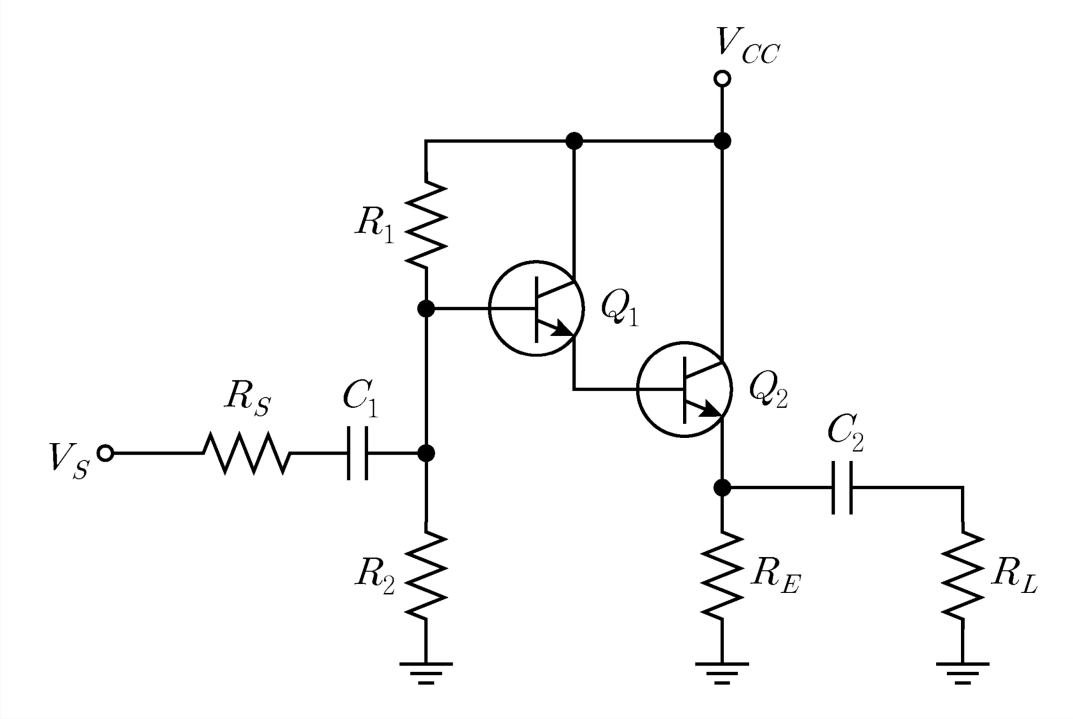
5 Ω 저항의 전류: 두 중간점의 전위가 모두 6 V이므로 5 Ω 저항을 다시 연결해도 **양 끝의 전압은 0 V**이다. 옴의 법칙에 따라 전류는 $\frac{6-6}{5} = 0\text{A}$이므로, 이 가지를 제외하고 나머지 회로의 전류를 구할 수 있다.

두 가지의 전류: 가운데 가지로 전류가 흐르지 않으므로 왼쪽의 2 Ω과 3 Ω에는 같은 전류가 흐르고, 오른쪽의 4 Ω과 6 Ω에도 같은 전류가 흐른다. 각 가지의 직렬 저항은 각각 2 + 3 = 5 Ω, 4 + 6 = 10 Ω이다. 두 가지는 **각각 전원 양단에 연결**되어 10 V가 걸리므로, 옴의 법칙으로 구한 전류는 왼쪽이 $I_L = \frac{10}{5} = 2\text{A}$, 오른쪽이 $I_R = \frac{10}{10} = 1\text{A}$이다.

전원 전류: 위 공통 도선으로 들어오는 I_S는 두 가지로 나뉘므로 키르히호프 전류 법칙에 따라 $I_S = I_L + I_R$이다. 따라서 전원에서 화살표 방향으로 흐르는 전류는 2 + 1 = 3 A이며, ②의 값에 해당한다.

NoteBase

문 13. 다음 회로에 대한 설명으로 옳지 않은 것은?



① 전류이득이 매우 크다.

② 전압이득이 매우 크다.

③ 높은 입력임피던스를 가진다.

④ 달링턴(Darlington) 접속회로이다.

정답 2번

간단한 해설

②의 '전압이득이 매우 크다'는 설명은 이미터 팔로어의 특성과 다르다. 이 회로는 달링턴 접속으로 전류이득을 크게 하지만, 출력 전압이 입력 전압을 따라가므로 **전압이득은 1보다 작고 보통 1에 가깝다**.

NoteBase

선지별 해설

① O: 첫 번째 트랜지스터의 이미터 전류가 두 번째 트랜지스터의 베이스 전류로 공급되어 **전류 증폭이 연속으로 이루어진다**. 두 트랜지스터가 활성영역에서 동작할 때 각각의 전류이득을 β_1, β_2라 하면, 첫 번째 베이스 전류에 대한 두 번째 이미터 전류의 비는 $(\beta_1 + 1)(\beta_2 + 1)$이다. 따라서 각 전류이득이 충분히 크면 전체 전류이득은 대략 두 전류이득의 곱만큼 커진다.

② X: 입력은 Q_1의 베이스에 들어가고 출력은 Q_2의 이미터에서 나오므로, 두 단 모두 이미터 팔로어로 동작한다. 활성영역의 소신호 동작에서 결합 커패시터가 신호를 충분히 통과시키는 주파수 범위의 전압이득은 **1보다 작고 보통 1에 가깝다**. 입력 전압의 변화를 출력이 같은 방향으로 따라가는 회로이므로, '전압이득이 매우 크다'를 '전류이득이 매우 크고 전압이득은 거의 1이다'로 고친다.

③ O: 달링턴 접속의 큰 전류이득 때문에 부하에 필요한 전류를 공급하면서도 입력 베이스에서 요구하는 전류는 작다. 따라서 입력 신호원에서 보면 **작은 입력 전류로 구동할 수 있는 높은 입력임피던스**를 가진다. 다만 회로 전체의 입력임피던스에는 베이스 바이어스 저항인 R_1, R_2도 영향을 준다.

④ O: 그림에서 **두 컬렉터가 공통으로 연결**되어 있고, Q_1의 이미터가 Q_2의 베이스에 연결되어 있다. 이는 두 트랜지스터를 하나의 큰 전류이득을 가진 소자처럼 사용하는 달링턴 접속의 구조이다.

NoteBase

문 14. 바이폴라 접합 트랜지스터(BJT)와 전계 효과 트랜지스터(FET)에 대한 설명으로 옳지 않은 것은?

① BJT보다 FET의 집적도가 높다.

② BJT보다 FET의 입력 저항이 작다.

③ FET는 전자 또는 정공의 단일 캐리어에 의해 전류가 형성된다.

④ BJT는 활성영역에서 베이스 전류에 의해 컬렉터 전류가 제어된다.

정답 2번

간단한 해설

FET는 게이트 전압으로 전류를 제어하며, 정상상태에서 게이트로 흐르는 전류가 매우 작다. 따라서 입력 저항은 BJT보다 **크다**.

선지별 해설

① O: FET는 소자의 미세화와 고밀도 집적에 유리하다. 특히 MOSFET는 **구조가 비교적 단순하고 소형화하기 쉬워** 같은 칩 면적에 많은 소자를 배치할 수 있으므로, BJT보다 높은 집적도를 구현하기에 적합하다.

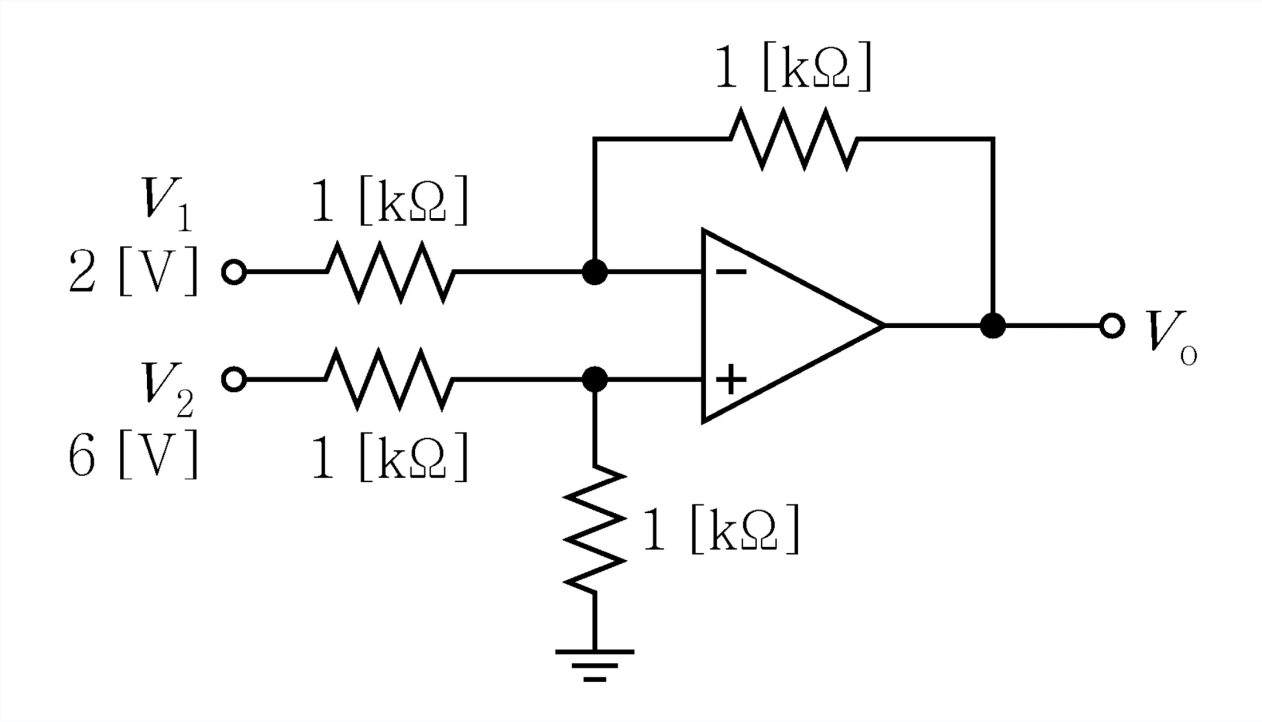
② X: FET의 입력 저항은 BJT보다 **크다**. FET는 게이트 전압으로 채널의 전도 상태를 조절하는 전압 제어 소자이다. 정상적인 동작에서 JFET의 게이트 접합은 역바이어스되고, MOSFET의 게이트는 절연막으로 분리되어 있어 정상상태의 게이트 전류가 매우 작다. 반면 BJT는 입력 단자인 베이스에 전류가 흐르므로, 일반적으로 FET보다 입력 저항이 작다.

③ O: FET는 전류 전도에 주로 **한 종류의 캐리어**가 관여하는 단극성 소자이다. n채널에서는 전자가, p채널에서는 정공이 채널 전류를 운반한다. 여기서 '단일 캐리어'는 전자나 정공 하나만 존재한다는 뜻이 아니라, 전류를 운반하는 캐리어의 종류가 하나라는 뜻이다.

④ O: BJT는 순방향 활성영역에서 **작은 베이스 전류로 큰 컬렉터 전류를 제어**하는 전류 제어 소자로 다룬다. 이때 베이스–이미터 접합은 순바이어스되고 베이스–컬렉터 접합은 역바이어스된다. 컬렉터 전류와 베이스 전류 사이에는 대략 $I_C = \beta I_B$의 관계가 성립하며, β는 공통 이미터 전류 이득이다.

NoteBase

문 15. 다음 연산증폭기 회로에서 출력전압 V_o [V]는? (단, 연산증폭기는 이상적이다)



① −4

② −2

③ 2

④ 4

정답 4번

간단한 해설

비반전 입력 전압은 6 V를 같은 저항 두 개로 **분압한 3 V**이다. 음귀환에 의해 반전 입력도 3 V가 되며, 피드백 저항에 걸리는 1 V를 더하면 출력전압은 4 V이다.

NoteBase

계산 과정

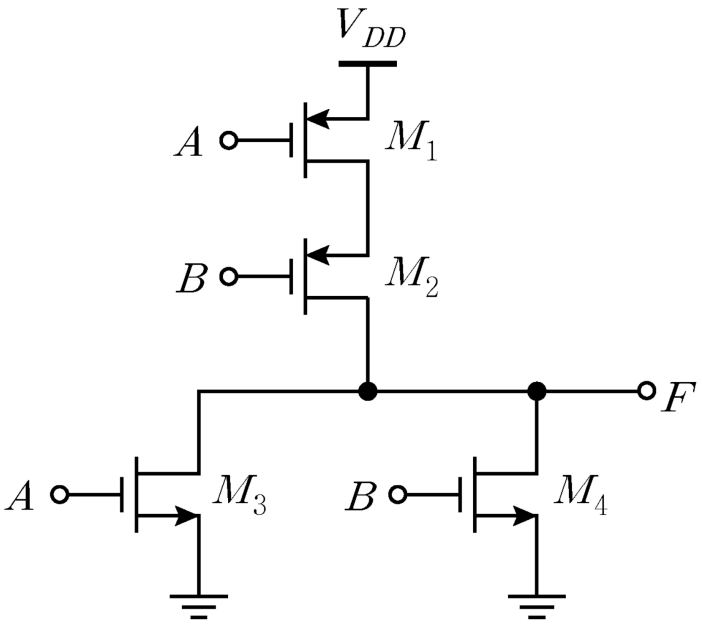
회로는 출력이 1 kΩ 저항을 거쳐 반전 입력(−)으로 되돌아오는 음귀환 회로이다. 이상적 연산증폭기의 **입력 전류는 0**이고, 음귀환 상태에서 두 입력 전압은 같으므로 $V_- = V_+$를 적용한다.

비반전 입력 전압: 비반전 입력(+)에는 전류가 들어가지 않으므로, 6 V 전원과 접지 사이의 1 kΩ 저항 두 개가 전압분배기를 이룬다. 따라서 $V_+ = 6 \cdot \frac{1}{1+1} = 3\text{V}$이다. 반전 입력 전압도 3 V가 된다.

출력전압: 반전 입력의 3 V 지점에서 2 V 전원 쪽으로 흐르는 전류는 $I = \frac{3-2}{1}\text{mA} = 1\text{mA}$이다. 여기서는 전압을 V, 저항을 kΩ 단위로 대입하였다. 반전 입력단으로 전류가 흐르지 않으므로, 이 전류는 **출력에서 피드백 저항을 통해 공급**되어야 한다. 피드백 저항의 전압 강하는 1 mA × 1 kΩ = 1 V이므로 출력은 반전 입력보다 1 V 높다. 따라서 $V_o = 3 + 1 = 4\text{V}$이며, ④의 값과 일치한다.

NoteBase

문 16. 다음 논리게이트 회로의 진리표에서 입력 A, B에 대한 출력 F로 옳은 것은?



A	B	F
0	0	(가)
0	1	(나)
1	0	(다)
1	1	(라)

① (가): 0, (나): 0, (다): 0, (라): 1

② (가): 0, (나): 1, (다): 1, (라): 0

③ (가): 1, (나): 0, (다): 0, (라): 0

④ (가): 1, (나): 1, (다): 1, (라): 0

정답 3번

간단한 해설

이 회로는 **두 입력이 모두 0일 때만 출력이 1**인 NOR 게이트이다. 입력 중 하나라도 1이면 아래쪽 NMOS를 통해 출력이 접지에 연결되어 0이 된다.

NoteBase

계산 과정

위쪽 M_1, M_2는 입력이 0일 때 켜지는 PMOS이고, 아래쪽 M_3, M_4는 입력이 1일 때 켜지는 NMOS이다. PMOS는 전원과 출력 사이에 **직렬**로, NMOS는 출력과 접지 사이에 **병렬**로 연결되어 있다. 따라서 두 PMOS가 모두 켜져야 출력이 전원에 연결되고, NMOS는 하나만 켜져도 출력이 접지에 연결된다. 출력이 전원에 연결되면 논리 1, 접지에 연결되면 논리 0이다.

(가): A = 0, B = 0이면 두 PMOS가 모두 켜지고 두 NMOS는 모두 꺼진다. 전원에서 출력까지의 경로가 연결되고 접지로의 경로는 끊어지므로 F = 1이다.

(나): A = 0, B = 1이면 M_2가 꺼져 전원으로의 경로가 끊어지고, M_4가 켜져 출력이 접지에 연결된다. 따라서 F = 0이다.

(다): A = 1, B = 0이면 M_1이 꺼져 전원으로의 경로가 끊어지고, M_3이 켜져 출력이 접지에 연결된다. 따라서 F = 0이다.

(라): A = 1, B = 1이면 두 PMOS가 모두 꺼지고 두 NMOS는 모두 켜진다. 출력이 접지에 연결되므로 F = 0이다.

출력은 두 입력의 OR 결과를 반전한 $F = \overline{A + B}$이다. 여기서 +는 논리합을 뜻한다. (가), (나), (다), (라)는 차례로 1, 0, 0, 0이므로 ③과 일치한다.

NoteBase

문 17. 유무선 데이터 통신에 대한 설명으로 옳지 않은 것은?

① 네트워크 토폴로지에는 버스, 링 방식 등이 있다.

② 회선교환 방식은 데이터그램 방식과 가상회선 방식으로 나뉜다.

③ 시스템들 간의 데이터 교환 방식에는 회선교환 방식, 패킷교환 방식 등이 있다.

④ 네트워크 토폴로지란 네트워크상의 노드 위치나 노드 간의 케이블 연결들의 물리적인 배치를 의미한다.

정답 2번

간단한 해설

데이터그램 방식과 가상회선 방식은 **패킷교환 방식**의 분류이다. 회선교환 방식은 통신 전에 전용 통신 경로를 설정하고, 통신하는 동안 그 경로의 자원을 점유한다.

선지별 해설

① O: 버스형은 여러 노드가 **하나의 공통 통신선에 연결**되는 구조이고, 링형은 노드들이 고리 모양으로 연결되는 구조이다. 둘 다 네트워크의 연결 형태를 구분하는 토폴로지에 해당한다.

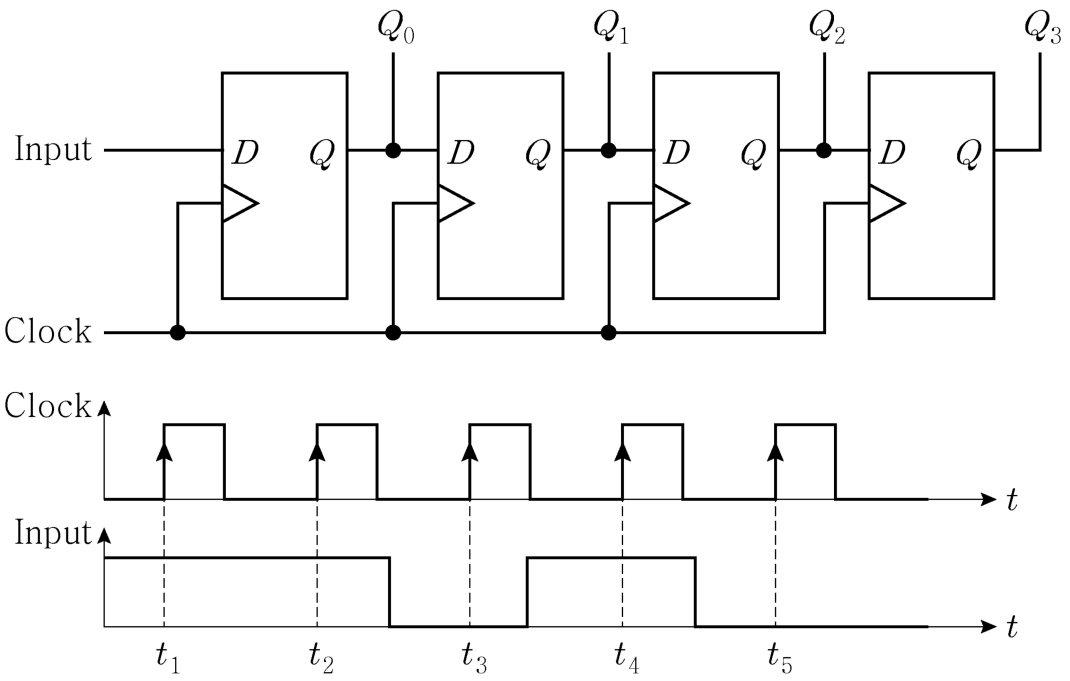
② X: 데이터그램 방식과 가상회선 방식으로 나뉘는 것은 회선교환 방식이 아니라 **패킷교환 방식**이다. 데이터그램 방식은 사전에 경로를 설정하지 않고 각 패킷을 독립적으로 전달한다. 가상회선 방식은 먼저 논리적인 경로를 설정한 뒤 그 경로를 따라 패킷을 전달한다. 회선교환 방식은 통신 전에 전용 경로를 확보하여 통신이 끝날 때까지 해당 자원을 점유한다는 점에서 구별된다.

③ O: 회선교환과 패킷교환은 시스템 사이에서 데이터를 전달하는 교환 방식이다. 회선교환은 통신을 위한 경로의 자원을 미리 확보하고, 패킷교환은 데이터를 **패킷 단위로 나누어 전달**하며 통신 자원을 여러 통신이 공유한다.

④ O: 네트워크 토폴로지는 노드와 연결선이 어떤 형태로 배치되고 연결되는지를 나타낸다. 선지는 그중 **물리 토폴로지**를 설명한 것으로, 장치의 실제 위치와 케이블의 연결 형태가 판단 기준이다.

NoteBase

문 18. 다음 4비트 시프트 레지스터 회로에서 입력신호 Clock, Input이 인가되었을 때, 구간($t_4 \sim t_5$)에서 출력 $Q_0Q_1Q_2Q_3$는? (단, 출력 Q_0, Q_1, Q_2, Q_3는 0으로 초기화되어 있고, 게이트에서 전파지연은 없다고 가정한다)



① 0101

② 0110

③ 1011

④ 1100

정답 3번

간단한 해설

상승 에지마다 **직전 출력이 다음 단으로 한 칸씩 이동**한다. t_1부터 t_4까지 입력 1·1·0·1이 차례로 저장되므로, 가장 최근 입력부터 읽는 $Q_0Q_1Q_2Q_3$는 1011이 된다.

NoteBase

계산 과정

회로의 D 플립플롭은 클록 단자에 삼각형이 있고 반전 표시가 없으므로 **클록의 상승 에지에서** 입력을 저장한다. 네 플립플롭이 같은 클록을 사용하므로 동시에 갱신되며, 각 단은 에지 직전의 입력을 저장한다. 전파지연이 없다는 조건에서도 한 에지에 여러 단을 연속 통과하는 것은 아니다.

갱신 후 값을 위첨자 +로 나타내면 $Q_0^+ = \text{Input}$, $Q_i^+ = Q_{i-1}$이며, 뒤 식은 i = 1, 2, 3에 적용한다. 오른쪽 출력은 모두 **갱신 전 값**이다. 즉 새 입력은 첫 단에 들어가고 기존 비트들은 다음 단으로 이동한다. 초기 $Q_0Q_1Q_2Q_3$는 0000이다.

t_1: Input은 1이다. 첫 단에 1이 들어가고 나머지 단은 이전의 0을 받아 출력은 1000이 된다.

t_2: Input은 1이다. 새 1이 첫 단에 들어가고 직전 출력 1000이 한 칸 이동하므로 출력은 1100이 된다.

t_3: Input은 0이다. 새 0이 첫 단에 들어가고 직전 출력 1100이 한 칸 이동하므로 출력은 0110이 된다.

t_4: Input은 1이다. 새 1이 첫 단에 들어가고 직전의 Q_0, Q_1, Q_2 값인 $0 \cdot 1 \cdot 1$이 다음 단들에 저장되어 출력은 1011이 된다.

t_4 이후 Input이 0으로 바뀌어도 **다음 상승 에지 전까지 출력은 유지**된다. 따라서 t_4와 t_5 사이의 $Q_0Q_1Q_2Q_3$는 1011이며, ③의 값과 일치한다.

NoteBase

문 19. 다음 카르노 맵(Karnaugh map)과 일치하는 논리식은?

AB \ CD	00	01	11	10
00	1	0	1	1
01	1	1	0	1
11	1	1	0	1
10	1	0	0	1

① $AB\overline{C} + BC + \overline{D}$

② $A\overline{B}C + B\overline{C} + D$

③ $A\overline{B}C + B\overline{C} + \overline{D}$

④ $\overline{A}\overline{B}C + B\overline{C} + \overline{D}$

정답 4번

간단한 해설

카르노 맵의 1을 묶을 때는 **묶음 안에서 값이 변하지 않는 변수만** 남긴다. 양 끝 열의 8칸, 가운데 왼쪽의 4칸, 맨 위 행 오른쪽의 2칸에서 각각 $\overline{D}$, $B\overline{C}$, $\overline{A}BC$를 얻으며, 이들을 OR로 연결한다.

NoteBase

계산 과정

행은 AB, 열은 CD이며, 둘 다 00, 01, 11, 10 순서로 배열되어 있다. 각 칸은 해당 입력 조합의 출력값이다. 출력이 1인 인접 칸들을 1, 2, 4, 8개처럼 2의 거듭제곱 개수의 직사각형으로 묶고, **묶음 전체에서 일정한 변수만** 곱항에 남긴다. 값이 0으로 일정하면 보수를, 1로 일정하면 원래 변수를 쓴다. 변하는 변수는 제거하며, 같은 칸을 여러 묶음에 포함해도 된다.

8칸 묶음: CD가 00인 첫 열과 10인 마지막 열은 모두 1이다. 카르노 맵은 **양 끝 열도 서로 인접**하므로 두 열의 8칸을 하나로 묶는다. A, B, C는 변하지만 D는 항상 0이므로 이 묶음은 $\overline{D}$가 된다.

4칸 묶음: AB가 01, 11인 두 행과 CD가 00, 01인 두 열이 만나는 4칸은 모두 1이다. 이 묶음에서는 A와 D가 변하고 B = 1, C = 0이 유지되므로 $B\overline{C}$가 된다. 이 항이 앞의 8칸 묶음에 없던 두 행의 CD = 01인 칸까지 포함한다.

2칸 묶음: AB = 00인 맨 위 행에서 CD가 11, 10인 두 칸을 묶는다. D만 변하고 A = 0, B = 0, C = 1이 유지되므로 $\overline{A}\overline{B}C$가 된다. 이 항으로 아직 포함되지 않았던 맨 위 행의 CD = 11인 칸을 포함한다.

세 묶음은 0인 칸을 포함하지 않으면서 모든 1을 덮는다. 따라서 각 곱항을 OR로 연결한 논리식은 $F = \overline{A}\overline{B}C + B\overline{C} + \overline{D}$이며, ④의 식과 일치한다. 여기서 변수의 나란한 표기는 AND, +는 OR, 윗줄은 NOT을 뜻한다.

NoteBase

문 20. 역방향 항복영역에서 동작하도록 설계되어 양단 전압을 일정한 값으로 유지하는 다이오드는?

① 광 다이오드(photo diode)

② 제너 다이오드(zener diode)

③ 버랙터 다이오드(varactor diode)

④ 발광 다이오드(light-emitting diode)

정답 2번

간단한 해설

제너 다이오드는 **역방향 항복영역**에서 전류가 변해도 양단 전압이 거의 일정하게 유지되는 특성을 이용한다. 이 때문에 일정한 전압을 유지하는 정전압 소자로 사용한다.

공통 해설

역방향 전압이 항복전압에 도달하면 역방향 전류가 급격히 증가한다. 이 영역에서는 전류가 크게 변해도 다이오드 양단 전압의 변화는 작다. 제너 다이오드는 이러한 **역방향 항복영역의 정전압 특성**을 이용하도록 설계된 소자이다. 따라서 문제의 두 조건인 역방향 항복영역에서의 동작과 일정한 양단 전압의 유지는 제너 다이오드의 동작 특성을 가리킨다. 실제로 사용할 때는 정전압 특성이 유지되는 동작 범위에서 전류를 흘리고, 전류 제한 저항 등으로 정격 전류와 허용 전력을 넘지 않게 해야 한다.

NoteBase