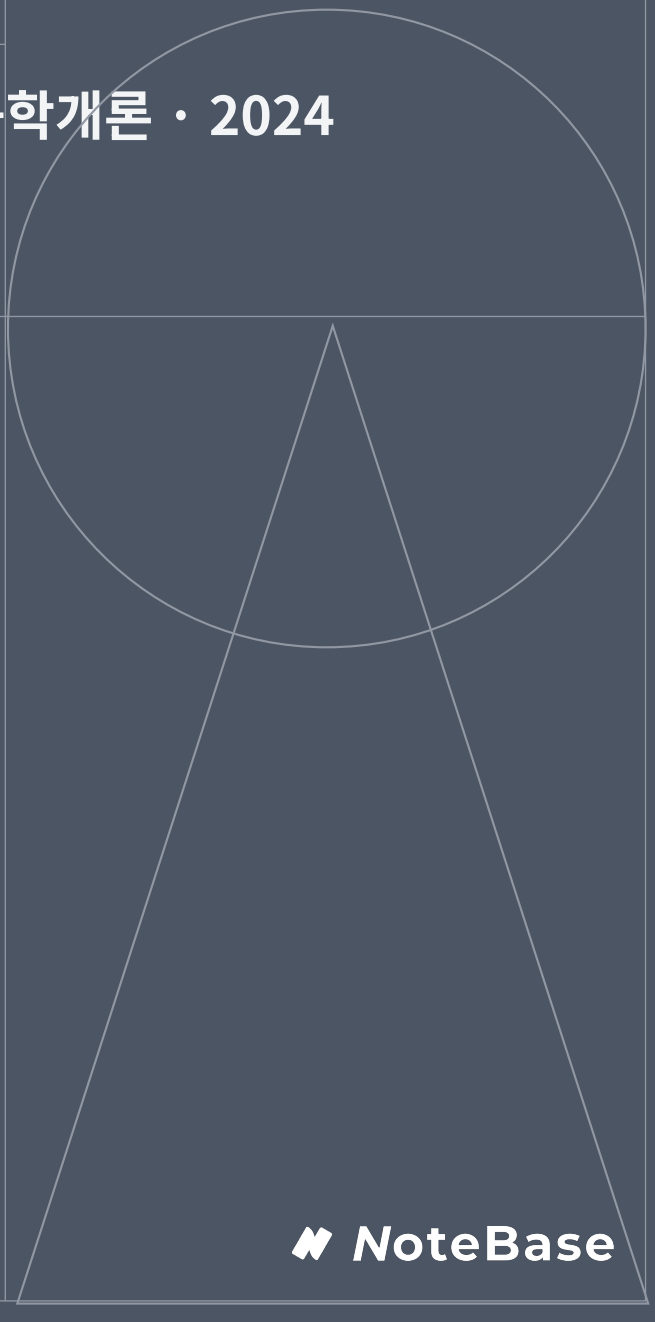
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2024



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2024

공무원/국가직/9급 · 전자공학개론 · 2024

문 1. n개의 선택 신호를 가진 멀티플렉서의 입력 개수와 m개의 선택 신호를 가진 디멀티플렉서의 출력 개수는?

① 입력 개수: n, 출력 개수: 2^m

② 입력 개수: 2^n, 출력 개수: m

③ 입력 개수: 2^n, 출력 개수: 2^m

④ 입력 개수: n, 출력 개수: m

정답 3번

간단한 해설

선택 신호는 각 비트가 0 또는 1이므로, n개이면 2^n가지 경로를 지정한다. 따라서 멀티플렉서의 **데이터 입력은 2^n개**, 선택 신호가 m개인 디멀티플렉서의 **데이터 출력은 2^m개**이다.

핵심 풀이

멀티플렉서: 여러 데이터 입력 중 하나를 골라 하나의 출력으로 전달한다. 선택 신호 n개가 만드는 서로 다른 이진 조합은 2^n가지이므로, 각 조합에 입력 하나씩을 대응시키면 데이터 입력은 2^n개이다. 예를 들어 선택 신호가 2개이면 00, 01, 10, 11로 데이터 입력 4개 중 하나를 고른다. 여기서 n은 **데이터 입력 수가 아니라 선택 신호 수**이다.

디멀티플렉서: 하나의 데이터 입력을 여러 출력 중 선택된 하나로 전달한다. 선택 신호 m개가 만드는 2^m가지 이진 조합이 각각 출력 경로를 지정하므로, 데이터 출력은 2^m개이다. 멀티플렉서는 **입력 경로를 선택**하고, 디멀티플렉서는 **출력 경로를 선택**한다는 차이가 있다.

따라서 문제에서 묻는 멀티플렉서의 입력 개수와 디멀티플렉서의 출력 개수는 각각 2^n개와 2^m개이다.

NoteBase

문 2. 멀티바이브레이터에 대한 설명으로 옳지 않은 것은?

① 플립플롭은 쌍안정 멀티바이브레이터이다.

② 단안정 멀티바이브레이터는 단일 펄스를 발생시킬 수 있다.

③ 멀티바이브레이터는 쌍안정, 단안정, 비안정으로 분류된다.

④ 비안정 멀티바이브레이터는 외부 트리거 펄스 신호에 의해 동작한다.

정답 4번

간단한 해설

비안정 멀티바이브레이터는 **외부 트리거 없이 스스로 발진**하여 연속적인 펄스를 발생시킨다. 외부 트리거를 받아 단일 펄스를 발생시키는 것은 단안정 멀티바이브레이터의 동작이다.

선지별 해설

① O: 플립플롭은 **두 개의 안정 상태**를 갖는 쌍안정 멀티바이브레이터이다. 입력 신호에 의해 상태가 바뀌기 전까지 현재 상태를 유지하므로, 두 상태를 각각 0과 1에 대응시켜 1비트를 저장할 수 있다.

② O: 단안정 멀티바이브레이터는 안정 상태가 하나이다. 외부 트리거가 들어오면 일시적으로 다른 상태로 바뀌었다가 **정해진 시간이 지나면 원래의 안정 상태로 복귀**한다. 이 일시적인 상태 변화로 폭이 정해진 단일 펄스를 발생시킬 수 있다.

③ O: 멀티바이브레이터는 **안정 상태의 수**에 따라 쌍안정, 단안정, 비안정으로 분류된다. 쌍안정은 안정 상태가 두 개, 단안정은 한 개이며, 비안정은 안정 상태가 없어 두 상태 사이의 전환을 반복한다.

④ X: 비안정 멀티바이브레이터는 어느 한 상태에도 계속 머물지 않고 **외부 트리거 없이 두 상태를 주기적으로 전환**하는 자려발진 회로이다. 따라서 '외부 트리거 펄스 신호에 의해 동작한다'는 설명은 '외부 트리거 없이 연속적인 펄스를 발생시킨다'로 고쳐야 한다. 외부 트리거를 받아 일시적으로 상태가 바뀐 뒤 스스로 복귀하는 것은 단안정 멀티바이브레이터이다.

NoteBase

문 3. 부하전압변동률이 10 [%]인 전원공급기의 전부하(full-load) 전압이 100 [V]일 때 이 전원공급기의 무부하(no-load) 전압[V]은?

① 90

② 100

③ 110

④ 120

정답 3번

간단한 해설

부하전압변동률 10%는 무부하와 전부하의 전압 차이가 **전부하 전압의 10%**라는 뜻이다. 전압 차이는 10 V이므로 무부하 전압은 110 V이다.

계산 과정

부하전압변동률은 입력 조건을 일정하게 유지할 때 무부하와 전부하의 출력 전압 차이를 **전부하 전압을 기준으로** 나타낸 비율이다. 무부하 전압을 V_{NL}, 전부하 전압을 V_{FL}, 부하전압변동률을 r라 하면 $r = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100\%$ 이다. 주어진 값은 전부하 전압 100 V, 부하전압변동률 10%이다.

전압 차이: $\Delta V = V_{NL} - V_{FL}$로 놓으면 $\Delta V = 100 \times \frac{10}{100} = 10\text{V}$이다. 이 10 V는 **무부하에서 전부하로 바뀔 때 감소하는 전압**이다.

무부하 전압: 전부하 전압에 전압 차이를 더하므로 무부하 전압은 100 + 10 = 110 V이다. 이는 ③의 110 V에 해당한다.

NoteBase

문 4. JFET에 대한 설명으로 옳은 것은?

① 드레인 전류 I_D는 게이트와 소스 사이의 전압 V_{GS}의 영향을 받지 않는다.

② JFET의 채널 양 끝은 드레인과 소스이다.

③ 핀치-오프 전압에서의 드레인 전류 I_D는 0이다.

④ n채널 JFET의 n형 영역은 게이트와 연결되어 있다.

정답 2번

간단한 해설

JFET의 채널은 전하가 이동하는 통로이며, 그 **양 끝에 소스와 드레인**이 연결된다. 게이트는 채널과 형성한 PN 접합의 공핍층을 통해 통로의 폭을 조절한다.

선지별 해설

① X: 드레인 전류 I_D는 **게이트-소스 전압의 영향을 받는다**. 게이트 전압이 변하면 PN 접합의 공핍층 폭과 전류가 흐를 수 있는 채널 폭이 달라진다. n채널 JFET에서는 게이트-소스 전압을 더 음으로 할수록 공핍층이 넓어져 드레인 전류가 감소한다.

② O: JFET의 채널 양 끝에는 **소스와 드레인**이 연결된다. 소스는 채널에 전하 운반자를 공급하고, 드레인은 채널을 지나온 전하 운반자를 받아들이는 단자이다. 게이트는 채널의 양 끝이 아니라 채널과 PN 접합을 이루는 영역에 연결된다.

③ X: 드레인-소스 전압을 높일 때의 핀치-오프는 **전류 차단이 아니라 포화의 시작**이다. 드레인 쪽 채널이 좁아져도 전하 운반자는 전기장에 의해 드레인으로 이동하므로 전류는 0이 되지 않는다. 게이트-소스 전압이 일정하면 이후 드레인 전류는 거의 일정하게 유지된다. 전류가 거의 0이 되는 것은 게이트-소스 전압이 차단전압 $V_{GS(off)}$에 도달할 때이다.

④ X: n채널 JFET에서 n형 영역은 채널이며, 그 양 끝은 소스와 드레인에 연결된다. 게이트에 연결되는 것은 채널과 PN 접합을 이루는 **p형 영역**이다. 따라서 선지의 'n형 영역'을 'p형 영역'으로 고쳐야 한다.

NoteBase

문 5. TCP/IP 프로토콜을 구성하는 계층이 아닌 것은?

① 응용(application) 계층

② 네트워크(network) 계층

③ 전송(transport) 계층

④ 세션(session) 계층

정답 4번

간단한 해설

세션 계층은 **OSI 7계층 모형에서 독립적으로 구분하는 계층**이다. TCP/IP 모형에서는 세션 관련 기능을 응용 계층에 포함하므로 별도의 세션 계층을 두지 않는다.

개념 구분

TCP/IP 모형은 일반적으로 **응용·전송·인터넷·네트워크 인터페이스의 4계층**으로 구분한다. 응용 계층은 응용 프로그램의 통신 서비스를, 전송 계층은 종단 간 데이터 전달을 담당한다. 인터넷 계층은 IP 주소를 바탕으로 패킷을 목적지까지 전달하며, 선지의 '네트워크 계층'은 이 계층을 가리킨다. 따라서 응용·네트워크·전송 계층은 TCP/IP 모형에 포함된다.

세션 계층은 OSI 7계층 모형에서 통신하는 응용 프로그램 사이의 대화를 설정·관리·종료하는 계층이다. TCP/IP 모형은 OSI 모형의 응용·표현·세션 계층에 해당하는 기능을 **응용 계층에 통합**한다. 따라서 세션 기능이 없다는 뜻이 아니라, 세션을 독립된 계층으로 구분하지 않는다는 뜻이다.

NoteBase

문 6. 세 개의 이진 변수 A, B, C를 가지는 논리 함수 F와 G가 $F(A, B, C) = \Sigma m(1, 3, 6)$, $G(A, B, C) = \Sigma m(1, 2, 4, 6)$일 때 $F + G$와 $F \cdot G$의 최소항(minterm) 전개는?

① $F + G$: $\Sigma m(1, 2, 3, 4, 5, 6)$, $F \cdot G$: $\Sigma m(1)$

② $F + G$: $\Sigma m(1, 2, 4, 8)$, $F \cdot G$: $\Sigma m(2, 4, 16)$

③ $F + G$: $\Sigma m(2, 4, 8, 16)$, $F \cdot G$: $\Sigma m(24, 36)$

④ $F + G$: $\Sigma m(1, 2, 3, 4, 6)$, $F \cdot G$: $\Sigma m(1, 6)$

정답 4번

간단한 해설

논리합은 두 함수의 최소항 번호의 **합집합**을, 논리곱은 **교집합**을 취한다. 따라서 $F + G = \Sigma m(1, 2, 3, 4, 6)$, $F \cdot G = \Sigma m(1, 6)$이다.

계산 과정

최소항은 특정한 입력 조합에서만 1이 되는 논리곱 항이다. 최소항 전개에서 나열된 번호는 해당 함수값이 1인 입력 조합을 나타낸다. 따라서 F는 번호 1, 3, 6에서, G는 번호 1, 2, 4, 6에서 1이다. 여기서 +는 논리합(OR), ·은 논리곱(AND)을 뜻한다.

논리합 $F + G$: **어느 한 함수라도 1이면** 결과가 1이다. 두 목록을 합치고 중복된 번호를 한 번씩만 쓰면 1, 2, 3, 4, 6이 남는다. 따라서 $F + G = \Sigma m(1, 2, 3, 4, 6)$이다. 번호 1과 6에서는 두 함수가 모두 1이지만, 논리합에서는 1 + 1 = 1이므로 중복해서 세지 않는다.

논리곱 $F \cdot G$: **두 함수가 모두 1인 입력에서만** 결과가 1이다. 두 목록에 공통으로 들어 있는 번호는 1과 6이므로 $F \cdot G = \Sigma m(1, 6)$이다. 최소항 번호끼리 곱하는 것이 아니라, 같은 입력에서 두 함수의 출력값을 논리곱한다.

이 두 최소항 전개를 함께 제시한 선택지는 ④이다.

NoteBase

문 7. 슈미트 트리거 회로의 응용 분야가 아닌 것은?

① D/A 변환

② 구형파 발생

③ 전압 비교

④ 잡음 제거

정답 1번

간단한 해설

슈미트 트리거는 입력 전압에 따라 출력을 두 상태로 바꾸는 회로이다. 디지털 수치에 대응하는 **아날로그 전압이나 전류를 만드는 D/A 변환**은 슈미트 트리거의 응용에 해당하지 않는다.

핵심 풀이

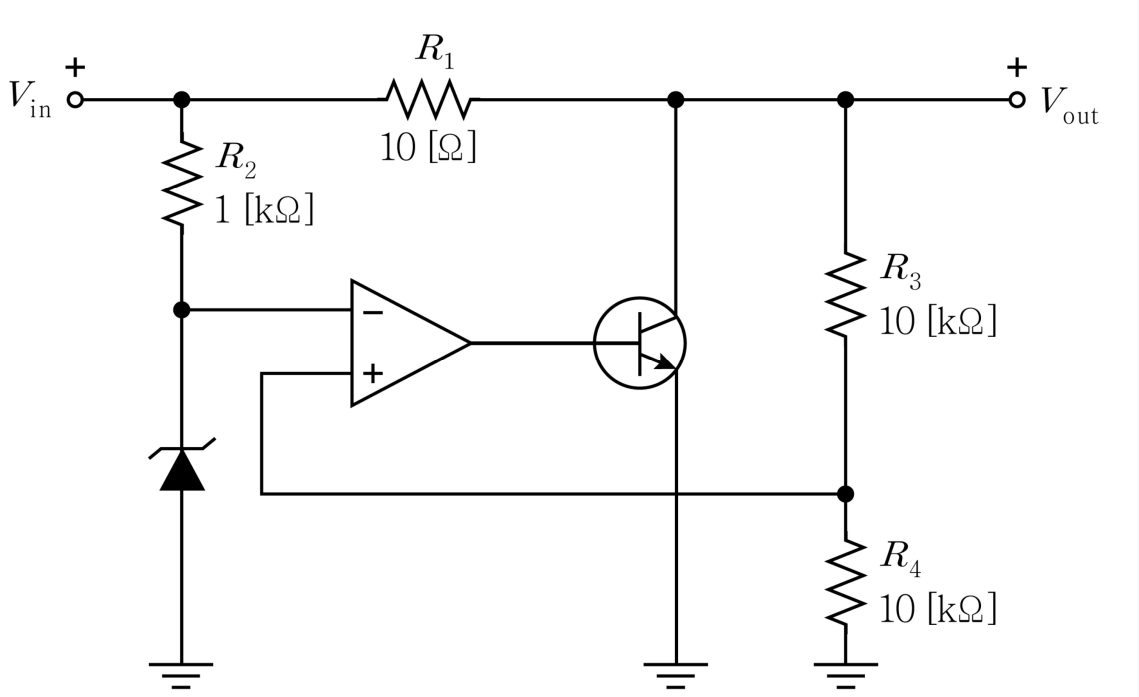
슈미트 트리거는 히스테리시스를 갖는 전압 비교 회로로, 입력이 **상승할 때와 하강할 때의 전환 임계전압이 서로 다르다**. 두 임계전압 사이에서는 이전 출력 상태를 유지하므로, 작은 잡음으로 입력이 흔들려도 출력이 불필요하게 반복 전환되는 것을 억제한다. 따라서 전압 비교와 잡음 제거에 이용된다. 여기서 잡음 제거는 입력의 모든 잡음을 없앤다는 뜻이 아니라, 잡음에 의한 잘못된 출력 전환을 줄인다는 뜻이다.

입력이 상·하한 임계전압을 번갈아 통과하면 출력도 두 상태 사이에서 반복 전환된다. 이 성질을 이용해 정현파 등의 주기적인 입력을 **구형파로 정형**할 수 있다.

D/A 변환은 디지털 코드가 나타내는 수치에 대응하는 크기의 아날로그 전압이나 전류를 만드는 기능이다. 슈미트 트리거는 입력의 크기를 임계전압과 비교해 출력 상태를 선택할 뿐, **디지털 수치에 비례하는 아날로그 출력을 만들지 않는다**. 따라서 D/A 변환은 이 회로의 응용 분야에서 제외된다.

NoteBase

문 8. 다음 선형 병렬 전압 조정기(shunt regulator)의 R_1에서 소모되는 최대 전력[W]은? (단, 입력의 범위는 $0 \leq V\square\square \leq 10$ [V]이며, 모든 회로 소자는 이상적이다)



① 5

② 10

③ 50

④ 100

정답 2번

간단한 해설

입력이 최대인 10 V이고 출력이 0 V까지 낮아지는 **최악 조건**에서는 입력 전압 전체가 10 Ω인 R_1에 걸린다.
따라서 최대 소모 전력은 $\frac{10^2}{10} = 10$W이다.

NoteBase

계산 과정

저항 양단 전압: 그림에서 $R_1 = 10\Omega$은 입력과 출력 사이에 직렬로 연결되어 있다. 따라서 저항에 걸리는 전압은 $V_{R_1} = V_{\text{in}} - V_{\text{out}}$이다. 저항의 소모 전력은 옴의 법칙에 따라 $P_{R_1} = \frac{(V_{\text{in}} - V_{\text{out}})^2}{R_1}$로 계산한다.

최대 전력 조건: 입력 전압이 클수록, 출력 전압이 낮을수록 R_1 양단의 전압차가 커진다. 최대 전력을 구하는 최악 조건은 **입력 10 V, 출력 0 V**이다. 출력 0 V는 출력이 접지로 단락된 것과 같은 한계 상태이며, 이상적 트랜지스터의 컬렉터–이미터 전압 강하를 0으로 보는 경우에 해당한다. 정상적으로 일정한 양의 출력 전압을 유지하는 조정 상태에서 항상 출력이 0 V라는 뜻은 아니다.

전력 계산: 이 한계 상태에서 R_1에는 10 V가 걸리므로 전류는 $I_{R_1} = \frac{10}{10} = 1\text{A}$이다. 이는 입력에서 R_1을 거쳐 접지 쪽으로 흐르는 최대 전류이다. 따라서 $P_{R_1,\,\text{max}} = \frac{(10-0)^2}{10} = 10\text{W}$이며, ②의 10 W에 해당한다.

NoteBase

문 9. 트랜지스터 증폭기 회로에 대한 설명으로 옳지 않은 것은?

① 공통 컬렉터 회로의 입력 신호와 출력 신호는 동일한 위상을 가진다.

② 공통 베이스 회로의 입력 신호와 출력 신호는 180 °의 위상차를 가진다.

③ 공통 이미터 회로의 입력 신호와 출력 신호는 180 °의 위상차를 가진다.

④ 증폭기로 동작하기 위해서는 베이스－이미터 접합은 순방향 바이어스, 베이스－컬렉터 접합은 역방향 바이어스가 걸려야 한다.

정답 2번

간단한 해설

②의 공통 베이스 회로는 입력·출력 전압이 **동위상**이다. 입력·출력 전압 사이에 180 °의 위상차가 생기는 기본 증폭 회로는 **공통 이미터 회로**이다.

선지별 해설

위상 관계는 정상 활성 영역에서 동작하는 기본 증폭 회로의 중간 주파수대 전압 신호를 기준으로 한다. 전압 변화의 원리는 NPN 트랜지스터를 예로 들어 설명한다.

① O: 공통 컬렉터 회로는 베이스에 입력 전압을 가하고 이미터에서 출력 전압을 얻는다. 베이스 전압이 상승하면 이미터 전압도 상승하므로 입력과 출력은 **동위상**이다. 출력 전압이 입력 전압의 변화를 따라가므로 이미터 팔로어라고도 한다.

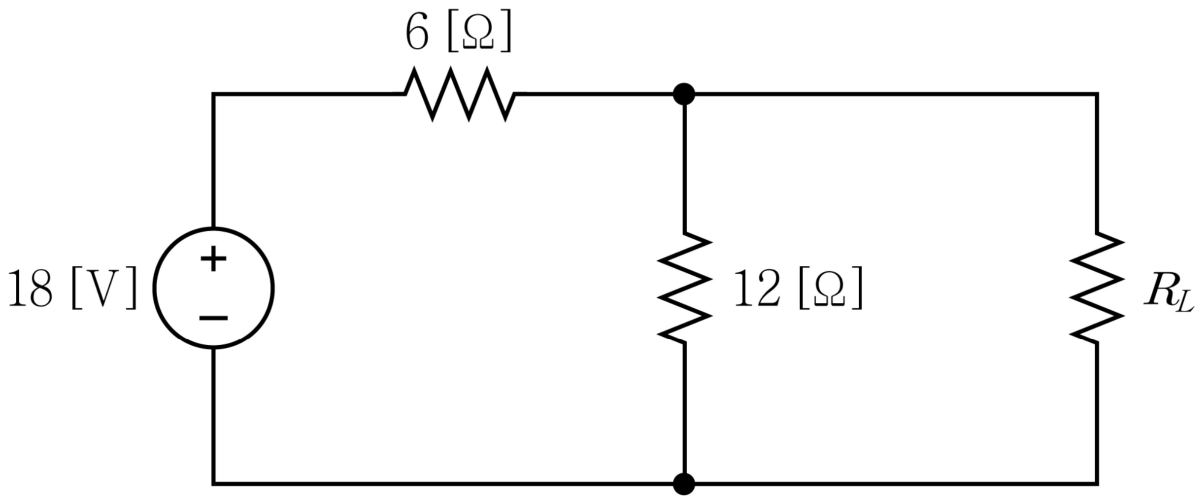
② X: 공통 베이스 회로는 베이스를 교류적으로 고정하고 이미터에 입력 전압을 가하며 컬렉터에서 출력 전압을 얻는다. NPN 회로에서 이미터 전압이 상승하면 베이스－이미터 간 전압이 감소하여 컬렉터 전류가 감소한다. 이에 따라 컬렉터 저항의 전압 강하가 줄고 컬렉터 전압이 상승하므로 입력과 출력은 **동위상**이다. 따라서 위상차는 180 °가 아니라 0 °이다.

③ O: 공통 이미터 회로는 베이스에 입력 전압을 가하고 컬렉터에서 출력 전압을 얻는다. NPN 회로에서 베이스 전압이 상승하면 컬렉터 전류가 증가하고, 컬렉터 저항의 전압 강하가 커져 컬렉터 전압은 하강한다. 이처럼 입력과 출력이 반대 방향으로 변하므로 **위상이 반전**되어 180 °의 위상차가 생긴다.

④ O: 트랜지스터를 일반적인 선형 증폭기로 사용하려면 **정상 활성 영역**에서 동작하도록 바이어스해야 한다. 이때 베이스－이미터 접합은 순방향 바이어스로 이미터에서 베이스로 전하 운반자를 주입하고, 베이스－컬렉터 접합은 역방향 바이어스로 베이스를 통과한 전하 운반자를 컬렉터로 끌어간다. 이 동작을 통해 작은 입력 변화로 컬렉터 전류를 제어한다.

NoteBase

문 10. 다음 회로에서 부하 저항 R_L에 최대 전력이 전달되기 위해 필요한 R_L [Ω]의 값과 전달되는 최대 전력 P_L [W]은?



① R_L: 4, P_L: 9

② R_L: 4, P_L: 18

③ R_L: 6, P_L: 9

④ R_L: 6, P_L: 18

정답 1번

간단한 해설

부하에 최대 전력이 전달되려면 **부하 저항과 테브난 저항이 같아야 한다**. 이 회로의 테브난 저항은 4Ω, 개방 전압은 12V이므로, 부하 저항이 4Ω일 때 부하 전압은 6V이고 최대 전력은 9W이다.

NoteBase

계산 과정

테브난 전압: 부하 저항 R_L을 떼어 낸 두 단자에서 나머지 회로를 바라본다. 이때 6Ω과 12Ω에는 같은 전류가 흐르므로 전압 분배를 적용한다. 두 단자의 개방 전압은 12Ω에 걸리는 전압이므로 $V_{\text{th}} = 18 \cdot \frac{12}{6+12} = 12\text{V}$ 이다.

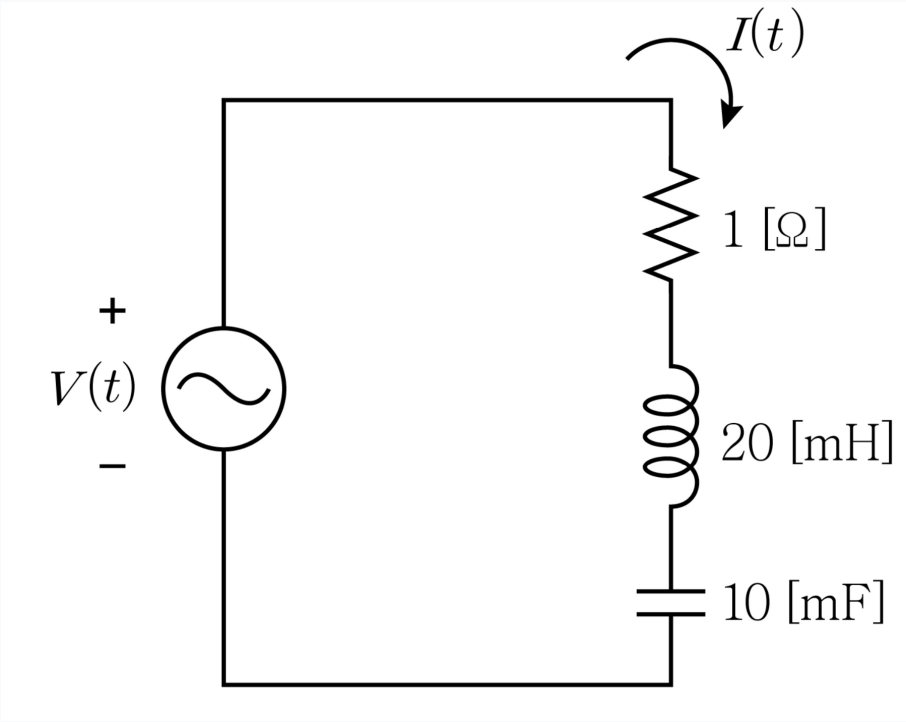
테브난 저항: 부하를 떼어 낸 상태에서 **독립 전압원을 단락**시킨다. 그러면 6Ω과 12Ω이 부하 단자 사이에 병렬로 연결되므로 $R_{\text{th}} = \frac{6 \cdot 12}{6+12} = 4\Omega$이다.

최대 전력 조건: 이 직류 저항 회로에서는 **부하 저항이 테브난 저항과 같을 때** 부하 전력이 최대가 된다. 따라서 $R_L = R_{\text{th}} = 4\Omega$로 둔다. 테브난 등가회로에서는 내부 저항 4Ω과 부하 저항 4Ω이 직렬이므로 전압이 똑같이 나뉜다. 이때 부하 전압은 $V_L = \frac{12}{2} = 6\text{V}$이다.

최대 전력 계산: 저항의 소비 전력은 저항 양단 전압의 제곱을 저항으로 나눈 값이다. 따라서 $P_L = \frac{V_L^2}{R_L} = \frac{6^2}{4} = 9\text{W}$ 이다. 부하 저항 4Ω과 최대 전력 9W의 조합은 ①에 해당한다.

NoteBase

문 11. 다음 회로에서 $I(t) = 5\cos(100t)$ [A]일 때, $V(t)$ [V]는?



① $5\sqrt{2}\cos(100t + 45^\circ)$

② $5\sqrt{2}\cos(100t - 45^\circ)$

③ $10\sqrt{2}\cos(100t + 45^\circ)$

④ $10\sqrt{2}\cos(100t - 45^\circ)$

정답 1번

간단한 해설

직렬 RLC 회로에서 유도 리액턴스는 2 Ω, 용량 리액턴스는 1 Ω이므로 합성 임피던스는 $1 + j$ Ω이다. 따라서 전압은 전류보다 **위상이 45° 앞서고**, 전압의 최댓값은 $5\sqrt{2}$ V이다.

NoteBase

계산 과정

회로 조건: 저항 R = 1 Ω, 인덕턴스 L = 20 mH = 0.02 H, 정전용량 C = 10 mF = 0.01 F가 직렬로 연결되어 있다. 전류 $I(t) = 5\cos(100t)$ A에서 각주파수는 ω = 100 rad/s이고, **전류의 최댓값**은 5 A이다. 전압은 그림의 위쪽을 +, 아래쪽을 −로 잡으며, 표시된 전류 방향에 따라 각 소자의 전압 강하를 더한다.

리액턴스 계산: 코일의 임피던스는 $j\omega L$, 커패시터의 임피던스는 $-j/(\omega C)$이다. 여기서 j는 허수단위이다. 유도 리액턴스는 $X_L = \omega L = 100 \cdot 0.02 = 2\,\Omega$이고, 용량 리액턴스는 $X_C = \frac{1}{\omega C} = \frac{1}{100 \cdot 0.01} = 1\,\Omega$이다. 따라서 **합성 리액턴스는 유도성**이며, 그 값은 2 − 1 = 1 Ω이다.

합성 임피던스: 직렬 회로에는 같은 전류가 흐르므로 각 소자의 임피던스를 더한다. $Z = R + j(X_L - X_C) = 1 + j$ Ω이다. 크기는 $|Z| = \sqrt{1^2 + 1^2} = \sqrt{2}\ \Omega$이고, 위상각은 $\phi = \tan^{-1}(1/1) = 45^\circ$이다. 임피던스의 위상각이 양수이므로 **전압이 전류보다 45° 앞선다**.

전압 계산: 최댓값을 기준으로 한 페이저에 $\tilde{V} = Z\tilde{I}$를 적용하면, 전압의 최댓값은 $V_m = 5\sqrt{2}$ V이다. 전류의 초기 위상이 0°이므로 전압은 $V(t) = 5\sqrt{2}\cos(100t + 45^\circ)$ V이며, ①의 식과 일치한다.

NoteBase

문 12. pn 접합의 바이어스에 대한 설명으로 옳지 않은 것은?

① 역방향 바이어스가 계속 증가하면 항복 전압에 도달한다.

② 순방향 바이어스가 인가되면 전류는 p에서 n 방향으로 흐를 수 있다.

③ 역방향 바이어스가 인가되면 pn 접합의 공핍영역은 줄어든다.

④ 순방향 바이어스는 p쪽 전극에 양(+)의 전압, n쪽 전극에 음(-)의 전압을 인가한 상태이다.

정답 3번

간단한 해설

역방향 바이어스는 전자와 정공을 접합부에서 멀어지게 하므로 공핍영역을 **넓힌다**. 공핍영역이 줄어드는 것은 순방향 바이어스를 인가했을 때이다.

선지별 해설

① O: 역방향 전압의 크기가 커지면 접합 내부의 전기장이 강해진다. 역방향 전압이 **항복 전압**에 도달하면 역방향 전류가 급격히 증가하는 항복 현상이 일어난다.

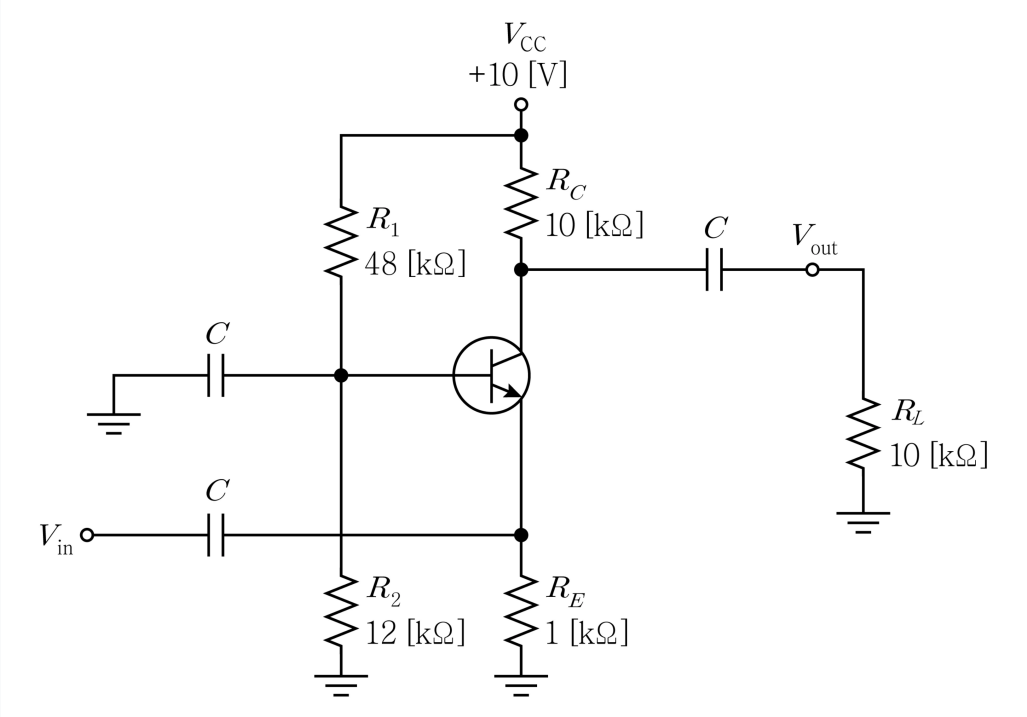
② O: 순방향 바이어스는 접합의 전위 장벽을 낮추어 정공은 p에서 n으로, 전자는 n에서 p로 이동하기 쉽게 한다. 전자가 만드는 전류의 방향은 전자의 이동 방향과 반대이므로, 관습적인 전류 방향은 두 경우 모두 **p에서 n 방향**이다.

③ X: 역방향 바이어스를 인가하면 p영역의 정공과 n영역의 전자가 각각 접합부에서 멀어져, 이동 가능한 전하 운반자가 거의 없는 공핍영역이 **넓어진다**. 따라서 '공핍영역은 줄어든다'는 '공핍영역은 넓어진다'로 고쳐야 한다. 공핍영역이 좁아지는 것은 순방향 바이어스의 특성이다.

④ O: 순방향 바이어스는 **p쪽을 (+), n쪽을 (-)**에 연결하여 p쪽 전위를 n쪽보다 높게 만든 상태이다. 이때 외부 전압이 접합의 전위 장벽을 낮추므로 다수 운반자가 접합을 넘어 이동하기 쉬워진다.

NoteBase

문 13. 다음 BJT 증폭기 회로의 전압이득 $\frac{V_{out}}{V_{in}}$은? (단, 직류 전류이득 $\beta_{DC} = 250$, 교류 이미터 저항 $r'_e = 20[\Omega]$, $C = \infty$, 다이오드의 순방향 전압은 0.7\,[V]이다)



① 100

② 150

③ 250

④ 300

정답 3번

간단한 해설

베이스가 교류적으로 접지되고 이미터로 신호가 들어가므로 **비반전 공통 베이스 증폭기**이다. 컬렉터의 교류 부하는 5 kΩ이므로 전압이득은 $\frac{5{,}000}{20} = 250$이며, 출력은 입력과 동상이다.

NoteBase

계산 과정

1. 교류 등가회로: $C = \infty$이므로 신호에 대해 커패시터를 단락으로 본다. 베이스는 왼쪽 커패시터를 통해 **교류 접지**되고, 입력은 이미터에, 출력은 컬렉터에 연결된다. 따라서 공통 베이스 증폭기이다. 직류 전원도 교류적으로 접지되며, 주어진 $r'_e = 20\Omega$를 소신호 이미터 저항으로 사용한다.

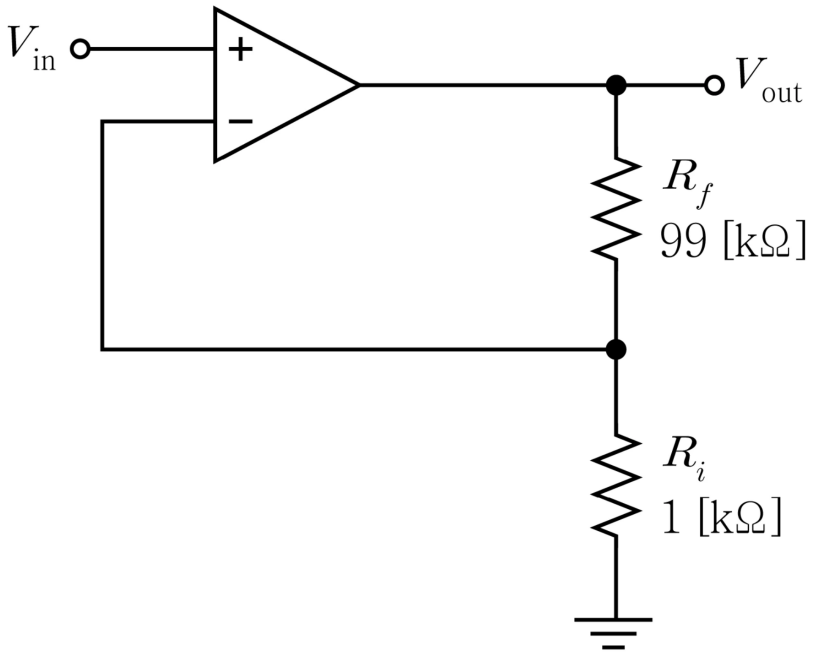
2. 컬렉터의 교류 부하: 출력 커패시터가 단락되면 R_L이 컬렉터에 연결된다. R_C와 R_L의 반대쪽 끝이 모두 교류 접지이므로 두 저항은 **병렬**이다. 등가 부하를 R_{ac}라 하면 $R_{\text{ac}} = \frac{10 \cdot 10}{10 + 10} = 5\text{k}\Omega$이다. 이는 컬렉터 전류 변화가 출력 전압으로 바뀔 때 작용하는 저항이다.

3. 전압이득의 관계: 베이스 전압이 고정되어 있으므로 이미터 입력 전압이 증가하면 베이스–이미터 전압은 감소한다. 그에 따라 컬렉터 전류와 R_C의 전압강하가 감소하여 컬렉터 전압은 상승한다. 따라서 **입력과 출력은 동상**이다. 전류이득이 큰 BJT의 통상적인 소신호 근사에서 컬렉터 전류 변화량과 이미터 전류 변화량의 크기를 거의 같게 두면, 입력 전압에 따른 전류 변화량의 크기는 $\frac{V_{\text{in}}}{r'_e}$이고 출력 전압은 여기에 교류 부하를 곱한 값이다. 따라서 $A_V = \frac{V_{\text{out}}}{V_{\text{in}}} \simeq \frac{R_{\text{ac}}}{r'_e}$이다.

4. 수치 대입: 5 kΩ을 5,000 Ω으로 환산하면 $A_V \simeq \frac{5{,}000}{20} = 250$이다. 전압을 전압으로 나눈 비이므로 단위가 없고, 부호는 양수이다. 이는 ③의 250에 해당한다.

NoteBase

문 14. 다음 연산증폭기 회로의 대역폭(bandwidth) [kHz]은? (단, 단위이득(unity-gain) 대역폭은 3 [MHz], 롤-오프(roll-off)는 −20 [dB/dec]이다)



① 0.3

② 3

③ 30

④ 300

정답 3번

간단한 해설

비반전 증폭기의 폐루프 이득은 100이다. −20 dB/dec의 롤오프에서는 **이득과 대역폭의 곱이 일정**하므로, 단위이득 대역폭 3 MHz를 100으로 나누면 회로의 대역폭은 30 kHz이다.

NoteBase

계산 과정

1. 폐루프 이득: 입력이 연산증폭기의 +단자에 연결되고, 출력이 저항 분압기를 거쳐 −단자로 되먹임되므로 비반전 증폭기이다. 저주파에서 충분한 개방루프 이득과 음의 되먹임을 가정하면 두 입력단자 전압이 거의 같다. 따라서 출력의 분압 전압이 입력과 같아지며, 폐루프 전압이득은 $A_V = 1 + \frac{R_f}{R_i}$이다. 그림의 저항값을 대입하면 $A_V = 1 + \frac{99}{1} = 100$으로, 출력 전압은 입력 전압의 100배이다.

2. 대역폭 관계: −20 dB/dec는 주파수가 10배 증가할 때 전압이득의 크기가 10분의 1로 감소한다는 뜻이다. 이 단일 지배극 근사에서는 **폐루프 이득과 대역폭의 곱**이 단위이득 대역폭과 거의 같다. 단위이득 대역폭을 f_T, 회로의 대역폭을 BW라 두면 $A_V \cdot BW \simeq f_T$이다. 주어진 f_T는 3 MHz, 즉 3000 kHz이다.

3. 대역폭 계산: $BW \simeq \frac{f_T}{A_V} = \frac{3000}{100} = 30$kHz이다. 이는 저주파 이득을 기준으로 약 3 dB 감소하는 상한 주파수에 해당하며, 선택지 ③의 30 kHz와 일치한다.

NoteBase

문 15. 귀환(feedback)이 없는 연산증폭기의 비반전 입력 단자는 접지되어 있고 반전 입력 단자의 전압은 5 [mV]일 때, 연산증폭기의 출력 전압[V]은? (단, 연산증폭기의 개방 루프 이득은 3×10^4, 최대 출력 전압은 10 [V], 최소 출력 전압은 −10 [V]이다)

① −5

② −10

③ −15

④ −50

정답 2번

간단한 해설

비반전 입력보다 반전 입력의 전압이 높으므로 출력은 음의 방향으로 증폭된다. 출력 제한을 무시한 계산값은 −150 V이지만, 실제 출력은 **최소 출력 전압 −10 V에서 포화**된다.

계산 과정

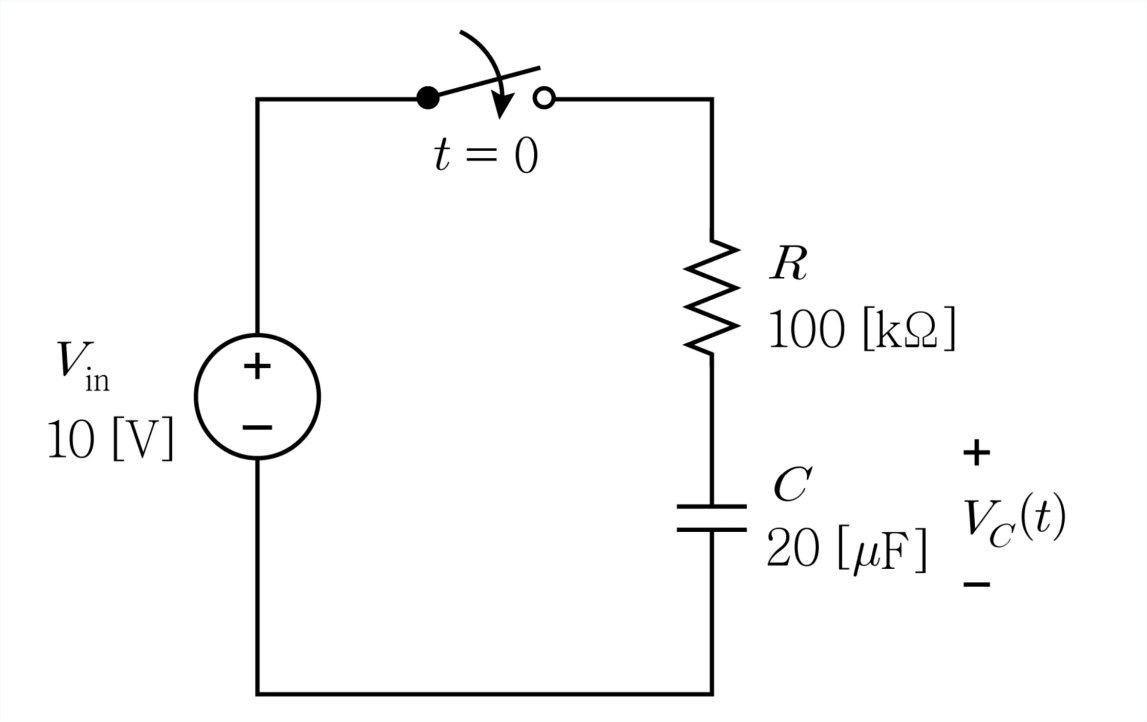
입력 전압차: 비반전 입력 전압을 v_+, 반전 입력 전압을 v_-라 하면, 접지된 비반전 입력은 0 V이고 반전 입력은 5 mV = 0.005 V이다. 연산증폭기가 증폭하는 값은 **비반전 입력 전압에서 반전 입력 전압을 뺀 차**이므로 $v_d = v_+ - v_- = -0.005\text{V}$이다.

개방 루프 증폭: 귀환이 없으므로 주어진 개방 루프 이득 $A = 3\cdot10^4 = 30000$을 입력 전압차에 곱한다. 출력 제한을 적용하기 전의 계산값을 v_{lin}이라 하면 $v_{\text{lin}} = Av_d$이고, $v_{\text{lin}} = 30000\cdot(-0.005) = -150\text{V}$이다. 이는 출력이 제한 없이 증폭될 수 있다고 가정한 값이다.

출력 포화: 실제 출력 범위는 −10 V부터 10 V까지이다. 계산값 −150 V는 최소 출력 전압 −10 V보다 낮으므로 **음의 포화 상태**가 되어 출력이 −10 V로 제한된다. 따라서 출력 전압은 −10 V이며, ②의 값과 일치한다.

NoteBase

문 16. 다음 회로에서 $V_C(t) = 6.32$ [V]가 될 때, 시간 t [s]는? (단, $V_C(0) = 0$ [V], $e^{-1} = 0.368$이다)



① 0.2

② 2

③ 20

④ 200

정답 2번

간단한 해설

RC 충전 회로에서 커패시터 전압이 **최종 전압의 63.2%**에 도달하는 시간은 시정수와 같다. 이 회로의 시정수는 $\tau = RC = 2$s이므로 걸리는 시간은 2 s이다.

NoteBase

계산 과정

충전 조건과 전압식: 스위치가 닫히는 t = 0부터 10 V의 직류 전원이 저항 100 kΩ을 거쳐 커패시터 20 μF를 충전한다. 초기 전압이 0 V이고, 충전이 끝나면 전류가 0이 되어 저항의 전압 강하가 사라지므로 커패시터의 최종 전압은 10 V이다. 따라서 충전 중 전압은 $V_C(t) = 10(1 - e^{-t/\tau})$V이며, 여기서 $\tau = RC$는 **충전 속도를 결정하는 시정수**이다.

시정수 계산: 시간을 초 단위로 구하려면 저항은 Ω, 정전용량은 F로 바꾼다. $R = 10^5\Omega$, $C = 2 \cdot 10^{-5}$F이므로 $\tau = RC = 2$s이다.

목표 전압에 도달하는 시간: 전압식에 6.32 V를 대입하면 $6.32 = 10(1 - e^{-t/\tau})$이다. 이를 정리하면 $e^{-t/\tau} = 1 - \frac{6.32}{10} = 0.368$이다. 주어진 $e^{-1} = 0.368$과 비교하면 $t/\tau = 1$, 즉 **시정수 한 번에 해당하는 시간**이 지났다는 뜻이다.

따라서 $t = \tau = 2$s이며, ②의 2에 해당한다.

NoteBase

문 17. SCR 사이리스터에 대한 설명으로 옳지 않은 것은?

① 직류 출력 전압의 크기를 조절하는 정류기에 사용된다.

② 전류는 애노드(anode)에서 캐소드(cathode)로 흐른다.

③ 턴온(turn-on)된 후에는 게이트 신호가 없어도 턴온 상태를 유지할 수 있다.

④ 게이트 신호를 이용하여 턴온(turn-on)과 턴오프(turn-off)를 할 수 있다.

정답 4번

간단한 해설

일반적인 SCR은 게이트 신호로 턴온할 수 있지만, **게이트 신호로 턴오프할 수는 없다**. 턴오프하려면 애노드 전류를 **유지 전류 미만**으로 낮추어야 한다.

선지별 해설

① O: SCR은 게이트 신호를 주는 시점에 따라 도통을 시작하는 시점을 조절할 수 있다. 제어 정류기에서 이 **점호 시점**을 바꾸면 부하에 전압이 전달되는 구간이 달라지므로 직류 출력 전압의 평균값을 조절할 수 있다.

② O: SCR이 순방향으로 도통할 때 주전류는 **애노드에서 캐소드 방향**으로 흐른다. 이는 관습적인 전류 방향이며, SCR은 한 방향으로 주전류를 흘리는 소자이다.

③ O: 턴온 과정에서 애노드 전류가 래칭 전류에 도달하면, 게이트 신호를 제거해도 내부의 재생 작용으로 도통을 지속할 수 있다. 이후에는 애노드 전류가 **유지 전류 이상**으로 흐르는 동안 턴온 상태가 유지된다. 래칭 전류는 게이트 신호를 제거해도 도통이 확립되기 위한 기준이고, 유지 전류는 이미 도통 중인 상태를 유지하기 위한 기준이다.

④ X: 일반적인 SCR의 게이트는 턴온을 제어하며, **게이트 신호를 제거하거나 바꾸는 것만으로는 턴오프할 수 없다**. 턴오프하려면 애노드 전류를 유지 전류 미만으로 낮추고 소자가 차단 상태를 회복할 시간을 확보해야 한다. 교류 회로에서는 전류가 영점에 이르는 자연 전류 차단을 이용할 수 있다.

NoteBase

문 18. 전력에 대한 설명으로 옳지 않은 것은?

① 복소전력의 크기는 피상전력과 동일하다.

② 피상전력은 전압 피크치와 전류 피크치의 곱으로 정의된다.

③ 회로에 인가되는 전압과 전류가 직류이면 공급되는 평균전력은 전압과 전류의 곱이 된다.

④ 정현파 회로의 전압각이 θ, 전류각이 ϕ일 때, 역률은 $\cos(\theta - \phi)$이다.

정답 2번

간단한 해설

피상전력은 전압과 전류의 **실효값을 곱한 값**이다. 정현파에서는 각 실효값이 피크치의 $1/\sqrt{2}$배이므로, 피상전력은 피크치 곱의 1/2이다.

선지별 해설

① O: 복소전력은 $S = P + jQ$로 나타내며, P는 유효전력, Q는 무효전력이다. 두 성분이 복소평면에서 서로 직교하므로 그 크기는 $|S| = \sqrt{P^2 + Q^2}$이다. 이 **복소전력의 크기가 피상전력**이며 단위는 VA이다.

② X: 피상전력은 **전압 실효값과 전류 실효값의 곱**인 $|S| = V_{\text{rms}} I_{\text{rms}}$으로 정의된다. 정현파의 전압과 전류 피크치를 각각 V_m, I_m이라 하면 $V_{\text{rms}} = V_m/\sqrt{2}$, $I_{\text{rms}} = I_m/\sqrt{2}$이다. 따라서 $|S| = \frac{V_m I_m}{2}$이며, 피크치의 곱을 그대로 사용하면 피상전력을 실제의 두 배로 잡게 된다.

③ O: 직류의 전압 V와 전류 I는 시간에 따라 일정하므로 순간전력도 $p(t) = VI$로 일정하다. 따라서 **순간전력과 평균전력이 같아** 평균전력은 $P = VI$가 되며 단위는 W이다.

④ O: 정현파 전압과 전류의 위상차는 $\theta - \phi$이다. 평균전력인 유효전력은 $P = V_{\text{rms}} I_{\text{rms}} \cos(\theta - \phi)$이고, 피상전력은 $|S| = V_{\text{rms}} I_{\text{rms}}$이다. 역률은 **유효전력을 피상전력으로 나눈 비**이므로 $\frac{P}{|S|} = \cos(\theta - \phi)$이다.

NoteBase

문 19. 조합 논리 회로에 대한 설명으로 옳지 않은 것은?

① 인코더는 코드화된 정보를 원래의 형태로 복원하여 출력하는 회로이다.

② 전가산기 n개를 연결하면 n비트 가산기를 만들 수 있다.

③ 반가산기는 1비트 두 개를 입력받아 합(sum)과 캐리(carry)를 계산하는 회로이다.

④ 패리티(parity) 발생기는 데이터에 1비트를 추가하여 1의 개수를 짝수 또는 홀수로 맞추는 회로이다.

정답 1번

간단한 해설

①의 '코드화된 정보를 원래의 형태로 복원'하는 기능은 **디코더**의 기능이다. 인코더는 입력 정보를 대응하는 **이진 코드로 변환**한다.

선지별 해설

① X: 인코더는 입력 정보를 대응하는 이진 코드로 변환하여 출력한다. 예를 들어 8개의 입력선 중 하나가 활성화되면, 어느 입력선인지를 3비트 코드로 나타낼 수 있다. 반대로 코드화된 입력을 해독하여 대응하는 출력선을 활성화하는 회로는 **디코더**이다. 선지의 설명은 인코더가 아니라 디코더의 기능이다.

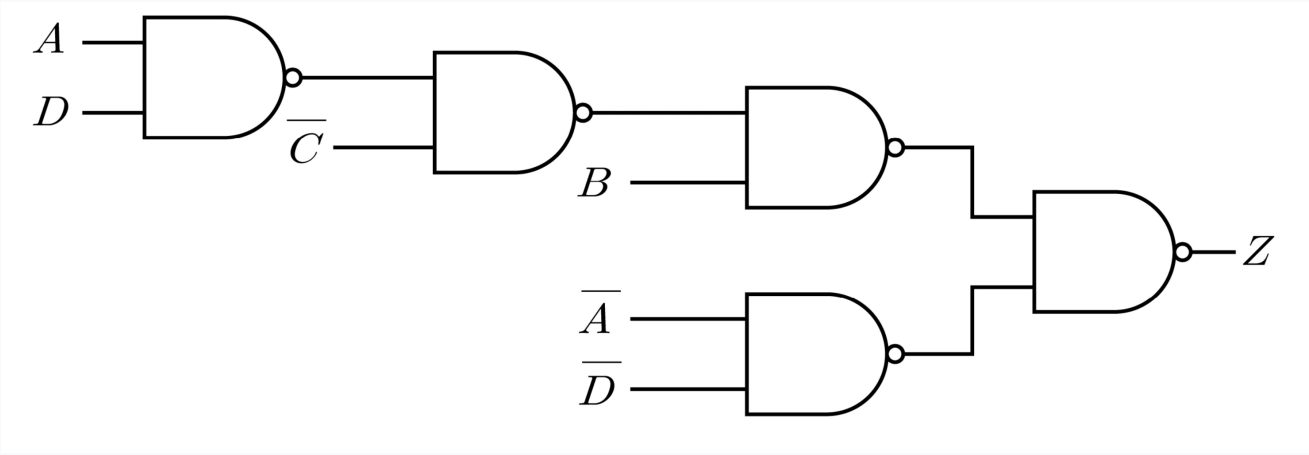
② O: 전가산기는 같은 자리의 두 입력 비트와 **아래 자리에서 올라온 캐리**를 더하여 해당 자리의 합과 다음 자리로 보낼 캐리를 출력한다. 각 자리의 캐리 출력을 다음 자리의 캐리 입력에 연결하면, 전가산기 n개로 n비트 가산기를 구성할 수 있다. 별도의 입력 캐리가 없는 덧셈에서는 최하위 자리의 캐리 입력을 0으로 둔다.

③ O: 반가산기는 두 개의 1비트 입력을 더하여 합 비트와 캐리 비트를 출력한다. 예를 들어 두 입력이 모두 1이면 이진 덧셈 결과는 10이므로 합은 0, 캐리는 1이다. 전가산기와 달리 **아래 자리의 캐리를 받는 입력은 없다**.

④ O: 패리티 발생기는 데이터에 패리티 비트 1개를 추가하여 **패리티 비트를 포함한 전체 1의 개수**가 짝수 또는 홀수가 되도록 한다. 예를 들어 데이터 1011에는 1이 3개 있으므로, 짝수 패리티에서는 1을 추가하여 1의 개수를 4개로 만들고 홀수 패리티에서는 0을 추가하여 3개로 유지한다.

NoteBase

문 20. 다음 논리 회로에서 출력 Z의 논리식은?



① $B \cdot C + A \cdot B \cdot D + \overline{A} \cdot \overline{D}$

② $B \cdot \overline{C} + A \cdot B \cdot D + \overline{A} \cdot \overline{D}$

③ $B \cdot \overline{C} + A \cdot B \cdot D + A \cdot D$

④ $\overline{B} \cdot C + A \cdot \overline{B} \cdot D + \overline{A} \cdot \overline{D}$

정답 1번

간단한 해설

출력에 작은 원이 붙은 AND 모양의 게이트는 **논리곱을 반전하는 NAND 게이트**이다. 각 단계에 드모르간 법칙을 적용하면 최종 출력은 $Z = B \cdot C + A \cdot B \cdot D + \overline{A} \cdot \overline{D}$가 된다.

NoteBase

계산 과정

그림의 게이트는 모두 NAND 게이트이며, 두 입력을 AND 연산한 뒤 반전한다. 식에서 ·는 AND, +는 OR, 윗줄은 NOT을 뜻한다. 왼쪽부터 신호를 따라가며 각 게이트의 출력을 구한다.

첫 번째 게이트: 입력이 A와 D이므로 출력은 $X_1 = \overline{A \cdot D}$이다. A와 D가 모두 1일 때만 이 출력이 0이 된다.

두 번째 게이트: 첫 번째 출력과 $\overline{C}$가 입력된다. 따라서 $X_2 = \overline{X_1 \cdot \overline{C}}$이다. 드모르간 법칙으로 곱의 반전을 각 입력의 반전의 합으로 바꾸면 $X_2 = \overline{X_1} + C = A \cdot D + C$가 된다. **반전된 C를 다시 반전하므로 C가 남는다**.

위쪽 세 번째 게이트: X_2와 B가 입력되므로 $X_3 = \overline{B \cdot X_2}$이다. 앞에서 구한 값을 넣으면 $X_3 = \overline{B \cdot (A \cdot D + C)}$이다.

아래쪽 게이트: 입력이 $\overline{A}$와 $\overline{D}$이므로 출력은 $X_4 = \overline{\overline{A} \cdot \overline{D}}$이다. 이 값이 마지막 NAND 게이트의 아래쪽 입력이 된다.

마지막 게이트: 두 입력이 X_3, X_4이므로 $Z = \overline{X_3 \cdot X_4} = \overline{X_3} + \overline{X_4}$이다. 즉, **각 가지의 출력을 다시 반전하여 OR로 결합**하므로 $Z = B \cdot X_2 + \overline{A} \cdot \overline{D}$가 된다. 여기에 $X_2 = A \cdot D + C$를 대입하고 분배법칙을 적용한다.

$Z = B \cdot (A \cdot D + C) + \overline{A} \cdot \overline{D}$

$Z = B \cdot C + A \cdot B \cdot D + \overline{A} \cdot \overline{D}$

이 식은 ①의 논리식과 일치한다.

NoteBase