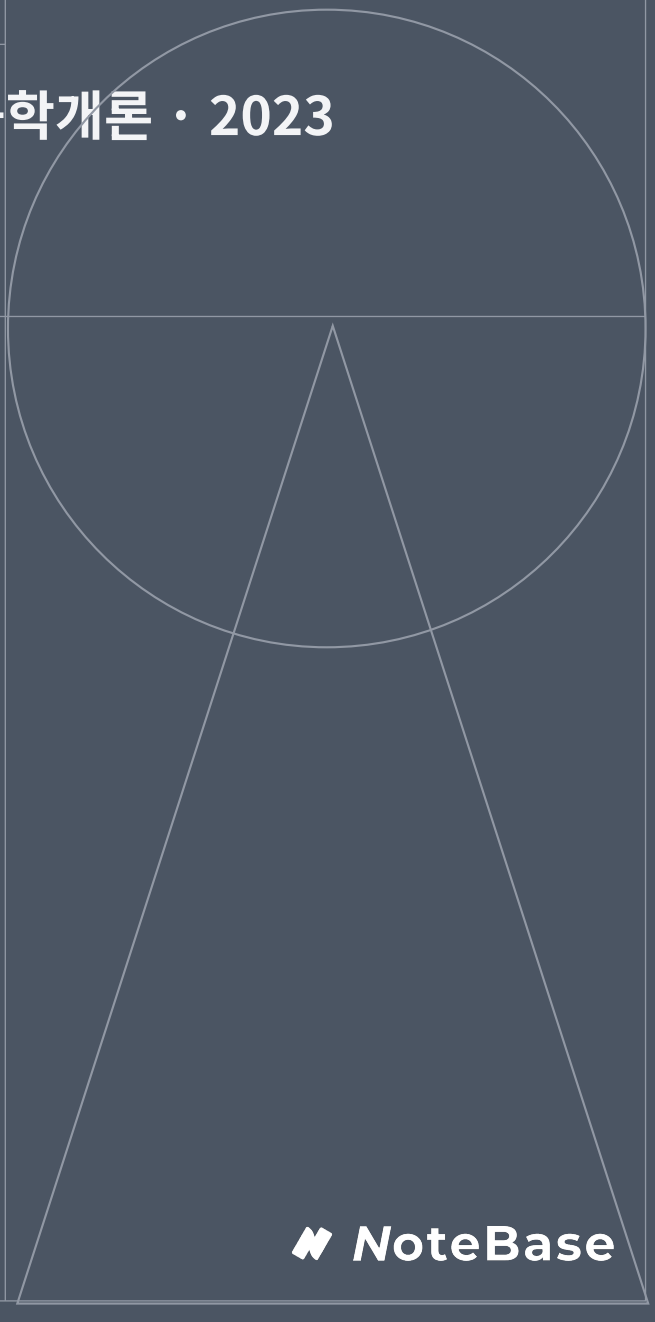
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2023



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2023

공무원/국가직/9급 · 전자공학개론 · 2023

문 1. JK 플립플롭을 사용하여 0에서 7까지 표현하는 리플 계수기(ripple counter)를 설계할 때, 필요한 JK 플립플롭의 최소 개수는?

① 2

② 3

③ 4

④ 5

정답 2번

간단한 해설

0부터 7까지는 **8개의 상태**이다. 플립플롭 한 개가 1비트를 저장하므로, $2^3 = 8$개의 상태를 표현하려면 최소 3개가 필요하다.

계산 과정

필요한 상태 수: 0을 포함하여 7까지 세므로, 표현해야 할 상태는 $7 - 0 + 1 = 8$개이다.

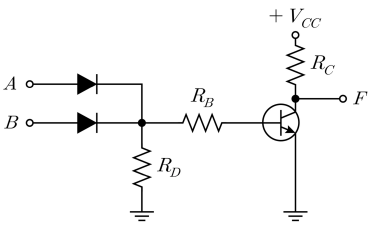
플립플롭 수와 상태 수의 관계: JK 플립플롭 한 개는 0 또는 1의 **1비트**를 저장한다. J = K = 1로 두면 유효 클록 에지마다 출력이 반전되므로 이진 리플 계수기의 각 단으로 사용할 수 있다. 플립플롭이 n개이면 서로 다른 출력 조합은 2^n개이므로, 필요한 조건은 $2^n \geq 8$이다.

최소 개수: 2개로는 $2^2 = 4$개의 상태만 표현하므로 부족하다. 3개이면 $2^3 = 8$개의 상태를 표현하며, 이는 이진수 000부터 111까지, 즉 십진수 0부터 7까지에 해당한다. 따라서 필요한 최소 개수는 3개로, ②의 값과 일치한다.

NoteBase

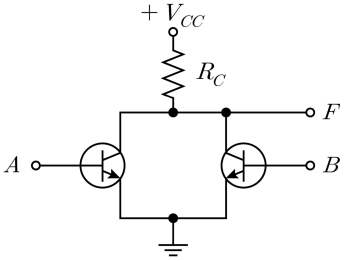
문 2. 정논리(positive logic)를 적용할 때, 논리게이트에 대한 트랜지스터 회로의 표현으로 옳지 않은 것은? (단, A, B는 입력이고 F는 출력이다)

①



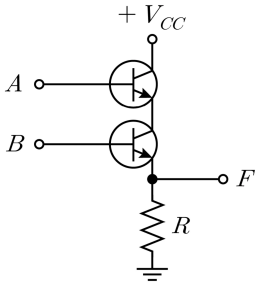
<NOR게이트>

②



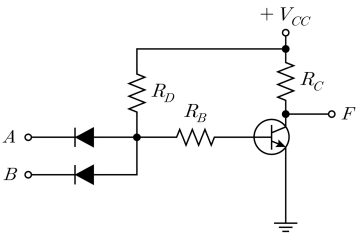
<OR게이트>

③



<AND게이트>

④



<NAND게이트>

정답 2번

간단한 해설

②의 회로는 입력 중 **하나라도 1이면 출력이 0**이 되고, 두 입력이 모두 0일 때만 출력이 1이 된다. 따라서 표시된 OR가 아니라 **NOR 게이트**에 해당한다.

NoteBase

선지별 해설

정논리에서는 높은 전압을 1, 낮은 전압을 0으로 해석한다. 그림의 NPN 트랜지스터를 스위치로 보면, 베이스 구동이 충분할 때 도통하고 구동이 없으면 차단된다. 출력이 전원 쪽으로 연결되면 1, 접지 쪽으로 연결되면 0이 되는지를 살핀다.

① O: 입력 다이오드의 캐소드가 공통으로 연결되어 있다. A와 B 중 하나라도 1이면 해당 다이오드를 통해 베이스가 구동되어 트랜지스터가 도통하고, 컬렉터 출력 F가 0이 된다. 두 입력이 모두 0이면 공통점이 접지 쪽 저항에 의해 낮아져 트랜지스터가 차단되고, 출력은 컬렉터 저항을 통해 1이 된다. 즉 **두 입력이 모두 0일 때만 출력이 1**이므로 NOR 게이트이며, 논리식은 $F = \overline{A + B}$이다.

② X: 두 트랜지스터가 출력 F와 접지 사이에 **병렬로 연결**되어 있다. A와 B 중 하나라도 1이면 그 입력의 트랜지스터가 도통하여 출력을 0으로 낮춘다. 두 입력이 모두 0일 때만 두 트랜지스터가 모두 차단되어 출력이 컬렉터 저항을 통해 1이 된다. 따라서 논리식은 $F = \overline{A + B}$이며, 그림의 OR 표기는 **NOR로 고쳐야 한다**. OR라면 입력 중 하나라도 1일 때 출력이 1이어야 한다.

③ O: 두 트랜지스터가 전원과 출력 사이에 **직렬로 연결**되어 있다. A와 B가 모두 1이면 두 트랜지스터가 도통하여 전원에서 출력으로 이어지는 경로가 형성되고 F가 1이 된다. 어느 한 입력이라도 0이면 해당 트랜지스터가 차단되어 이 경로가 끊기고, 출력은 저항 R에 의해 0이 된다. 따라서 두 입력이 모두 1일 때만 출력이 1인 AND 게이트이며, 논리식은 $F = A \cdot B$이다.

④ O: 입력 다이오드의 애노드가 공통으로 연결되고, 그 공통점이 저항을 통해 전원에 연결되어 있다. **어느 한 입력이라도 0**이면 해당 다이오드가 도통하여 공통점의 전압을 낮추므로 트랜지스터가 차단되고 F는 1이 된다. 두 입력이 모두 1이면 입력 다이오드가 차단되고 전원 쪽 저항을 통해 베이스가 구동되어 트랜지스터가 도통하므로 F가 0이 된다. 따라서 두 입력이 모두 1일 때만 출력이 0인 NAND 게이트이며, 논리식은 $F = \overline{A \cdot B}$이다.

NoteBase

문 3. 다음 진리표에서 출력 F의 논리식은?

입력			출력
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

① $AB + B\overline{C} + A\overline{C}$

② $AB + \overline{B}C + A\overline{C}$

③ $AB + B\overline{C} + \overline{A}C$

④ $\overline{A}B + B\overline{C} + A\overline{C}$

정답 1번

간단한 해설

출력이 1인 행 중 **한 입력만 다른 두 행**을 묶으면 그 입력은 논리식에서 소거된다. 이렇게 얻은 세 항을 OR로 연결하면 $F = AB + B\overline{C} + A\overline{C}$이다.

NoteBase

계산 과정

진리표에서 입력을 (A, B, C) 순서로 읽으면 출력이 1인 경우는 (0,1,0), (1,0,0), (1,1,0), (1,1,1)이다.
논리식에서 곱은 AND, +는 OR, 윗줄은 NOT을 뜻한다. 예를 들어 $B\overline{C}$는 B가 1이고 C가 0일 때 1이 되는 항이다.

(1,1,0)과 (1,1,1)을 묶으면 A와 B는 모두 1이고 C만 달라진다. **C가 0이든 1이든 출력이 1**이므로 C를 소거하여 AB를 얻는다. 식으로는 $AB(\overline{C} + C) = AB$이다.

(0,1,0)과 (1,1,0)을 묶으면 B는 1, C는 0으로 같고 A만 달라진다. A를 소거하면 $B\overline{C}$를 얻는다. 식으로는 $(\overline{A} + A)B\overline{C} = B\overline{C}$이다.

(1,0,0)과 (1,1,0)을 묶으면 A는 1, C는 0으로 같고 B만 달라진다. B를 소거하면 $A\overline{C}$를 얻는다. 식으로는 $A(\overline{B} + B)\overline{C} = A\overline{C}$이다. (1,1,0)은 여러 묶음에 함께 사용해도 된다. OR에서는 같은 조건이 중복되어도 결과가 바뀌지 않기 때문이다.

세 항은 출력이 1인 네 행을 모두 포함하며, 출력이 0인 행은 포함하지 않는다. 따라서 세 항을 OR로 연결한 $F = AB + B\overline{C} + A\overline{C}$가 진리표의 논리식이며, ①과 일치한다.

NoteBase

문 4. 반도체에 대한 설명으로 옳지 않은 것은?

① P형 반도체에서 다수 캐리어는 정공이다.

② 진성반도체에서 전도대의 전자농도와 가전자대의 정공농도는 같다.

③ 실리콘 단결정 반도체에서 P형 불순물로 As(비소)도 사용된다.

④ N형 반도체에서 불순물 농도가 증가함에 따라 페르미 준위가 전도대로 가까이 이동한다.

정답 3번

간단한 해설

As(비소)는 최외각 전자가 5개인 **N형 불순물**로, 실리콘에 첨가하면 자유전자를 공급한다. P형 반도체를 만들 때는 B(붕소)처럼 최외각 전자가 3개인 불순물을 사용한다.

선지별 해설

① O: P형 반도체는 정공의 농도가 전자의 농도보다 큰 반도체이므로 **다수 캐리어는 정공**이고 소수 캐리어는 전자이다. 정공은 가전자대에서 전자가 빠진 빈자리로, 양의 전하를 가진 입자처럼 전하 운반에 기여한다.

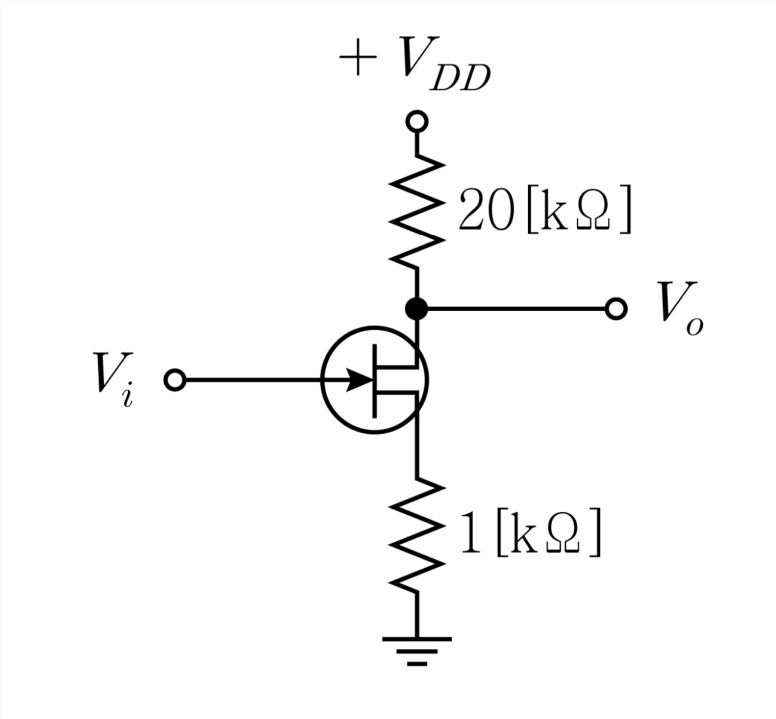
② O: 진성반도체는 도핑하지 않은 순수한 반도체이다. 열에너지로 가전자대의 전자가 전도대로 이동하면 가전자대에는 정공 하나가 남는다. 이처럼 **전자와 정공이 쌍으로 생성**되므로 열평형 상태에서 전도대의 전자농도와 가전자대의 정공농도는 같다.

③ X: 실리콘은 최외각 전자가 4개이고 As(비소)는 5개이다. 비소 원자가 실리콘 원자를 대신하면 전자 4개는 주변 원자와 공유결합을 이루고, 나머지 전자 하나는 작은 에너지로 결합에서 벗어나 전도전자가 될 수 있다. 따라서 비소는 전자를 공급하는 도너로서 **P형이 아니라 N형 불순물**이다. P형 불순물에는 최외각 전자가 3개인 B(붕소) 등이 사용되며, 이들은 전자를 받아들여 정공을 만드는 억셉터이다.

④ O: N형 반도체에서는 도너 불순물이 전도전자를 공급한다. 같은 온도의 열평형 상태에서 도너 농도가 증가하여 전자농도가 높아지면, 전자가 에너지 준위를 점유하는 분포를 정하는 **페르미 준위가 전도대 쪽으로 올라간다**. 따라서 일반적인 N형 도핑에서는 불순물 농도가 높을수록 페르미 준위가 전도대에 가까워진다.

NoteBase

문 5. 다음 저주파 소신호 FET 증폭기의 전압이득에 가장 가까운 값은? (단, 순방향 전달 컨덕턴스 g_m은 1 [mA/V]이고, 드레인-소스 저항 r_d는 10 [kΩ]이다)



① −1

② −5

③ −10

④ −20

정답 2번

간단한 해설

소스의 1 kΩ 저항에 의한 음의 되먹임과 10 kΩ의 드레인-소스 저항을 함께 고려하면 전압이득은 **약 −4.88**이다. 음수는 입력과 출력의 위상이 반대임을 뜻한다.

NoteBase

계산 과정

회로에서 드레인 저항은 $R_D = 20\text{k}\Omega$, 소스 저항은 $R_S = 1\text{k}\Omega$이다. 주어진 값은 $g_m = 1\text{mA/V}$, $r_d = 10\text{k}\Omega$이다. 저주파 소신호 해석에서는 직류 전원을 교류 접지로 두며, 소스 저항을 우회하는 커패시터가 없으므로 **소스 전압의 변화도 반영**해야 한다.

드레인에서 소스로 흐르는 소신호 전류를 i, 소스 전압을 V_s라 하자. 게이트 전류를 무시하면 드레인 저항과 소스 저항에도 같은 전류 i가 흐르므로 $V_o = -iR_D$, $V_s = iR_S$이다. 입력이 증가하여 전류가 커지면 소스 전압도 올라가 게이트-소스 전압의 증가를 줄인다. 이것이 소스 저항에 의한 음의 되먹임이다.

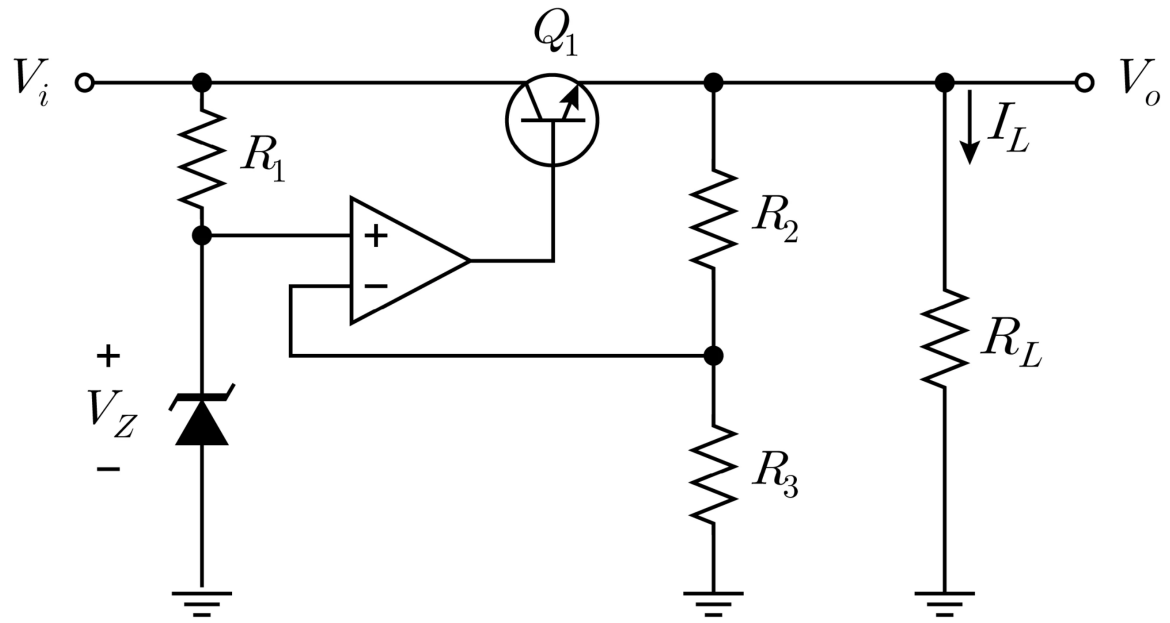
FET의 소신호 전류는 전달 컨덕턴스에 의한 전류와 내부 저항을 통한 전류의 합이다. 따라서 $i = g_m(V_i - V_s) + \frac{V_o - V_s}{r_d}$이다. 여기에 앞의 전압 관계를 대입하여 정리하면 전압이득은 $A_v = \frac{V_o}{V_i}$, $A_v = -\frac{g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$가 된다. **내부 저항은 드레인과 소스 사이**에 있으므로 그 양단 전압은 출력 전압만이 아니라 두 단자의 전압 차이다.

컨덕턴스는 mA/V, 저항은 kΩ 단위로 대입하면 곱의 단위가 상쇄된다. 수치를 넣으면 $A_v = -\frac{1 \cdot 20}{1 + 1 \cdot 1 + \frac{20+1}{10}}$이며, 분모는 $1 + 1 + 2.1 = 4.1$이다. 따라서 $A_v = -\frac{20}{4.1} \approx -4.88$이다.

전압이득은 전압끼리의 비이므로 무차원이며, 음의 부호는 입력과 출력의 위상이 반대임을 나타낸다. 계산값 −4.88에 가장 가까운 선택지는 ②의 −5이다.

NoteBase

문 6. 다음 직렬 전압조정기(series voltage regulator)의 부하 전류 I_L이 200 [mA]일 때, Q_1에서 소모되는 전력[W]은? (단, $V_i = 15$ [V], $V_Z = 4$ [V], $R_1 = R_2 = 15$ [kΩ], $R_3 = 10$ [kΩ], $R_2 + R_3 \gg R_L$, Q_1의 전압강하는 무시하며 모든 회로 소자는 이상적이다)



① 0.4

② 0.8

③ 1.0

④ 1.4

정답 3번

간단한 해설

음귀환에 의해 저항 분압점의 전압이 제너 기준전압 4 V와 같아져 출력전압은 10 V가 된다. 직렬 조정 소자가 흡수하는 **입출력 전압차 5 V**에 부하 전류 0.2 A를 곱하면 소모 전력은 1.0 W이다.

NoteBase

계산 과정

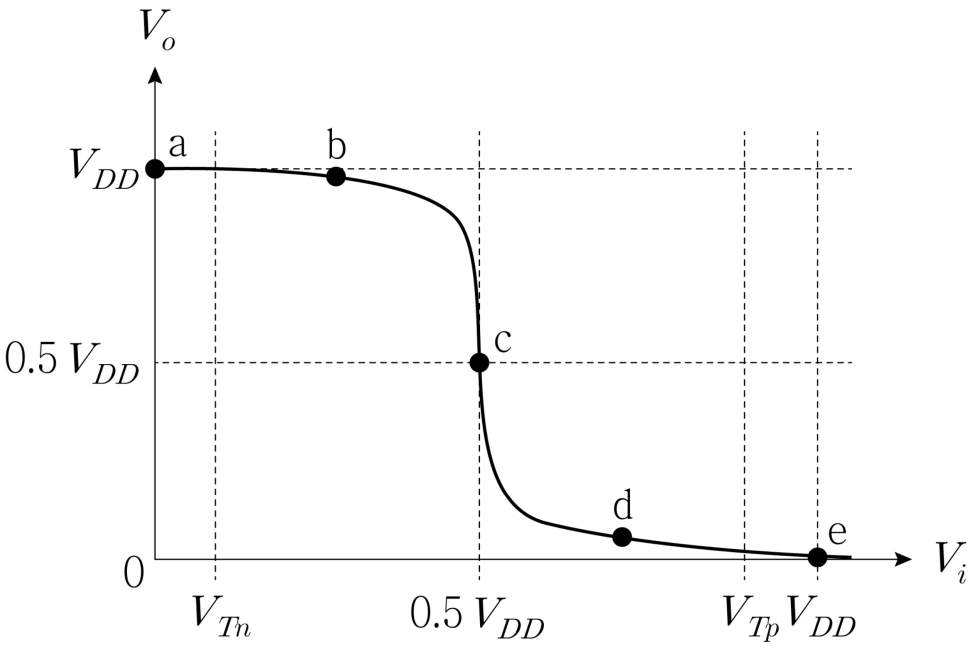
출력전압: 연산증폭기의 비반전 입력에는 제너 기준전압 $V_Z = 4\text{V}$가, 반전 입력에는 R_2와 R_3의 분압점이 연결되어 있다. 이상적인 연산증폭기가 **음귀환 상태에서 동작**하므로 두 입력의 전압은 같다. 입력 전류가 0이므로 분압 관계는 $V_Z = V_o\frac{R_3}{R_2+R_3}$이다. 따라서 $V_o = V_Z\frac{R_2+R_3}{R_3}$이고, $V_o = 4 \cdot \frac{15+10}{10} = 10\text{V}$이다.

통과 전류: Q_1은 부하와 분압 저항에 전류를 공급한다. 주어진 $R_2 + R_3 \gg R_L$ 조건에서는 같은 출력전압에 걸린 분압 저항의 전류가 부하 전류보다 매우 작다. 따라서 **분압 저항으로 흐르는 전류를 무시**하면 Q_1의 통과 전류를 부하 전류와 같게 둘 수 있다. 부하 전류 200 mA를 A로 환산하면 0.2 A이다.

소모 전력: 이 풀이에서는 Q_1을 **입출력 전압차를 흡수하는 직렬 조정 소자**로 해석한다. 컬렉터는 입력에, 이미터는 출력에 연결되어 있으므로 전력 계산에 사용하는 양단 전압은 $V_{CE} = V_i - V_o$이며, $15 - 10 = 5$ V이다. 소자의 소모 전력은 양단 전압과 통과 전류의 곱이므로 $P_{Q_1} \simeq (V_i - V_o)I_L$이다. 이를 계산하면 $5 \times 0.2 = 1.0$ W로, ③의 값과 일치한다.

NoteBase

문 7. 상보형 CMOS 인버터의 직류 전달 특성 곡선이 다음과 같을 때, c점에서 PMOS 트랜지스터와 NMOS 트랜지스터의 동작 모드를 바르게 연결한 것은? (단, V_{Tn}과 V_{Tp}는 각각 NMOS 트랜지스터와 PMOS 트랜지스터의 문턱전압이다)



① PMOS: 선형영역, NMOS: 선형영역

② PMOS: 포화영역, NMOS: 포화영역

③ PMOS: 포화영역, NMOS: 선형영역

④ PMOS: 선형영역, NMOS: 포화영역

정답 2번

간단한 해설

c점에서는 입력전압과 출력전압이 모두 $0.5V_{DD}$이므로, 각 트랜지스터의 드레인·소스 간 전압 크기와 게이트·소스 간 전압 크기가 같다. 두 소자 모두 켜져 있고 **포화영역 조건**을 만족한다.

NoteBase

구성 요소별 해설

그래프의 가로축은 입력전압 V_i, 세로축은 출력전압 V_o이다. c점은 $V_i = V_o = 0.5V_{DD}$인 전이 구간에 있으며, NMOS와 PMOS가 모두 켜져 있다. CMOS 인버터에서 NMOS의 소스는 접지에, PMOS의 소스는 전원 V_{DD}에 연결되고, 두 게이트에는 입력이, 두 드레인에는 출력이 연결된다.

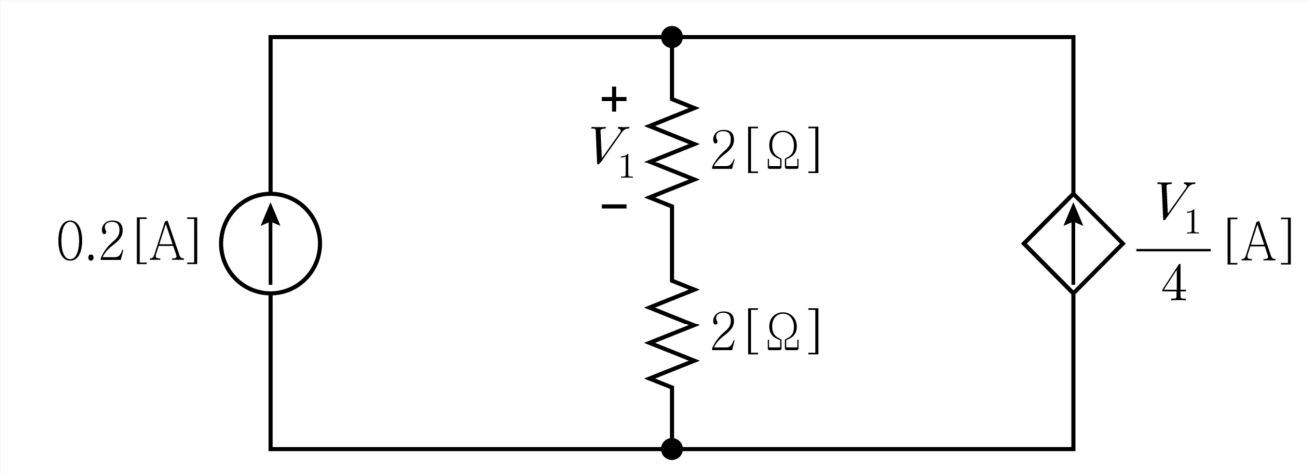
PMOS: 포화영역. 소스에서 게이트 및 드레인 쪽으로 잰 전압은 각각 $V_{SG} = V_{DD} - V_i$, $V_{SD} = V_{DD} - V_o$이다. c점에서는 $V_{SG} = V_{SD} = 0.5V_{DD}$이다. 켜진 PMOS의 포화 조건은 $V_{SD} \geq V_{SG} - |V_{Tp}|$이다. 드레인·소스 간 전압이 게이트·소스 간 전압과 같으므로, **문턱전압의 크기를 뺀 값보다 크다**. 따라서 포화영역에서 동작한다.

NMOS: 포화영역. 소스가 접지되어 있으므로 $V_{GS} = V_i$, $V_{DS} = V_o$이다. c점에서는 $V_{GS} = V_{DS} = 0.5V_{DD}$이다. 켜진 NMOS의 포화 조건은 $V_{DS} \geq V_{GS} - V_{Tn}$이다. 여기서도 **드레인·소스 간 전압이 포화에 필요한 최소 전압보다 크므로** 포화영역에서 동작한다. 선형영역이라면 $V_{DS} < V_{GS} - V_{Tn}$이어야 하며, PMOS도 대응하는 전압 크기에 같은 구분을 적용한다.

PMOS와 NMOS가 모두 포화영역인 조합이므로 ②에 해당한다.

NoteBase

문 8. 다음 회로에서 독립 전류원 0.2 [A]에 의해 공급되는 전력[W]은?



① 0.16

② 0.32

③ 0.48

④ 0.52

정답 2번

간단한 해설

전류원 양단 전압은 **두 저항 전체에 걸리는 전압**인 1.6 V이다. 전류가 위쪽의 높은 전위 단자로 나가므로 독립 전류원이 공급하는 전력은 1.6 × 0.2 = 0.32 W이다.

NoteBase

계산 과정

저항 가지의 아래 방향 전류를 I로 둔다. 두 2 Ω 저항은 직렬이므로 같은 전류가 흐른다. 그림의 V_1은 **위쪽 2 Ω 저항에만 걸리는 전압**이므로, 옴의 법칙에 따라 $V_1 = (2\Omega)I$이다. 따라서 위쪽으로 흐르는 종속 전류원의 전류는 $I_d = \frac{V_1}{4\Omega} = \frac{I}{2}$이다.

위쪽 접점에서 두 전류원의 전류는 들어오고 저항 전류는 나간다. 키르히호프 전류 법칙을 적용하면 $I = 0.2\text{A} + \frac{I}{2}$이다. 이를 정리하면 $\frac{I}{2} = 0.2\text{A}$이므로 $I = 0.4\text{A}$이다. 즉, 저항 가지에는 독립 전류원과 종속 전류원이 각각 보내는 0.2 A가 합쳐져 흐른다.

독립 전류원은 두 직렬 저항 전체와 병렬로 연결되어 있다. 따라서 전류원의 위쪽 단자 전압을 아래쪽 단자 기준으로 V라 하면, $V = (2 + 2)\Omega \cdot 0.4\text{A} = 1.6\text{V}$이다. 위쪽 저항 하나의 전압 $V_1 = 0.8\text{V}$과 전류원 양단 전압을 구별해야 한다.

독립 전류원의 화살표는 아래에서 위로 향하므로, 전류는 **전위가 높은 위쪽 단자로 나간다**. 따라서 독립 전류원은 전력을 공급하며, 공급 전력은 $P = V \cdot 0.2\text{A}$로 계산한다. $1.6 \times 0.2 = 0.32$ W이므로 ②의 값과 일치한다.

NoteBase

문 9. 반도체 소자에 대한 설명으로 옳지 않은 것은?

① JFET에서는 자유전자와 정공이 함께 도전현상에 기여한다.

② 포토 다이오드를 이용하여 빛을 검출하려면 역방향 바이어스에서 동작시켜야 한다.

③ JFET는 게이트와 소스 사이의 역방향 바이어스 전압의 크기에 의해 드레인 전류의 크기를 제어한다.

④ BJT는 활성 모드 동작을 위해 이미터-베이스 접합은 순방향 바이어스되고, 컬렉터-베이스 접합은 역방향 바이어스가 된다.

정답 1번

간단한 해설

JFET는 **한 종류의 다수 캐리어**가 도전을 담당하는 단극성 소자이다. n채널에서는 자유전자, p채널에서는 정공이 주된 전류 운반자이므로 두 캐리어가 함께 도전을 담당한다는 설명은 맞지 않는다.

선지별 해설

① X: JFET는 **다수 캐리어에 의해 도전하는 단극성 소자**이다. n채널 JFET에서는 자유전자가, p채널 JFET에서는 정공이 채널 전류를 운반한다. 따라서 '자유전자와 정공이 함께'가 아니라 '채널 종류에 따라 자유전자 또는 정공이' 도전을 담당한다고 고쳐야 한다. 전자와 정공이 모두 동작에 관여하는 양극성 소자는 BJT이다.

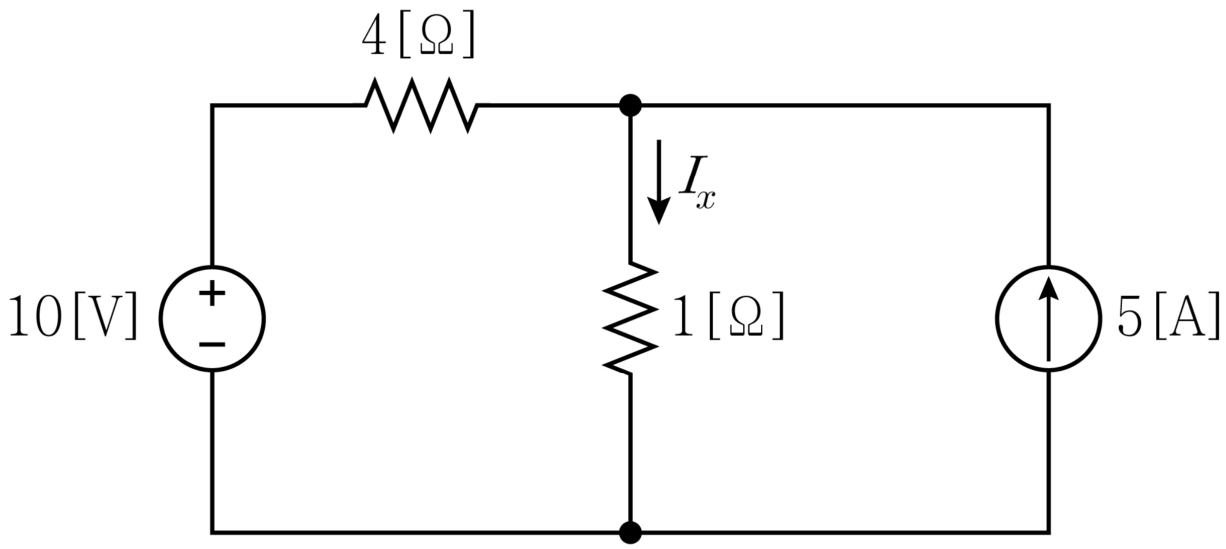
② O: **광도전 모드에서는 역방향 바이어스**를 가하여 포토 다이오드를 동작시킨다. 빛으로 생성된 전자·정공 쌍을 공핍층의 전기장이 분리하여 광전류가 흐르게 하며, 이 전류의 변화를 검출한다. 역바이어스는 공핍층을 넓히고 접합 용량을 줄여 응답 속도를 높인다. 다만 포토 다이오드는 외부 바이어스를 가하지 않는 광기전력 모드로도 빛을 검출할 수 있으므로, 선지의 설명은 역바이어스를 사용하는 광도전 모드를 기준으로 이해한다.

③ O: JFET는 게이트와 채널 사이의 PN 접합을 역바이어스하여 공핍층의 폭을 바꾸는 전압 제어 소자이다. **게이트-소스 역바이어스의 크기가 커지면** 공핍층이 넓어져 전류가 흐를 수 있는 채널의 단면적이 줄어든다. 이에 따라 같은 드레인-소스 전압에서 드레인 전류가 감소하고, 충분한 역바이어스에서는 차단된다.

④ O: BJT의 통상적인 순방향 활성 모드에서는 **이미터-베이스 접합은 순바이어스, 컬렉터-베이스 접합은 역바이어스**로 동작한다. 순바이어스된 이미터-베이스 접합을 통해 캐리어가 베이스로 주입되고, 얇은 베이스를 지난 캐리어의 대부분이 컬렉터-베이스 접합의 전기장에 의해 컬렉터로 이동한다. 이 작용으로 베이스의 작은 신호가 컬렉터 전류를 제어하여 증폭이 이루어진다.

NoteBase

문 10. 다음 회로에서 전류 I_x [A]는?



① 6

② 8

③ 10

④ 12

정답 1번

간단한 해설

위쪽 접점으로 들어오는 **5 A의 전류**와 4 Ω 저항을 통해 들어오는 전류의 합이 1 Ω 저항을 통해 아래로 흐른다. 키르히호프 전류 법칙으로 위쪽 접점의 전압을 구하면 6 V이므로, I_x는 **아래 방향으로 6 A**이다.

NoteBase

계산 과정

아래쪽 공통 접점을 기준 전위 0 V로 잡고, 위쪽 공통 접점의 전압을 v라 하자. 왼쪽 전압원은 위쪽이 +이므로 4 Ω 저항의 왼쪽 끝 전위는 10 V이다. 오른쪽 전류원은 화살표가 위쪽이므로 위쪽 접점에 5 A를 공급한다.

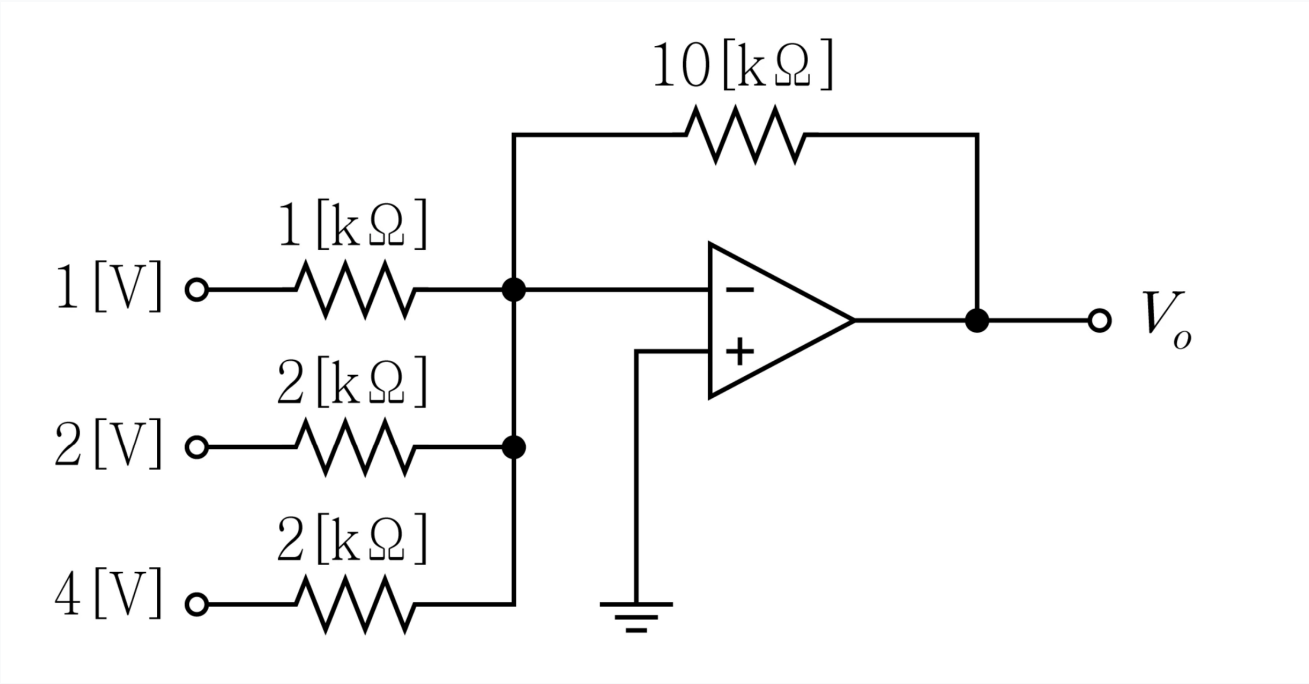
옴의 법칙에 따라 4 Ω 저항에서 왼쪽에서 오른쪽으로 흐르는 전류는 $\frac{10-v}{4}$, 1 Ω 저항에서 아래로 흐르는 전류는 $I_x = \frac{v}{1}$이다. 전압은 V, 저항은 Ω 단위의 수치를 사용하므로 각 전류의 단위는 A이다. 위쪽 접점에서 **들어오는 전류의 합과 나가는 전류의 합이 같다**는 키르히호프 전류 법칙을 적용하면 $\frac{10-v}{4} + 5 = \frac{v}{1}$이다.

양변에 4를 곱하면 $10 - v + 20 = 4v$이므로 $5v = 30$에서 $v = 6$을 얻는다. 즉, 1 Ω 저항의 위쪽 전위가 아래쪽보다 6 V 높다. 이때 4 Ω 저항을 통해 유입되는 전류는 $\frac{10-6}{4} = 1$ A이므로 전류원의 5 A와 합쳐져 아래로 흐른다.

따라서 $I_x = \frac{6}{1} = 6$ A이다. 양수이므로 그림에 표시된 아래 방향으로 흐르며, 선택지 ①의 6 A에 해당한다.

NoteBase

문 11. 다음 반전 증폭기 응용 회로에서 출력전압 V_o [V]는? (단, 연산 증폭기는 이상적이다)



① −7

② −8

③ −10

④ −40

정답 4번

간단한 해설

반전 입력점이 **가상접지**이므로 세 입력에서 들어오는 전류의 합은 4 mA이다. 이 전류가 10 kΩ의 피드백 저항으로 흐르므로 출력전압은 **−40 V**가 된다.

NoteBase

계산 과정

비반전 입력(+)이 접지되어 있고 출력에서 반전 입력(−)으로 음의 피드백이 걸려 있다. 이상적인 연산 증폭기의 두 입력 전압은 같으므로 반전 입력점의 전압도 0 V이다. 이 점은 접지에 직접 연결되지는 않았지만 전압이 0 V인 **가상접지**이다.

각 입력 저항의 오른쪽 끝이 0 V이므로 옴의 법칙으로 입력 전류를 구한다. 1 V 입력에서는 $I_1 = \frac{1\text{V}}{1\text{k}\Omega} = 1\text{mA}$, 2 V 입력에서는 $I_2 = \frac{2\text{V}}{2\text{k}\Omega} = 1\text{mA}$, 4 V 입력에서는 $I_3 = \frac{4\text{V}}{2\text{k}\Omega} = 2\text{mA}$가 반전 입력점으로 들어온다.

이상적인 연산 증폭기는 **입력 전류가 0**이므로 들어온 전류는 모두 10 kΩ의 피드백 저항을 통해 출력 쪽으로 흐른다. 따라서 피드백 전류는 $I_f = I_1 + I_2 + I_3 = 4\text{mA}$이다. 피드백 저항 양단의 전압 관계는 $0 - V_o = I_f R_f$ 이므로 $V_o = -I_f R_f$이다.

출력전압은 −4 mA × 10 kΩ = −40 V로, ④의 −40에 해당한다. 음의 부호는 양의 입력 전압들을 합산한 결과가 반전되어 출력된다는 뜻이다.

NoteBase

문 12. 최대 주파수 12 [kHz]의 신호를 16비트로 양자화 및 부호화하여 PCM(pulse code modulation)으로 전송하려고 한다. 신호의 손실 없이 최소화하여 표본화할 경우 초당 전송 비트수[kbps]는?

① 96

② 192

③ 384

④ 768

정답 3번

간단한 해설

표본화 정리에 따라 최소 표본화 주파수는 **최대 주파수의 2배**인 24 kHz이다. 각 표본을 16비트로 부호화하므로 초당 전송 비트수는 24,000 × 16 = 384,000 bps, 즉 384 kbps이다.

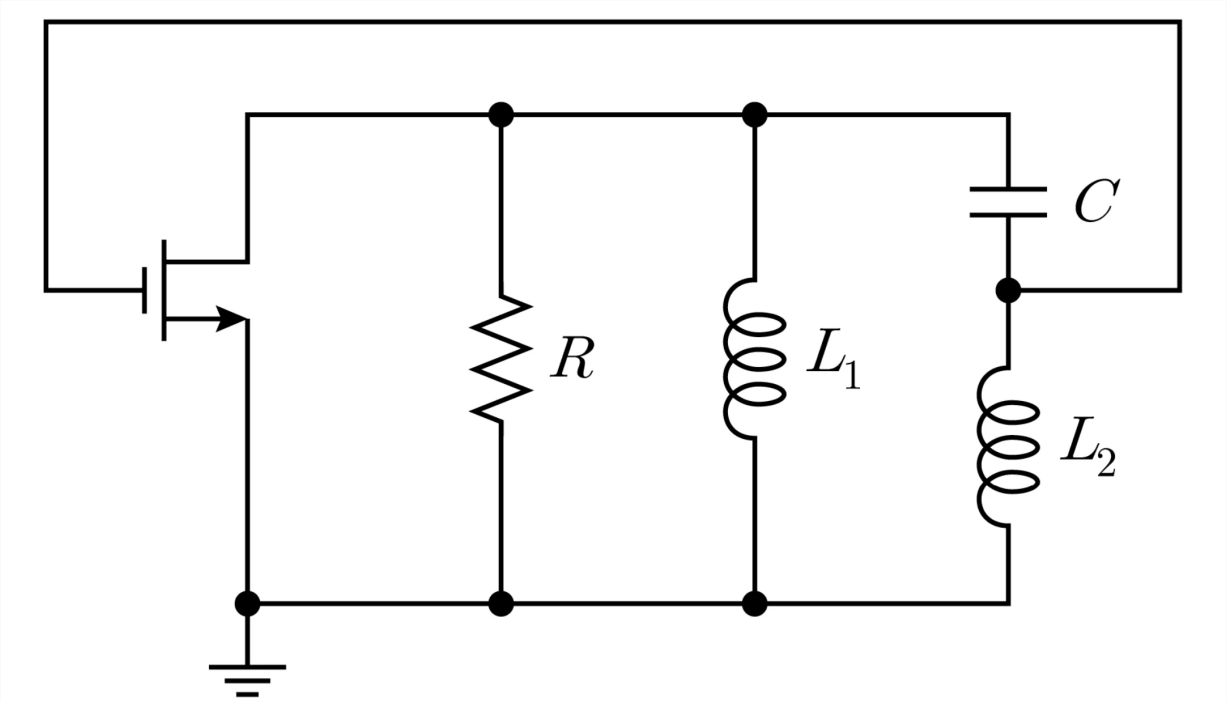
계산 과정

최소 표본화 주파수: 최대 주파수 f_{max}가 12 kHz인 신호에 표본화 정리를 적용한다. 표본화에 따른 정보 손실을 피하기 위한 이론적 최소 표본화 주파수는 최대 주파수의 2배이므로 $f_s = 2f_{max}$이다. 따라서 2 × 12 = 24 kHz이며, 이는 **1초에 24,000개의 표본**을 얻는다는 뜻이다.

PCM 전송률: 표본 하나를 n비트로 부호화하면 초당 전송 비트수 R은 $R = nf_s$이다. **초당 표본 수에 표본당 비트 수를 곱하는** 관계이므로, n = 16을 적용하면 16 × 24,000 = 384,000 bps이다. 1 kbps = 1,000 bps이므로 전송률은 384 kbps이며, ③의 값과 일치한다.

NoteBase

문 13. 다음 회로에서 발진 주파수 f [Hz]는? (단, 발진을 위한 이득조건을 만족하고, L_1과 L_2의 상호 인덕턴스는 무시한다)



① $\frac{1}{2\pi\sqrt{(L_1+L_2)C}}$
② $\frac{1}{2\pi\sqrt{L_1L_2C}}$
③ $\frac{2\pi}{\sqrt{(L_1+L_2)C}}$
④ $\frac{2\pi}{\sqrt{L_1L_2C}}$

정답 1번

간단한 해설

상호 인덕턴스를 무시하면 공진 조건에는 **두 인덕턴스의 합**이 들어간다. 발진 주파수는 $f=\frac{1}{2\pi\sqrt{(L_1+L_2)C}}$ [Hz]이며, 각주파수를 주파수로 바꿀 때는 2π로 나눈다.

NoteBase

계산 과정

회로에서 L_1은 위쪽 노드와 접지 사이에 연결되어 있고, 다른 가지에는 C와 L_2가 직렬로 연결되어 있다. 발진을 위한 이득조건은 이미 만족하므로, 주파수는 이 LC 회로의 공진 조건으로 구한다. L_1, L_2의 단위는 H, C의 단위는 F로 둔다.

각주파수를 ω라 하면 두 가지의 리액턴스는 각각 $X_1 = \omega L_1$, $X_2 = \omega L_2 - \frac{1}{\omega C}$이다. 병렬 공진에서는 두 가지의 무효 전류가 상쇄되므로, 두 리액턴스의 크기가 같고 부호가 반대가 된다. 따라서 $\omega L_1 + \omega L_2 - \frac{1}{\omega C} = 0$이다. 이를 정리하면 $\omega^2(L_1 + L_2)C = 1$이므로 공진 각주파수는 $\omega = \frac{1}{\sqrt{(L_1 + L_2)C}}$ [rad/s]이다. **상호 인덕턴스를 무시**하므로 두 코일 사이의 결합에 의한 추가 항은 없다. 저항 R은 무효성분을 갖지 않아 이 공진 조건에 들어가지 않는다.

각주파수와 주파수의 관계는 $\omega = 2\pi f$이다. 한 주기가 2π rad이므로 **각주파수를 2π로 나누어** Hz 단위로 바꾼다. 따라서 $f = \frac{1}{2\pi\sqrt{(L_1 + L_2)C}}$ [Hz]이며, ①의 식과 일치한다.

NoteBase

문 14. 유선 LAN(local area network)에서 사용되는 표준 이더넷 프레임에 포함되지 않는 필드는?

① 길이 또는 형태(length or type)

② 목적지 주소(destination address)

③ 송신자 주소(source address)

④ 패킷 번호(packet number)

정답 4번

간단한 해설

표준 이더넷 프레임에는 **패킷 번호 필드가 없다**. 송수신 대상은 MAC 주소로 나타내며, 프레임마다 순서를 나타내는 번호를 붙이지 않는다.

선지별 해설

① O: 길이 또는 형태 필드는 프레임에 포함된다. 2바이트 필드로, **데이터의 길이 또는 상위 계층 프로토콜의 종류**를 나타낸다. 길이로 해석할 때는 데이터 부분의 바이트 수를, 형태로 해석할 때는 담긴 데이터가 어떤 프로토콜에 속하는지를 알린다.

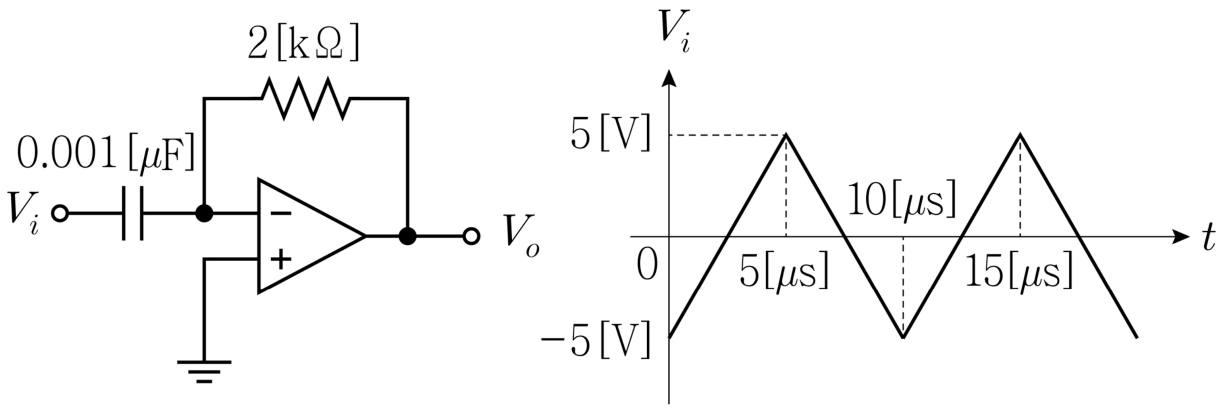
② O: 목적지 주소 필드는 프레임을 받을 대상을 나타내는 **목적지 MAC 주소**를 담는다. 이더넷 프레임의 주소 필드이며 크기는 6바이트이다.

③ O: 송신자 주소 필드는 프레임을 보낸 장치를 나타내는 **송신자 MAC 주소**를 담는다. 목적지 주소 필드와 마찬가지로 크기는 6바이트이다.

④ X: 패킷 번호는 **표준 이더넷 프레임의 필드가 아니다**. 이더넷 프레임에는 목적지 주소, 송신자 주소, 길이 또는 형태, 데이터, 오류 검출용 FCS 등이 들어간다. FCS는 전송 중 데이터가 손상되었는지 검사하기 위한 값이며, 패킷의 순서를 나타내는 번호가 아니다.

NoteBase

문 15. 다음 연산증폭기 회로에 입력전압 V_i를 인가했을 때 출력전압 V_o의 주기, V_{p-p}, 파형을 바르게 연결한 것은? (단, 모든 회로 소자는 이상적이다)



① 주기[μs]: 10, V_{p-p}[V]: 10, 파형: 구형파

② 주기[μs]: 5, V_{p-p}[V]: 10, 파형: 사인파

③ 주기[μs]: 10, V_{p-p}[V]: 5, 파형: 사인파

④ 주기[μs]: 10, V_{p-p}[V]: 8, 파형: 구형파

정답 4번

간단한 해설

입력 커패시터와 피드백 저항으로 이루어진 **반전 미분회로**이므로, 삼각파의 일정한 상승·하강 기울기가 구형파로 바뀐다. 출력은 −4 V와 +4 V를 오가므로 주기는 10 μs이고, 최대·최소 전압의 차인 V_{p-p}는 8 V이다.

NoteBase

계산 과정

회로의 동작: 입력에 커패시터 C, 피드백 경로에 저항 R이 있으므로 **반전 미분회로**이다. 이상적인 연산증폭기의 음의 피드백에 의해 반전 입력 단자는 접지된 비반전 입력 단자와 같은 0 V로 유지되고, 입력 단자로 흐르는 전류는 0이다. 따라서 커패시터 전류 $i_C = C\frac{dV_i}{dt}$가 피드백 저항으로 흐르며, 출력은 $V_o = -Ri_C = -RC\frac{dV_i}{dt}$가 된다. 즉, 입력 전압의 크기가 아니라 기울기에 비례하고 부호는 반대이다.

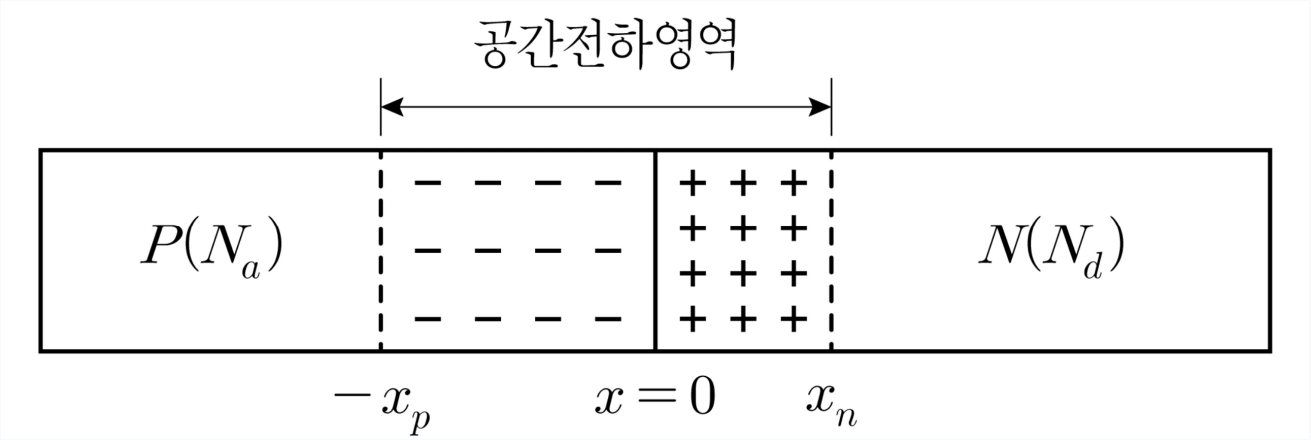
주기: 입력 그래프에서 양의 꼭짓점은 5 μs와 15 μs에 있으므로 입력 주기는 15 − 5 = 10 μs이다. 상승 구간과 하강 구간이 각각 5 μs씩 반복되므로 출력도 두 전압 레벨을 번갈아 유지하며 **10 μs마다 같은 상태로 반복**된다. 전압 레벨이 바뀌는 간격인 5 μs는 반주기이다.

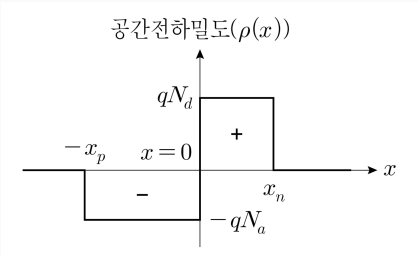
출력 전압: R = 2 kΩ, C = 0.001 μF = 1 nF이므로 $RC = 2\mu$s이다. 입력은 0~5 μs 동안 −5 V에서 +5 V로 증가하므로 기울기는 $\frac{5-(-5)}{5} = 2\text{V}/\mu\text{s}$이다. 따라서 이 구간의 출력은 −2 × 2 = −4 V이다. 5~10 μs 동안에는 입력이 +5 V에서 −5 V로 감소하므로 기울기는 −2 V/μs이고, 출력은 −2 × (−2) = +4 V이다. 각 구간에서 **기울기가 일정하므로 출력 전압도 일정**하여 구형파가 된다.

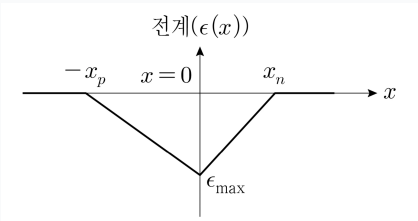
최대·최소 전압의 차: 출력의 최대값은 +4 V, 최소값은 −4 V이므로 $V_{p-p} = 4-(-4) = 8\text{V}$이다. 따라서 주기 10 μs, V_{p-p} 8 V, 구형파의 연결은 ④와 일치한다.

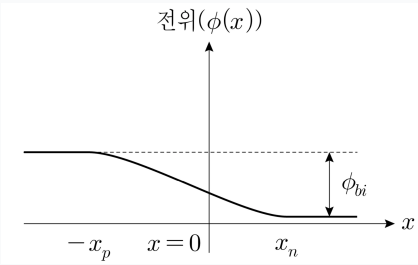
NoteBase

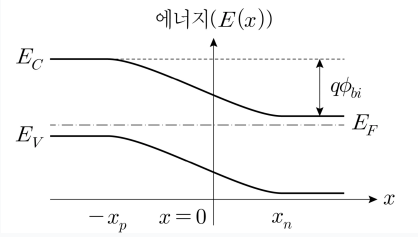
문 16. 다음 그림은 열평형 상태의 PN접합을 나타낸 것이다. PN접합에 대한 공간전하밀도(ρ), 전계(ε), 전위(ϕ) 및 에너지(E) 대역도 중 옳지 않은 것은?



① 

② 

③ 

④ 

정답 3번

NoteBase

간단한 해설

③의 전위 곡선은 P에서 N으로 갈수록 낮아지는 방향이 잘못되었다. 전계와 전위는 $\varepsilon(x) = -\frac{d\phi}{dx}$의 관계이므로, 전계가 음수인 공핍영역에서는 전위가 **P에서 N으로 갈수록 높아져야 한다**.

선지별 해설

① O: 공핍영역에는 이동 전하가 거의 없고 이온화된 불순물이 남는다. P쪽에는 **음전하인 억셉터 이온**이 남아 공간전하밀도가 $-qN_a$, N쪽에는 양전하인 도너 이온이 남아 $+qN_d$가 된다. 여기서 q는 기본전하량의 크기이다. 양쪽 중성영역에서는 이동 전하가 불순물 이온의 전하를 상쇄하므로 순 공간전하밀도를 0으로 본다.

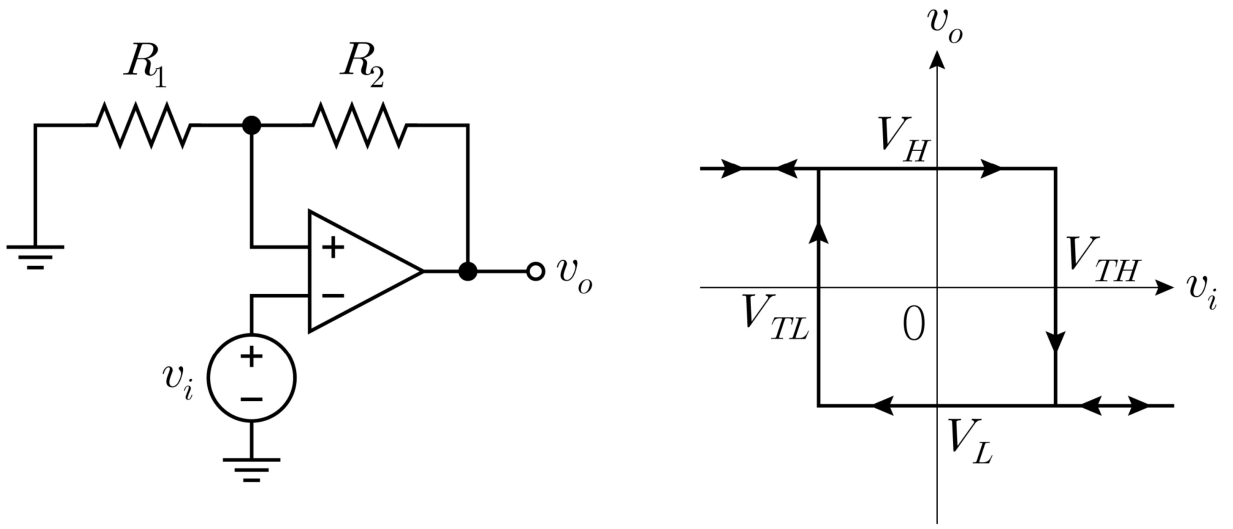
② O: 전계는 양전하가 있는 N쪽에서 음전하가 있는 P쪽으로 향하므로, 오른쪽을 양의 x방향으로 잡으면 **공핍영역의 전계는 음수**이다. 균일한 불순물 농도와 공핍근사에서 $\frac{d\varepsilon}{dx} = \frac{\rho}{\varepsilon_s}$이며, ε_s는 반도체의 유전율이다. 따라서 전계는 P쪽에서 직선적으로 감소하고 N쪽에서 직선적으로 증가하여 양쪽 경계에서 0이 된다. 그림처럼 접합면 x = 0에서 전계의 절댓값이 가장 크다.

③ X: 그림은 전위가 P쪽에서 높고 N쪽에서 낮게 그려져 있다. 그러나 $\varepsilon(x) = -\frac{d\phi}{dx}$이고 공핍영역의 전계가 음수이므로, 전위의 기울기는 양수이다. 따라서 전위 곡선은 **P쪽에서 N쪽으로 상승하도록** 고쳐야 한다. 양쪽 중성영역에서는 전계가 0이므로 전위가 일정하며, 내장전위는 $\phi(x_n) - \phi(-x_p) = \phi_{bi} > 0$이다.

④ O: 에너지 대역도의 세로축은 전자의 에너지를 나타낸다. 전자의 전하가 −q이므로 전위에 따른 에너지 변화는 $\Delta E = -q\Delta\phi$이다. 따라서 P쪽에서 N쪽으로 전위가 높아질수록 **전도대와 가전자대의 에너지는 낮아진다**. 그림의 하강하는 대역 모양과 양쪽 대역 끝의 에너지 차이 $q\phi_{bi}$가 이에 해당한다. 또한 열평형에서는 페르미 준위 E_F가 위치에 관계없이 일정하므로 수평선으로 나타난다.

NoteBase

문 17. 다음은 슈미트 트리거(Schmitt Trigger) 회로와 이 회로의 입력(v_i)에 대한 출력(v_o)의 전달특성을 나타낸 것이다. 출력전압 v_o의 양의 포화전압을 V_H[V], 음의 포화전압을 V_L[V]이라고 할 때, 전달특성 그래프에서 출력이 V_H[V]에서 V_L[V]로 천이되는 임계전압 V_{TH}[V]는? (단, 연산 증폭기는 이상적이다)



① $\frac{R_1}{R_1+R_2}V_L$
② $\frac{R_2}{R_1+R_2}V_H$
③ $\frac{R_1}{R_1+R_2}V_H$
④ $\frac{R_2}{R_1+R_2}(V_H+V_L)$

정답 3번

간단한 해설

출력이 내려가기 직전에는 $v_o = V_H$이므로, **천이 전의 출력전압**을 저항 분압식에 넣어야 한다. 입력전압이 이 분압전압에 도달하면 출력이 바뀌므로 $V_{TH} = \frac{R_1}{R_1+R_2}V_H$[V]이다.

NoteBase

계산 과정

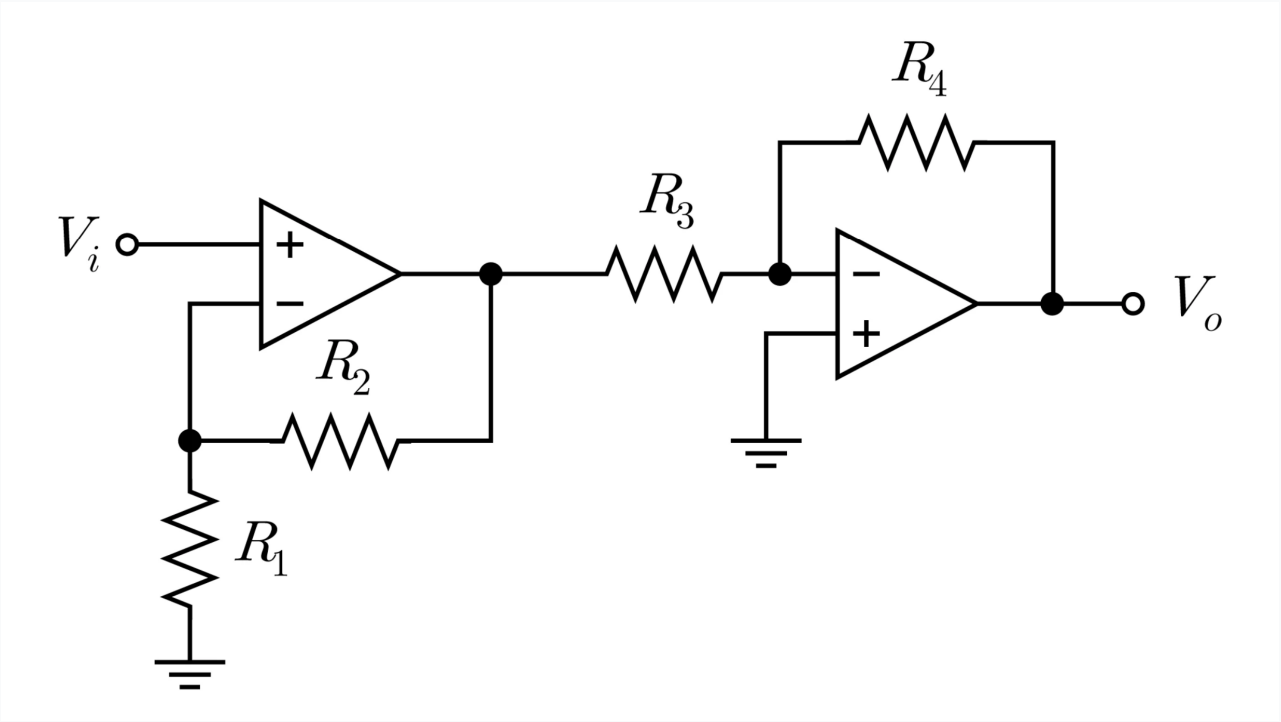
회로에서 입력 v_i는 반전 입력(−)에 연결되고, 비반전 입력(+)은 출력과 접지 사이의 저항 분압점에 연결된다. 비반전 입력전압을 v_+라고 하면, 이상적 연산 증폭기의 **입력전류가 0**이므로 두 저항에는 같은 전류가 흐른다. 접지와 분압점 사이의 저항이 R_1이므로 $v_+ = \frac{R_1}{R_1+R_2}v_o$이다.

전달특성 그래프의 오른쪽 수직선은 입력이 증가할 때 출력이 V_H에서 V_L로 내려가는 천이를 나타낸다. **천이 직전의 출력은** $v_o = V_H$이므로, 이때 비반전 입력전압은 $v_+ = \frac{R_1}{R_1+R_2}V_H$이다. 이는 출력이 높은 상태에서 입력전압과 비교하는 기준전압이다.

입력 v_i가 증가하여 v_+를 넘으면 반전 입력전압이 비반전 입력전압보다 커져 출력이 낮은 포화상태로 바뀐다. 따라서 천이 경계인 $v_i = v_+$에서 $V_{TH} = \frac{R_1}{R_1+R_2}V_H$[V]이며, ③의 식과 일치한다.

NoteBase

문 18. 다음 연산 증폭기 회로의 전압 이득 $\frac{V_o}{V_i}$는? (단, 모든 회로 소자는 이상적이다)



① $-\frac{R_2(R_3+R_4)}{R_1R_3}$
② $-\frac{R_1(R_3+R_4)}{R_2R_3}$
③ $-\frac{(R_1+R_2)R_4}{R_2R_3}$
④ $-\frac{(R_1+R_2)R_4}{R_1R_3}$

정답 4번

간단한 해설

첫 단은 **비반전 증폭**, 둘째 단은 **반전 증폭**이므로 두 단의 전압 이득을 곱한다. 전체 전압 이득은 $\frac{V_o}{V_i} = -\frac{(R_1+R_2)R_4}{R_1R_3}$ 이다.

NoteBase

계산 과정

두 연산 증폭기 모두 출력이 반전 입력으로 되먹임되는 음의 피드백 회로이다. 이상적인 연산 증폭기가 선형 동작할 때 **두 입력 단자의 전압은 같고 입력 전류는 0**이다. 첫 단의 출력 전압을 V_m이라 두고 각 단의 이득을 구한다.

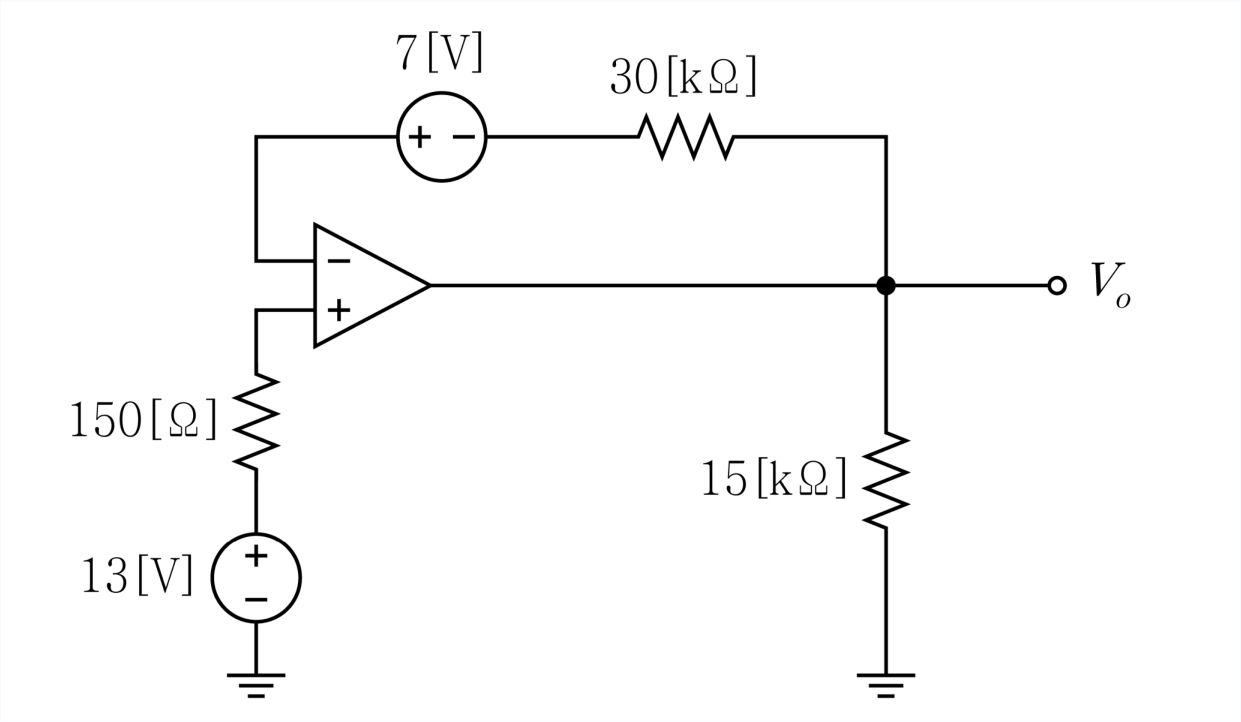
첫 단: 입력 V_i가 비반전 단자에 연결되므로 반전 단자의 전압도 V_i이다. 반전 단자에는 전류가 들어가지 않으므로 R_2를 흐른 전류가 모두 R_1으로 흐른다. 따라서 $\frac{V_m - V_i}{R_2} = \frac{V_i}{R_1}$이고, 정리하면 $V_m = \left(1 + \frac{R_2}{R_1}\right)V_i$이다. 이 식은 첫 단이 입력과 같은 극성으로 전압을 증폭함을 뜻한다.

둘째 단: 비반전 단자가 접지되어 있으므로 반전 단자도 **가상 접지인 0 V**가 된다. R_3의 전류는 연산 증폭기 입력으로 들어가지 않고 R_4로 흐르므로 $\frac{V_m}{R_3} = \frac{-V_o}{R_4}$이다. 따라서 $\frac{V_o}{V_m} = -\frac{R_4}{R_3}$이며, 음의 부호는 둘째 단에서 전압의 극성이 반전됨을 나타낸다.

전체 이득: 첫 단 출력이 둘째 단 입력이므로 전체 전압 이득은 **각 단의 이득을 곱한 값**이다. 따라서 $\frac{V_o}{V_i} = \left(1 + \frac{R_2}{R_1}\right)\left(-\frac{R_4}{R_3}\right)$이며, 이를 정리한 $-\frac{(R_1 + R_2)R_4}{R_1 R_3}$은 ④의 식과 일치한다. 전압끼리의 비이므로 이득에는 단위가 없다.

NoteBase

문 19. 다음 연산 증폭기 회로에서 출력전압 V_o [V]는? (단, 모든 회로 소자는 이상적이다)



① 6

② 12

③ 15

④ 18

정답 1번

간단한 해설

이상적인 연산 증폭기의 **입력전류는 0**이므로 비반전 입력전압은 13 V이며, 음의 되먹임에 의해 반전 입력전압도 13 V이다. 위쪽 7 V 전원의 극성에 따라 출력전압은 13 − 7 = 6 V가 된다.

NoteBase

계산 과정

비반전 입력전압: 두 입력단의 전압을 각각 V_+, V_-라 하자. 이상적인 연산 증폭기는 **입력전류가 0**이므로 150 Ω 저항에도 전류가 흐르지 않아 전압강하가 없다. 13 V 전원의 위쪽이 +극이고 아래쪽이 접지되어 있으므로 $V_+ = 13$ V이다.

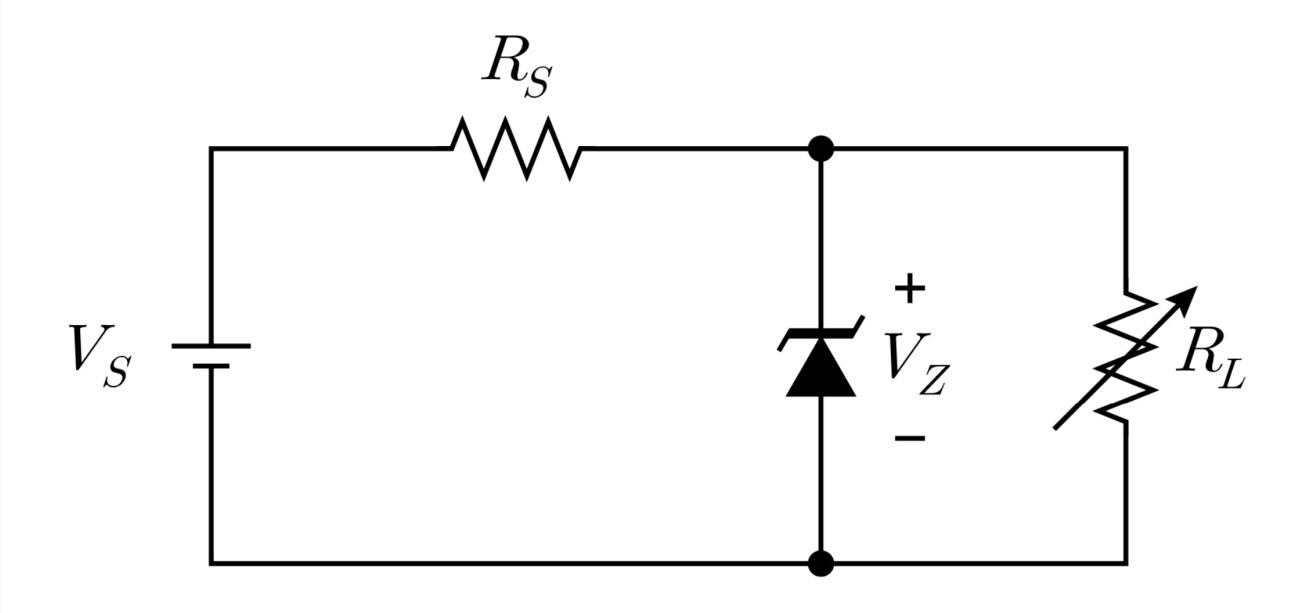
반전 입력전압: 출력이 위쪽 가지를 통해 반전 입력으로 되돌아오는 **음의 되먹임** 회로이다. 이상적인 연산 증폭기가 선형 동작하므로 두 입력단의 전압은 같아져 $V_- = V_+ = 13$ V이다. 이는 두 입력단이 실제로 연결되었다는 뜻이 아니라 전압만 같다는 뜻이다.

되먹임 가지의 전압: 반전 입력으로 전류가 들어가지 않고 다른 분기점도 없으므로, 7 V 전원과 30 kΩ 저항을 지나는 전류는 0이다. 따라서 30 kΩ 저항의 전압강하도 0이다. 7 V 전원은 **반전 입력 쪽이 +극, 출력 쪽이 −극**이므로 $V_- - V_o = 7$ V이다. 따라서 $V_o = V_- - 7 = 13 - 7 = 6$ V이다.

부하와 선택지 연결: 15 kΩ 저항은 출력과 접지 사이의 부하이며, 그 전류는 연산 증폭기의 출력단이 공급한다. 이상적인 연산 증폭기이므로 이 부하가 앞에서 구한 출력전압을 바꾸지 않는다. 출력전압 6 V는 ①의 값에 해당한다.

NoteBase

문 20. 다음 회로에서 제너 다이오드의 역할은? (단, 모든 회로 소자는 이상적이고, 입력전압 V_S는 제너 항복전압 V_Z보다 크다)



① 부하저항 R_L에 걸리는 전압을 일정하게 유지시켜 준다.

② 부하저항 R_L의 값을 일정하게 유지시켜 준다.

③ 순방향의 전압이 인가되면 빛을 발한다.

④ 회로가 발진할 수 있게 한다.

정답 1번

간단한 해설

제너 다이오드는 **역방향 항복영역**에서 양단 전압을 일정하게 유지한다. 부하저항과 병렬로 연결되어 있으므로, 항복상태가 유지되는 동안 부하에 걸리는 전압도 제너 항복전압 V_Z로 일정해진다.

NoteBase

도식 해설

그림에서 제너 다이오드는 부하저항 R_L과 **병렬로 연결**되어 있다. 위쪽 캐소드가 전원의 양극 쪽에 연결되어 역방향 전압을 받는다. 제너가 항복영역에서 동작하면 이상적인 제너의 양단 전압은 V_Z로 일정하며, 같은 두 노드에 연결된 부하저항에도 동일한 전압이 걸린다.

직렬저항 R_S는 전류를 제한하며 입력전압과 부하전압의 차이를 부담한다. 입력전압이 일정할 때 부하전류가 증가하면 제너전류가 감소하고, 부하전류가 감소하면 제너전류가 증가하여 부하전압을 유지한다. 이 정전압 작용은 **제너의 항복상태가 유지되는 범위**에서 성립하며, 부하가 지나치게 큰 전류를 요구해 제너가 항복영역을 벗어나면 유지되지 않는다.

일정하게 유지하는 대상은 **부하저항의 저항값이 아니라 양단 전압**이다. 그림의 가변저항 R_L 값이 달라지면 부하전류가 달라진다. 순방향 전압에 의한 발광은 LED의 기능이며, 이 회로의 제너 다이오드는 역방향 항복 특성을 이용한다.

NoteBase