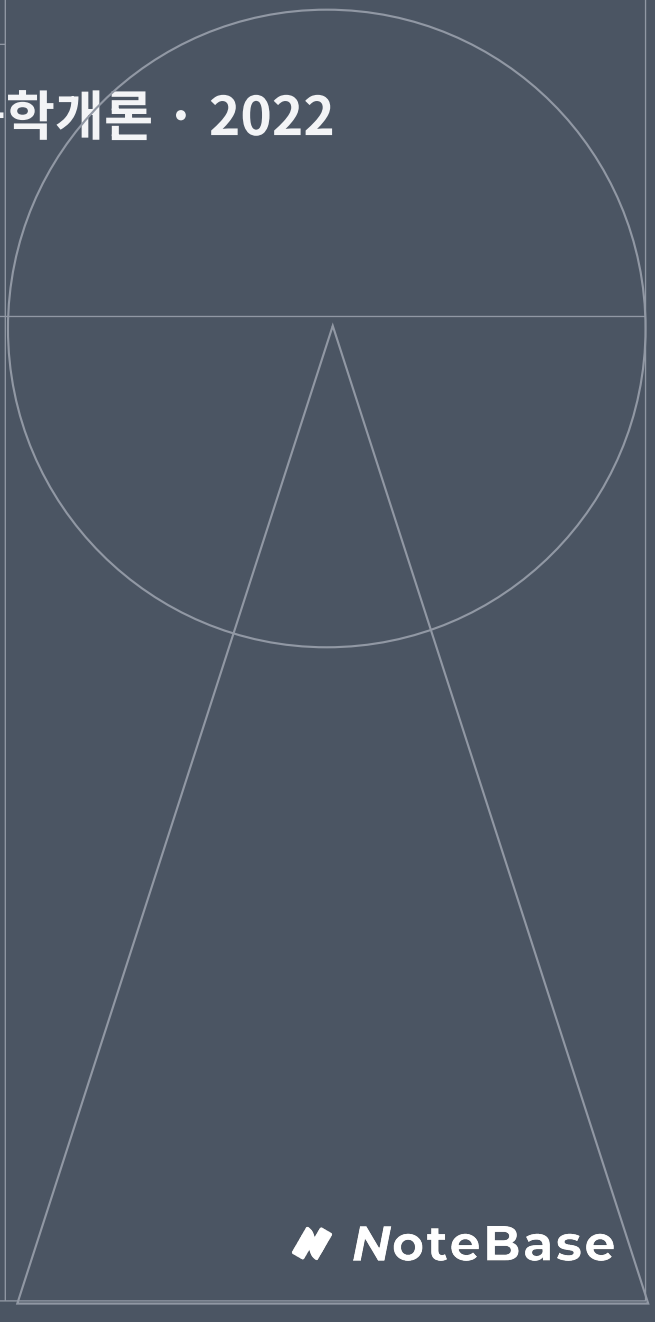
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2022



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2022

공무원/국가직/9급 · 전자공학개론 · 2022

문 1. 반송파의 진폭과 위상을 동시에 변화시켜 전송하는 디지털 변조 방식은?

① PSK(phase shift keying)

② FSK(frequency shift keying)

③ ASK(amplitude shift keying)

④ QAM(quadrature amplitude modulation)

정답 4번

간단한 해설

QAM은 반송파의 **진폭과 위상을 함께 변화**시켜 디지털 정보를 전송하는 방식이다.

공통 해설

디지털 변조는 디지털 정보에 따라 반송파의 특성을 바꾸어 정보를 싣는 방식이다. 이때 **변화시키는 반송파의 특성**을 기준으로 구분하면, PSK는 위상, FSK는 주파수, ASK는 진폭을 변화시키며, QAM은 진폭과 위상을 함께 변화시킨다. 따라서 문제의 '진폭과 위상을 동시에 변화'시키는 조건에 대응하는 방식은 QAM이다.

QAM은 위상이 90° 다른 두 반송파의 진폭을 각각 조절한 뒤 합성한다. 두 성분의 조합을 바꾸면 합성 신호의 진폭과 위상을 함께 조절할 수 있으므로, 이 조합에 디지털 정보를 대응시켜 전송한다.

NoteBase

문 2. PN접합에 대한 설명으로 옳지 않은 것은?

① PN접합 부근에서는 전하 캐리어가 고갈되어 공핍영역이 생긴다.

② PN접합을 사이에 두고 공핍영역 양쪽 전계의 전위차가 발생하는데 이를 전위장벽이라 한다.

③ PN접합의 N영역 접합 부근은 음전하 층이 형성되고, P영역 접합 부근은 양전하 층이 형성된다.

④ PN접합이 형성되는 순간 접합 근처의 N영역에 있던 자유전자는 접합을 넘어 P영역으로 확산되어 접합 근처의 정공과 재결합한다.

정답 3번

간단한 해설

③은 공핍영역에 남는 전하의 부호를 반대로 설명했다. 접합 부근에서 전자와 정공이 확산·재결합하면 **N영역에는 양전하를 띤 도너 이온**이, **P영역에는 음전하를 띤 억셉터 이온**이 남는다.

선지별 해설

① O: 접합 부근의 전자와 정공이 확산하여 재결합하면 자유롭게 이동할 수 있는 전하 캐리어가 크게 줄어든다. 이 영역이 공핍영역이다. 공핍은 **이동 가능한 캐리어가 고갈**된다는 뜻이며, 고정된 이온까지 없어지는 것은 아니다.

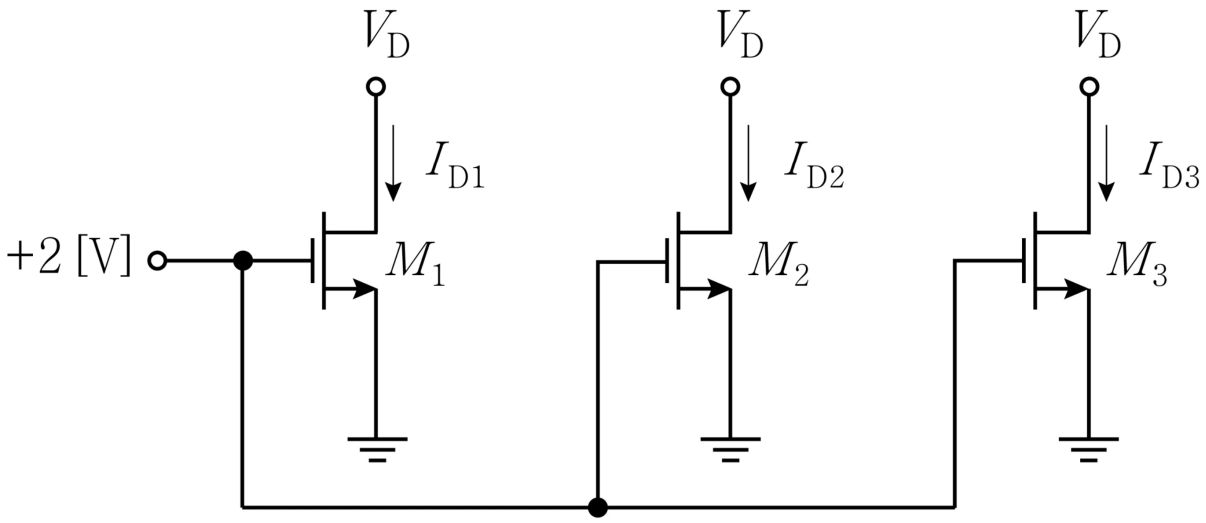
② O: 공핍영역의 N쪽 양전하와 P쪽 음전하가 N쪽에서 P쪽으로 향하는 내부 전계를 만든다. 이 전계에 의해 공핍영역 양쪽에 생기는 전위차를 전위장벽이라 하며, **다수 캐리어의 추가 확산을 억제**하는 역할을 한다.

③ X: N영역에서는 자유전자가 P영역으로 확산하면서 양전하를 띤 도너 이온이 남고, P영역에서는 정공이 확산·재결합하면서 음전하를 띤 억셉터 이온이 남는다. 따라서 접합 부근의 공간전하층은 **N쪽이 양전하, P쪽이 음전하**이며, 선지는 두 부호를 반대로 제시했다.

④ O: 접합이 형성되면 전자 농도가 높은 N영역의 자유전자는 농도가 낮은 P영역으로 확산한다. 접합을 넘어온 전자는 P영역의 정공과 재결합한다. 이는 **캐리어 농도 차이에 따른 확산**으로, 접합 부근에 공핍영역이 형성되는 원인이다.

NoteBase

문 3. 다음 회로에서 각 MOSFET M_1, M_2, M_3의 채널길이 비가 $L_1 : L_2 : L_3 = 1 : 2 : 4$이고 채널 폭의 비가 $W_1 : W_2 : W_3 = 2 : 8 : 16$일 때, 드레인 전류비 $I_{D1} : I_{D2} : I_{D3}$는? (단, 모든 MOSFET은 채널길이변조효과와 몸체효과는 무시하고 문턱전압 $V_{tn} = 1$ [V], $V_D = 5$ [V]이다)



① 1 : 1 : 1

② 1 : 2 : 2

③ 2 : 1 : 1

④ 2 : 2 : 1

정답 2번

간단한 해설

세 MOSFET은 게이트·소스 전압이 같고 모두 포화영역에서 동작하므로, 드레인 전류는 **채널 폭과 길이의 비** W/L에 비례한다. 이 비가 2:4:4이므로 드레인 전류비는 1:2:2이다.

NoteBase

계산 과정

동작영역 확인: 그림에서 세 MOSFET의 게이트는 모두 +2 V에 연결되고 소스는 접지되어 있으므로 $V_{GS} = 2$ V이다. 문턱전압이 1 V이므로 과구동전압은 $V_{GS} - V_{tn} = 1$ V이다. 드레인·소스 전압은 $V_{DS} = 5$ V로, **포화영역 조건** $V_{DS} \geq V_{GS} - V_{tn}$을 만족한다.

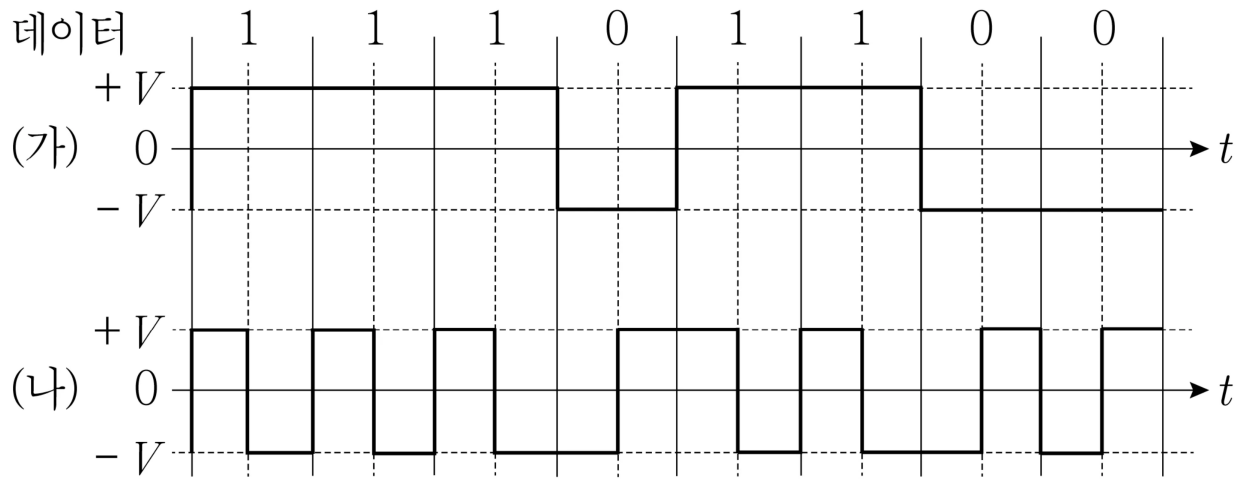
전류식 적용: 채널길이변조효과와 몸체효과를 무시하면 포화영역 전류는 $I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{tn})^2$이다. 여기서 μ_n은 전자 이동도, C_{ox}는 단위 면적당 게이트 산화막 정전용량이다. 세 소자의 공정계수 $\mu_n C_{ox}$는 같다고 두며, 과구동전압도 같으므로 전류비를 구할 때 이 공통 인자들은 소거된다.

채널 치수의 비 계산: 각 소자의 **폭을 해당 소자의 길이로 나누어** 비교한다. 주어진 비를 이용하면 $\frac{2}{1} : \frac{8}{2} : \frac{16}{4} = 2 : 4 : 4$이다. 따라서 M_2와 M_3의 폭·길이 비는 같고, 각각 M_1의 두 배이다.

전류비 도출: $I_{D1} : I_{D2} : I_{D3} = 2 : 4 : 4 = 1 : 2 : 2$이다. 전류의 비이므로 단위는 없으며, ②의 1:2:2와 일치한다.

NoteBase

문 4. 다음 (가)와 (나) 파형은 2진 디지털 데이터를 전송하기 위한 두 개의 라인코드 펄스파형이다. (가)와 (나)에 해당하는 라인코드 방식으로 옳게 짝지은 것은?



① (가): 극성 NRZ, (나): 극성 RZ

② (가): 극성 RZ, (나): 극성 NRZ

③ (가): 맨체스터(manchester), (나): 극성 RZ

④ (가): 극성 NRZ, (나): 맨체스터(manchester)

정답 4번

간단한 해설

(가)는 한 비트 동안 전압을 유지하는 **극성 NRZ**이고, (나)는 매 비트의 중앙에서 전압의 극성이 바뀌는 **맨체스터** 방식이다. (나)의 중앙 전이는 0으로 복귀하는 것이 아니라 +V와 −V 사이의 전환이다.

NoteBase

대응 관계 해설

그림의 세로 실선 사이는 한 비트 구간이고, 그 안의 세로 점선은 비트의 중앙을 나타낸다. 두 파형은 전압의 부호뿐 아니라 비트 내부에서 전압이 언제 바뀌는지를 기준으로 구별한다.

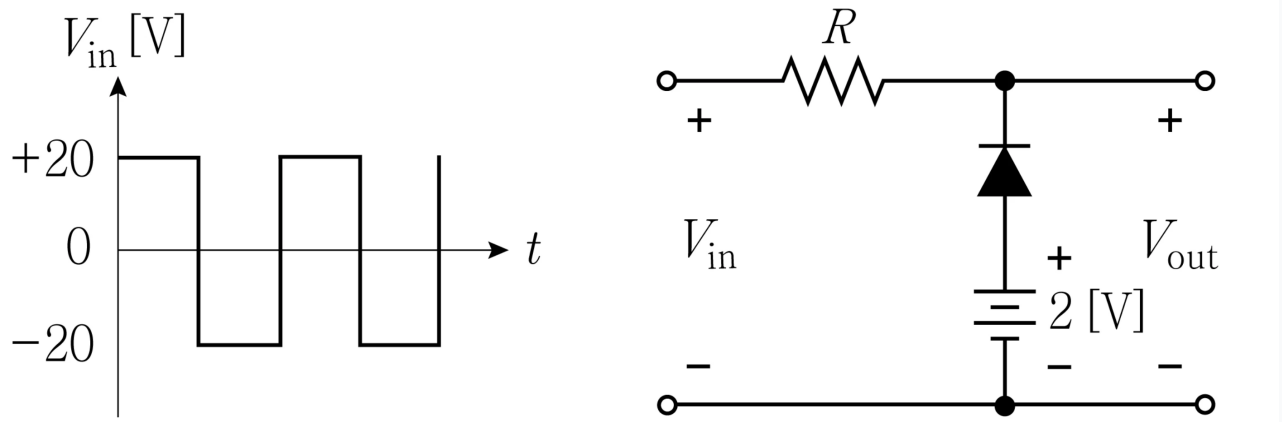
(가): 극성 NRZ. 그림에서 1은 +V, 0은 −V로 표현되며, **각 비트 구간 내내 해당 전압을 유지**한다. 처음의 연속된 세 개의 1에서 +V가 끊기지 않고 이어지고, 마지막 두 개의 0에서도 −V가 이어진다. NRZ는 비트마다 전압을 0으로 되돌리지 않는 방식이며, 양·음의 두 전압을 사용하므로 극성 NRZ이다.

(나): 맨체스터(manchester). 각 비트의 **중앙에서 반드시 극성이 전환**된다. 그림의 1은 전반부 +V에서 후반부 −V로, 0은 전반부 −V에서 후반부 +V로 바뀐다. 따라서 전이 방향으로 데이터를 구별하는 맨체스터 방식이다. 극성 RZ는 비트 전반부에 +V 또는 −V를 보내고 후반부에 0으로 복귀하지만, (나)는 후반부에도 반대 극성의 전압을 유지한다.

(가)는 극성 NRZ, (나)는 맨체스터이므로 ④의 짝과 일치한다.

NoteBase

문 5. 다음 회로에 피크값이 20 [V]인 펄스파 입력전압 V_{in}을 인가하였을 때, 출력전압 V_{out} 펄스파형의 최댓값과 최솟값의 합 [V]은? (단, 다이오드는 이상적이다)



① 18

② −18

③ 22

④ −22

정답 3번

간단한 해설

다이오드는 출력이 **+2 V 아래로 내려가지 않도록** 도통한다. 입력이 +20 V일 때는 차단되어 출력도 +20 V이므로, 출력의 최댓값과 최솟값의 합은 20 + 2 = 22 V이다.

NoteBase

계산 과정

아래쪽 공통선을 0 V로 잡으면, 2 V 전원의 위쪽 단자는 +2 V이다. 그림에서 다이오드의 막대 쪽인 음극은 출력에, 양극은 이 +2 V 단자에 연결되어 있다. 따라서 출력이 +2 V보다 낮아지려 하면 다이오드가 순방향으로 도통한다. 이상적 다이오드는 도통할 때 양단 전압이 0 V이다.

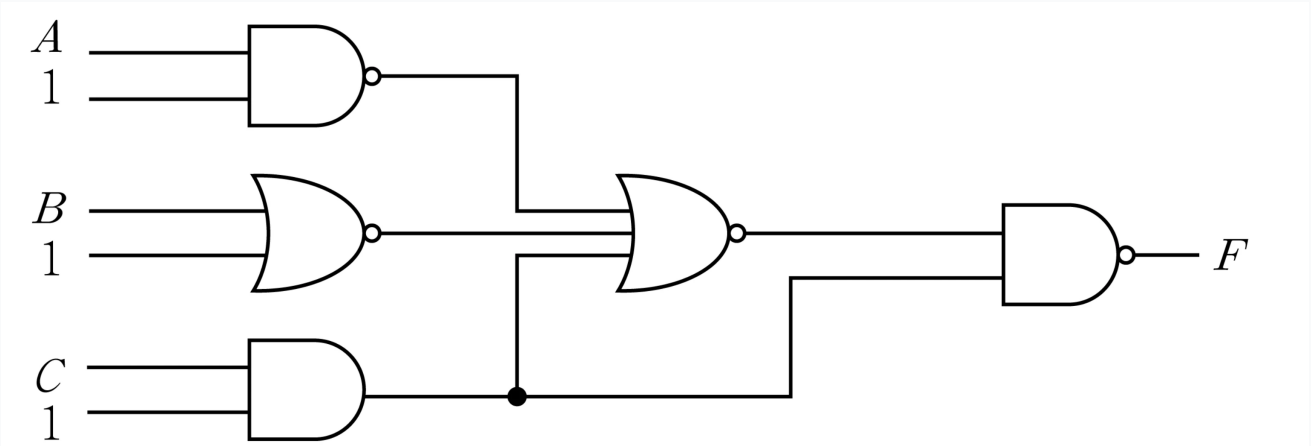
입력이 +20 V일 때: 다이오드가 차단되어 있다고 보면, 출력 쪽에 전류가 흐를 경로가 없으므로 저항 R의 전압 강하는 0 V이다. 따라서 출력은 +20 V이다. 이때 양극은 +2 V, 음극은 +20 V이므로 다이오드는 역방향 바이어스되어 차단 상태가 성립한다. 출력의 최댓값은 +20 V이다.

입력이 −20 V일 때: 다이오드가 차단되어 있다면 출력도 −20 V가 되어 양극 전위가 음극보다 높아진다. 따라서 실제로는 다이오드가 도통하며, **출력 전위를 +2 V로 고정**한다. 입력과 출력의 전압 차이 2 − (−20) = 22 V는 저항 R에 걸린다. 출력의 최솟값은 −20 V가 아니라 +2 V이다.

요구한 합은 최댓값 + 최솟값 = 20 + 2 = 22 V이며, ③의 22에 해당한다.

NoteBase

문 6. 다음 논리 회로에서 출력 F의 논리식은?



① 0

② 1

③ $\overline{A}+\overline{B}$

④ $A \cdot B$

정답 2번

간단한 해설

마지막 NAND 게이트의 두 입력은 $A \cdot \overline{C}$와 C이므로, 두 입력의 논리곱은 **항상 0**이다. NAND 게이트가 이를 반전하므로 출력 F는 입력값에 관계없이 1이다.

NoteBase

계산 과정

회로에서 게이트 출력의 작은 원은 논리 반전을 뜻한다. AND 출력에 원이 있으면 NAND, OR 출력에 원이 있으면 NOR이다. 논리식에서 +는 OR, ·는 AND, 윗줄은 NOT을 나타내며, 0과 1은 논리값이다.

위쪽 NAND: 입력이 A와 1이므로 출력은 $\overline{A \cdot 1} = \overline{A}$이다. AND 연산에서 1은 다른 입력값을 그대로 통과시킨다.

가운데 왼쪽 NOR: 입력이 B와 1이므로 출력은 $\overline{B + 1} = 0$이다. OR 연산은 **입력 중 하나가 1이면 항상 1**이므로, 이를 반전한 값은 0이다.

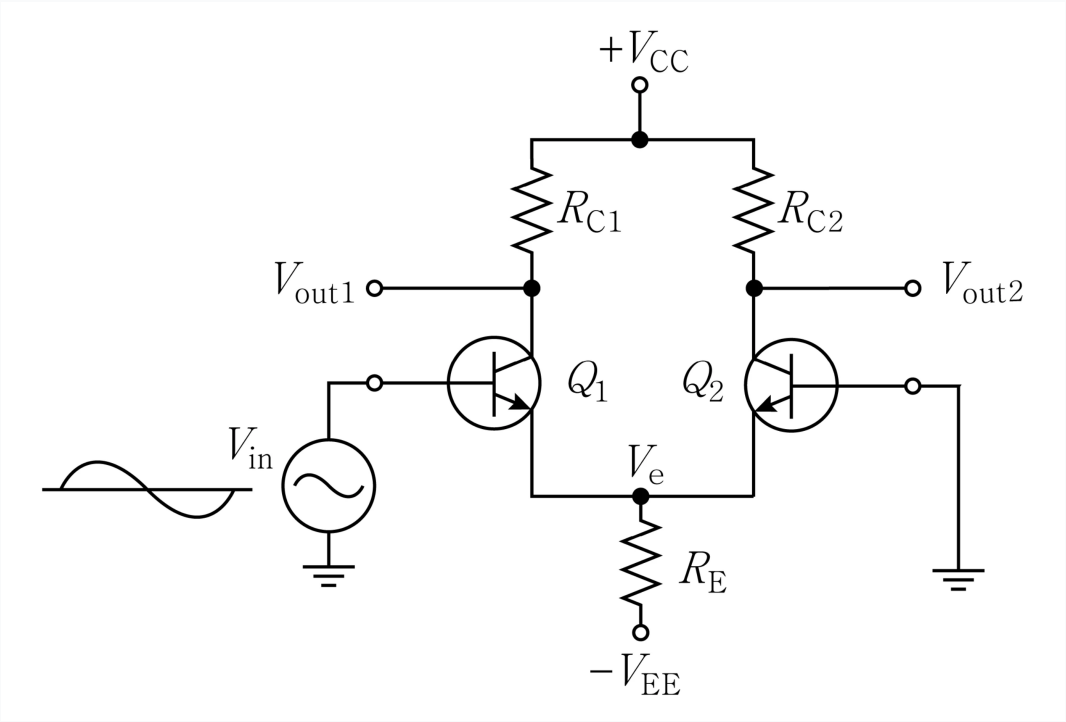
아래쪽 AND: 입력이 C와 1이므로 출력은 $C \cdot 1 = C$이다. 이 신호는 검은 연결점에서 갈라져 중앙 NOR와 마지막 NAND에 모두 들어간다.

중앙 NOR: 세 입력은 $\overline{A}$, 0, C이다. 출력을 D라 두면 $D = \overline{\overline{A} + 0 + C}$이고, 드모르간 법칙으로 정리하면 $D = A \cdot \overline{C}$이다. 즉, 이 신호가 1이 되려면 C**가 0이어야 한다**.

마지막 NAND: 두 입력은 D와 C이다. 서로 보수인 값의 논리곱은 $\overline{C} \cdot C = 0$이므로, $D \cdot C = A \cdot 0 = 0$이다. 따라서 $F = \overline{0} = 1$로, ②의 1에 해당한다.

NoteBase

문 7. 다음 차동증폭기회로에 대한 설명으로 옳은 것은? (단, 트랜지스터 Q_1과 Q_2는 동일하다)



① 공통모드 입력 차동증폭기이다.

② 이미터신호 V_e는 입력신호 V_{in}과 동위상이다.

③ 출력신호 V_{out1}은 입력신호 V_{in}과 동위상이다.

④ 출력신호 V_{out2}는 입력신호 V_{in}과 역위상이다.

정답 2번

간단한 해설

입력신호가 인가된 Q_1의 베이스 전압이 상승하면 공통 이미터 전압도 따라 상승한다. 따라서 이미터신호 V_e는 입력신호 V_{in}과 **동위상**이다.

NoteBase

선지별 해설

위상은 정상적인 증폭 동작에서 직류 동작점을 기준으로 한 교류 신호의 증감 방향을 비교한다. 입력이 상승할 때 함께 상승하면 동위상이고, 반대로 하강하면 역위상이다.

① X: 그림에서는 Q_1의 베이스에만 입력신호를 인가하고 Q_2의 베이스는 접지했으므로 **단일 입력 차동증폭기**이다. 공통모드 입력은 두 베이스에 크기와 위상이 같은 신호를 함께 인가하는 경우이다.

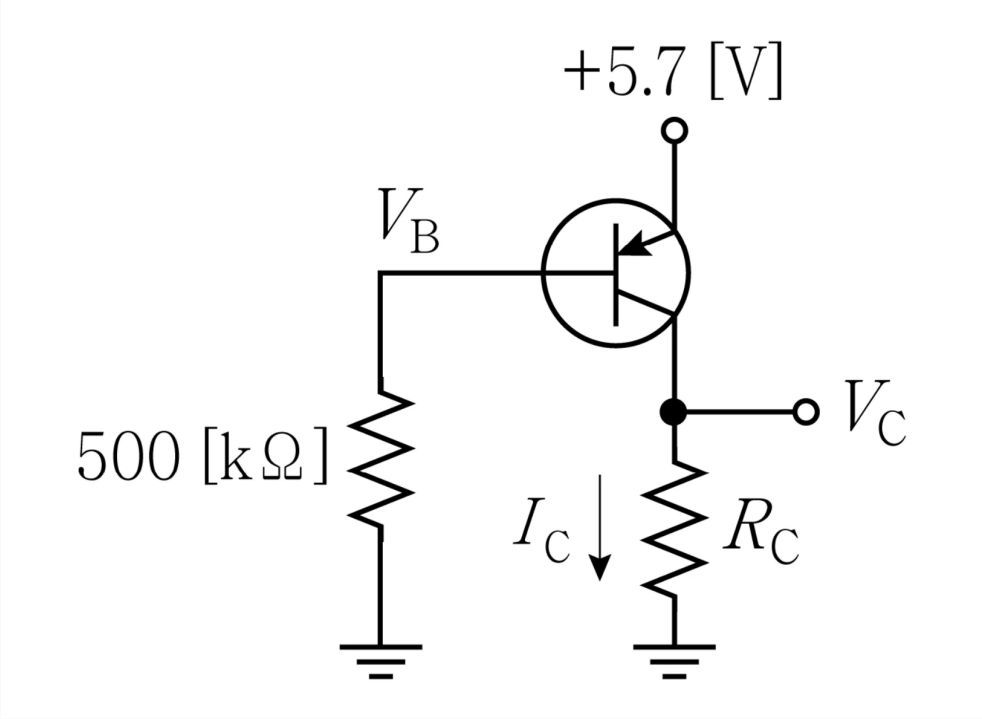
② O: Q_1의 베이스 전압이 상승하면 이미터 전압도 따라 상승하고, 베이스 전압이 하강하면 이미터 전압도 하강한다. 이는 베이스 신호를 이미터에서 받으면 위상이 반전되지 않는 **이미터 팔로어 작용**에 해당한다. 두 트랜지스터의 이미터가 연결되어 있으므로 공통 이미터신호 V_e는 입력신호 V_{in}과 동위상이다.

③ X: 입력 전압이 상승하면 Q_1의 베이스-이미터 전압이 증가하여 컬렉터 전류가 증가한다. 그러면 R_{C1}의 전압 강하가 커지고, 전원 전압에서 그 전압 강하를 뺀 컬렉터 전압 V_{out1}은 낮아진다. 따라서 V_{out1}은 입력신호와 **역위상**이다.

④ X: Q_2의 베이스는 접지되어 있으므로 입력 상승에 따라 공통 이미터 전압이 올라가면 Q_2의 베이스-이미터 전압은 감소한다. 이에 따라 컬렉터 전류와 R_{C2}의 전압 강하가 감소하여 컬렉터 전압 V_{out2}는 높아진다. 따라서 V_{out2}는 입력신호와 **동위상**이다.

NoteBase

문 8. 다음 PNP BJT 증폭회로에 대한 설명으로 옳지 않은 것은? (단, BJT는 활성영역에서 동작하며, BJT의 직류전류이득(β_{DC})은 100이고, PN접합 다이오드의 순방향 전압은 0.7 [V]로 가정한다)



① $V_B = 5[V]$이다.

② 컬렉터 직류 전류 $I_C = 1[mA]$이다.

③ V_C가 4 [V] 되기 위해 필요한 R_C는 2 [kΩ]이다.

④ 베이스－컬렉터 접합에는 역방향 전압이 걸려 있다.

정답 3번

간단한 해설

컬렉터 저항은 접지에 연결되어 있으므로 저항 양단 전압은 V_C와 같다. 컬렉터 전류가 1 mA일 때 4 V를 얻으려면 **2 kΩ이 아니라 4 kΩ**이 필요하다.

NoteBase

선지별 해설

① O: PNP BJT가 활성영역에서 동작하려면 이미터–베이스 접합이 순방향 바이어스되어야 한다. 따라서 **이미터 전위가 베이스보다 0.7 V 높다**. 회로에서 이미터 전압이 5.7 V이므로 $V_B = 5.7 - 0.7 = 5\text{V}$이다.

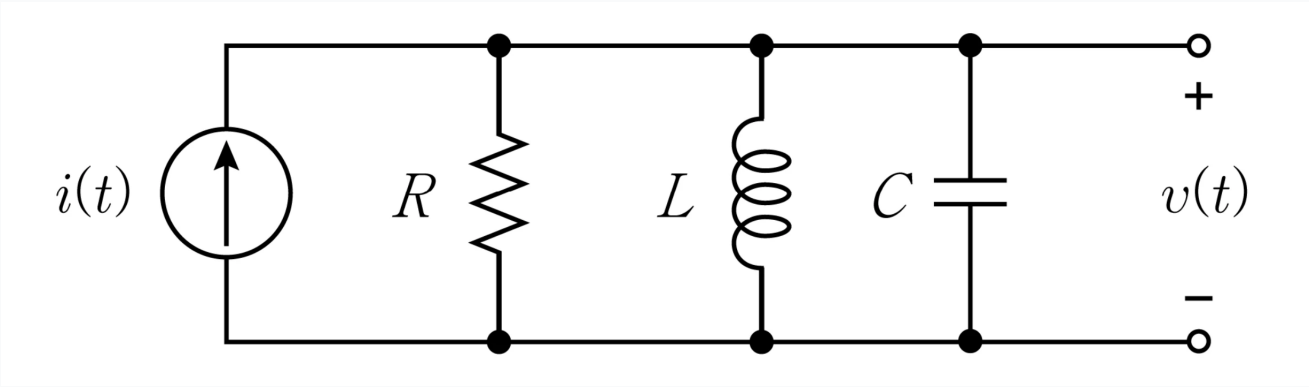
② O: 베이스에서 흘러나온 전류는 500 kΩ 저항을 거쳐 접지로 흐른다. 이 저항 양단에 5 V가 걸리므로 $I_B = \frac{5\text{V}}{500\text{k}\Omega} = 10\mu\text{A}$이다. 활성영역에서 직류전류이득은 **베이스 전류에 대한 컬렉터 전류의 비**이므로 $I_C = \beta_{DC} I_B$이다. 따라서 $I_C = 100 \cdot 10\mu\text{A} = 1\text{mA}$이다.

③ X: 컬렉터 저항의 아래쪽은 접지되어 있으므로 **저항 양단 전압은 컬렉터 전압과 같다**. 따라서 $V_C = I_C R_C$를 적용한다. 컬렉터 전압이 4 V가 되려면 $R_C = \frac{4\text{V}}{1\text{mA}} = 4\text{k}\Omega$이어야 한다. 2 kΩ을 사용하면 컬렉터 전압은 2 V가 된다.

④ O: PNP BJT의 컬렉터는 P형이고 베이스는 N형이다. 활성영역에서는 $V_E > V_B > V_C$이므로 베이스–컬렉터 접합의 **N형 베이스 전위가 P형 컬렉터 전위보다 높다**. 이는 PN접합의 역방향 바이어스 조건이다.

NoteBase

문 9. 다음 RLC 병렬공진회로의 전달함수 $H(\omega)=\frac{V(\omega)}{I(\omega)}$는? (단, ω는 각주파수이다)



① $H(\omega)=\frac{R}{1+jR\sqrt{\frac{L}{C}}\left(\frac{\omega}{\sqrt{LC}}-\frac{\sqrt{LC}}{\omega}\right)}$
② $H(\omega)=\frac{R}{1+jR\sqrt{\frac{C}{L}}\left(\frac{\omega}{\sqrt{LC}}-\frac{\sqrt{LC}}{\omega}\right)}$
③ $H(\omega)=\frac{R}{1+jR\sqrt{\frac{C}{L}}\left(\omega\sqrt{LC}-\frac{1}{\omega\sqrt{LC}}\right)}$
④ $H(\omega)=\frac{R}{1+jR\sqrt{\frac{L}{C}}\left(\omega\sqrt{LC}-\frac{1}{\omega\sqrt{LC}}\right)}$

정답 3번

간단한 해설

병렬회로는 **각 가지의 어드미턴스를 더한 뒤 역수**를 취해 전체 임피던스를 구한다. 따라서 전압과 입력 전류의 비는 $H(\omega)=\frac{R}{1+jR\left(\omega C-\frac{1}{\omega L}\right)}$이며, 이를 선택지처럼 정리하면 된다.

계산 과정

회로 관계: 그림에서 저항 R, 인덕터 L, 커패시터 C는 같은 두 노드에 병렬로 연결되어 있다. 따라서 세 소자의 전압은 모두 $V(\omega)$이고, 입력 전류 $I(\omega)$는 각 가지 전류의 합이다. 구하려는 $H(\omega)=\frac{V(\omega)}{I(\omega)}$는 회로 전체의 임피던스이므로 단위는 Ω이다.

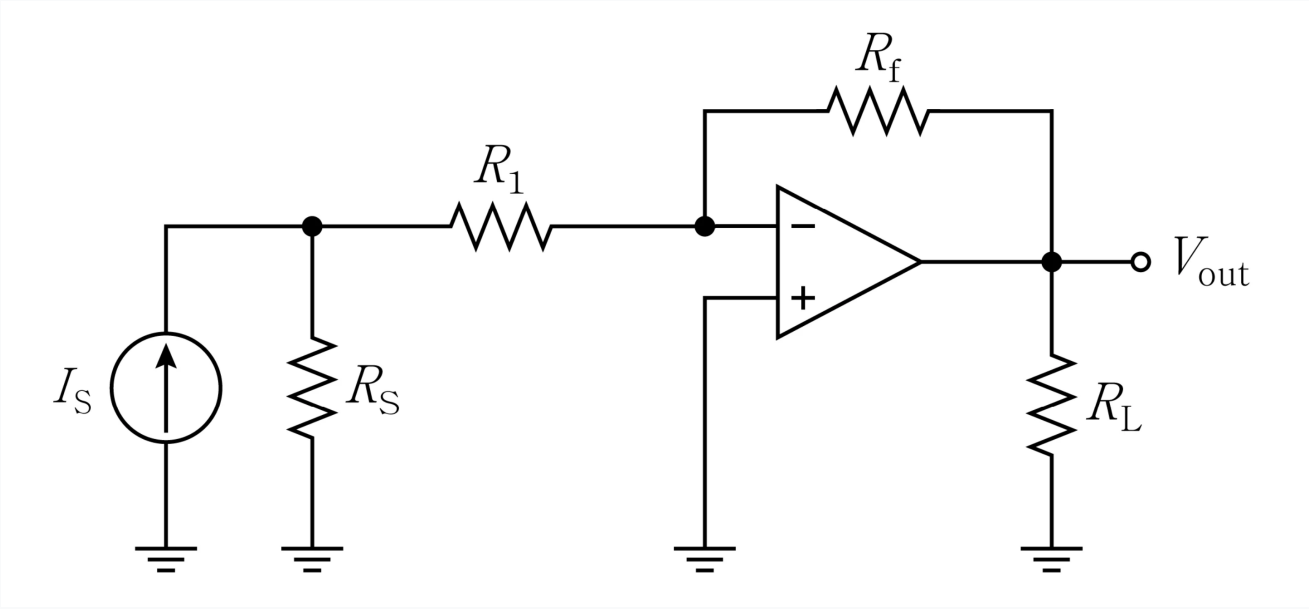
전체 어드미턴스: 정현파 정상상태에서 저항, 인덕터, 커패시터의 어드미턴스는 각각 $\frac{1}{R}$, $\frac{1}{j\omega L}$, $j\omega C$이다. 여기서 j는 $j^2=-1$인 허수 단위이다. **병렬 가지에는 같은 전압이 걸리므로** 각 어드미턴스를 더하면 $I(\omega)=Y(\omega)V(\omega)$가 된다. 따라서 $Y(\omega)=\frac{1}{R}+j\left(\omega C-\frac{1}{\omega L}\right)$이다. 괄호 안은 용량성 성분과 유도성 성분의 차이로, 두 성분의 부호가 반대이다.

전달함수: 전체 어드미턴스의 역수를 취하고 분자와 분모에 R을 곱하면 $H(\omega)=\frac{1}{Y(\omega)}=\frac{R}{1+jR\left(\omega C-\frac{1}{\omega L}\right)}$을 얻는다.

선택지 형태로 정리: 괄호 안에서 $\sqrt{\frac{C}{L}}$을 묶는다. $\omega C=\sqrt{\frac{C}{L}}\omega\sqrt{LC}$이고, $\frac{1}{\omega L}=\sqrt{\frac{C}{L}}\frac{1}{\omega\sqrt{LC}}$이므로 $H(\omega)=\frac{R}{1+jR\sqrt{\frac{C}{L}}\left(\omega\sqrt{LC}-\frac{1}{\omega\sqrt{LC}}\right)}$이다. 이 식은 ③의 표현과 일치한다.

NoteBase

문 10. 다음 연산증폭기 회로에서 $\frac{V_{out}}{I_S}$ [V/A]은? (단, $R_1 = 4$ [kΩ], $R_S = 2$ [kΩ], $R_f = 30$ [kΩ], $R_L = 6$ [kΩ]이고, 연산증폭기는 이상적이다)



① -1,500

② -5,000

③ -7,500

④ -10,000

정답 4번

간단한 해설

반전 입력이 **가상 접지**가 되므로 전류원 전류 중 $\frac{1}{3}$이 R_1을 거쳐 되먹임 저항으로 흐른다. 출력은 이 전류에 대해 반전되며, $\frac{V_{out}}{I_S} = -10,000$ V/A이다.

NoteBase

계산 과정

그림에서 비반전 입력(+)은 접지되어 있고, 출력은 R_f를 통해 반전 입력(−)으로 되먹임된다. 음의 되먹임이 걸린 이상적 연산증폭기의 두 입력 전압은 같으므로 반전 입력도 0 V인 **가상 접지**가 된다. 또한 두 입력 단자로 들어가는 전류는 0이다.

R_1을 왼쪽에서 오른쪽으로 흐르는 전류를 I_1이라 하자. 전류원 위쪽 노드에서 보면 R_S와 R_1의 반대쪽 끝은 모두 0 V이므로, I_S는 두 저항으로 나뉜다. 따라서 **전류 분배 법칙**에 의해 $I_1 = I_S \frac{R_S}{R_S + R_1}$이다. 두 저항의 단위를 kΩ으로 통일하여 대입하면 $I_1 = I_S \frac{2}{2+4} = \frac{I_S}{3}$이다. 이는 전류원 전류 중 반전 입력 쪽으로 흐르는 몫이다.

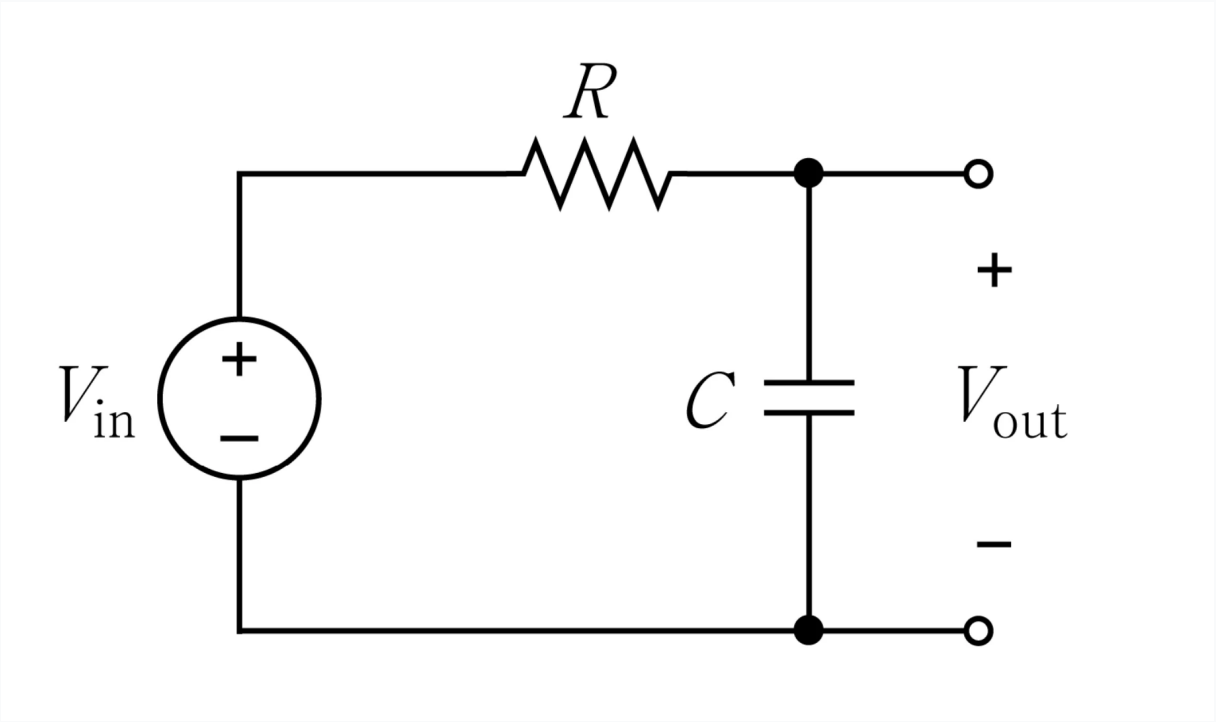
반전 입력 단자로는 전류가 들어가지 않으므로 I_1은 전부 R_f를 통해 출력 쪽으로 흐른다. 반전 입력의 전압이 0 V이므로 $I_1 = \frac{0 - V_{out}}{R_f}$, 즉 $V_{out} = -R_f I_1$이다. 음의 부호는 그림의 전류원 방향으로 전류가 공급될 때 **출력 전압이 음수**가 됨을 뜻한다.

부하 저항 $R_L = 6$ kΩ은 출력과 접지 사이에 연결되어 있다. 이상적 연산증폭기의 출력 저항은 0이므로, 부하에 필요한 전류를 공급하면서도 위에서 구한 출력 전압 관계를 유지한다. 따라서 이 계산에서 R_f와 R_L을 병렬 합성하지 않는다.

$I_1 = \frac{I_S}{3}$을 출력식에 대입하면 $\frac{V_{out}}{I_S} = -\frac{R_f}{3}$이다. $R_f = 30$ kΩ $= 30,000$ Ω이므로, 구하는 값은 $-\frac{30,000}{3} = -10,000$ V/A이다. 이는 ④의 −10,000과 일치한다.

NoteBase

문 11. 다음 직렬 RC 회로에 대한 설명으로 옳은 것은? (단, ω는 교류 입력전압의 각주파수이다)



① 저역통과 필터로 사용될 수 있다.

② 전압이득 $H(\omega) = \frac{V_{out}(\omega)}{V_{in}(\omega)} = \frac{1}{1 - j\frac{R}{\omega C}}$이다.

③ 교류 입력전압과 출력전압의 위상차는 $\tan^{-1}\left(\frac{\omega C}{R}\right)$이다.

④ 입력에 직류 전압 신호만 인가할 때 전압이득은 0이다.

정답 1번

간단한 해설

그림은 **커패시터 양단의 전압을 출력**으로 취한다. 주파수가 높아질수록 커패시터의 임피던스가 작아져 출력전압이 감소하므로, 낮은 주파수 성분을 통과시키는 **저역통과 필터**로 동작한다.

NoteBase

선지별 해설

① O: 출력 단자는 커패시터 양단에 연결되어 있다. 커패시터의 임피던스는 $Z_C = \frac{1}{j\omega C}$이므로 주파수가 낮을수록 그 크기가 커져 입력전압의 대부분이 커패시터에 걸린다. 반대로 주파수가 높아지면 임피던스의 크기가 작아져 출력전압이 감소한다. 따라서 **낮은 주파수는 통과시키고 높은 주파수는 감쇠**하는 저역통과 필터이다.

② X: 저항과 커패시터에 같은 전류가 흐르므로, **커패시터에 걸리는 전압의 분배비**로 전압이득을 구한다. 전압분배 법칙에 따라 $H(\omega) = \frac{Z_C}{R + Z_C}$이고, 커패시터의 임피던스를 대입하면 $H(\omega) = \frac{1}{1 + j\omega RC}$이다. 선지의 분모는 이 식과 다르다.

③ X: 전압이득의 위상은 출력전압의 위상에서 입력전압의 위상을 뺀 값이다. $H(\omega) = \frac{1}{1 + j\omega RC}$에서 분모의 위상이 $\tan^{-1}(\omega RC)$이므로, 전압이득의 위상은 $-\tan^{-1}(\omega RC)$이다. 즉, 출력전압은 입력전압보다 **위상이 늦으며**, 위상차의 크기는 $\tan^{-1}(\omega RC)$이다. 역탄젠트 안에는 선지의 비가 아니라 ωRC가 들어간다.

④ X: 직류 전압을 인가한 뒤 **충전이 끝난 정상상태**에서는 커패시터에 전류가 흐르지 않는다. 따라서 저항의 전압강하는 0이고, 커패시터 양단의 출력전압은 입력전압과 같아져 전압이득은 1이다. 직류를 인가한 직후의 충전 과도상태와 구별해야 한다.

NoteBase

문 12. 입력 X와 Y의 합 S(sum)와 캐리 C(carry)를 출력하는 반가산기 회로에서 출력 C와 S의 논리식은? (단, 입력 X와 Y는 1비트 2진 입력이다)

① $C = X + Y, S = X \oplus Y$

② $C = X \cdot Y, S = X \oplus Y$

③ $C = X \oplus Y, S = X + Y$

④ $C = X \oplus Y, S = X \cdot Y$

정답 2번

간단한 해설

반가산기의 캐리는 **두 입력이 모두 1일 때만** 발생하므로 AND로 구현한다. 합의 하위 비트는 **두 입력이 서로 다를 때만** 1이므로 XOR로 구현한다.

구성 요소별 해설

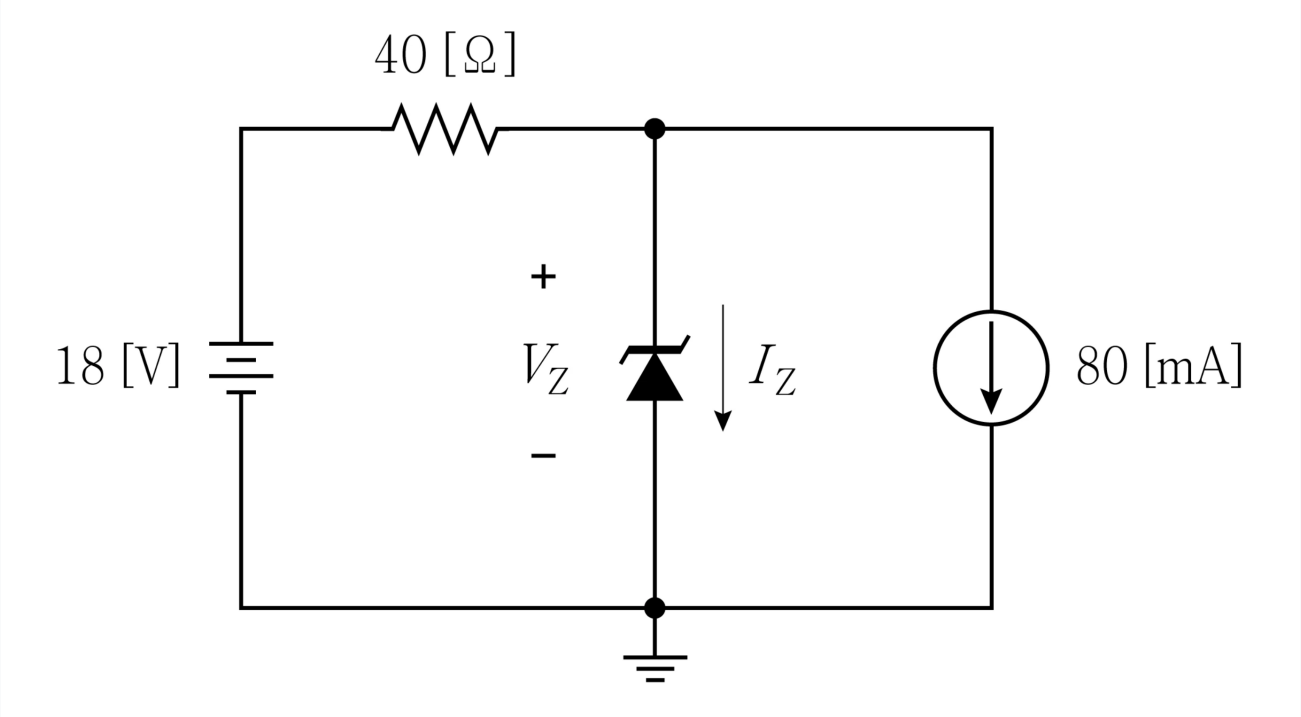
C(캐리): 두 1비트 입력을 더할 때 윗자리로 올라가는 비트이다. 입력이 모두 1이면 2진 덧셈 결과가 10이 되어 캐리는 1이고, 나머지 입력 조합에서는 캐리가 0이다. 따라서 캐리는 **두 입력이 모두 1일 때만 1**인 AND 연산으로 나타내며, 논리식은 $C = X \cdot Y$이다. 논리식의 $X + Y$는 OR 연산이므로 입력 중 하나만 1이어도 출력이 1이 되어 캐리의 조건과 맞지 않는다.

S(합): 덧셈 결과의 하위 비트이다. 두 입력이 모두 0이면 0이고, 하나만 1이면 1이며, 모두 1이면 결과 10의 하위 비트인 0이다. 따라서 합은 **두 입력이 서로 다를 때만 1**인 XOR 연산으로 나타내며, 논리식은 $S = X \oplus Y$이다. OR는 두 입력이 모두 1일 때도 1을 출력하고, AND는 하나만 1인 경우에 0을 출력하므로 합을 나타낼 수 없다.

캐리와 합의 논리식을 묶으면 $C = X \cdot Y, S = X \oplus Y$이며, 이는 ②의 조합과 일치한다.

NoteBase

문 13. 다음 정전압 회로의 제너다이오드에 흐르는 전류 I_Z [mA]는? (단, 제너다이오드는 이상적이고 제너전압 $V_Z = 8$ [V]이다)



① 40

② 80

③ 170

④ 450

정답 3번

간단한 해설

제너다이오드가 전압을 8 V로 유지하면 40 Ω 저항을 통해 250 mA가 공급된다. 이 중 오른쪽 전류원으로 흐르는 80 mA를 뺀 **170 mA가 제너다이오드에 흐른다**.

NoteBase

계산 과정

제너다이오드는 위쪽이 캐소드이고 아래쪽이 접지된 애노드이므로 역방향으로 연결되어 있다. **제너 항복 상태에서는 양단 전압이 8 V로 유지**되므로, 위쪽 접점의 전압을 8 V로 두고 계산한다.

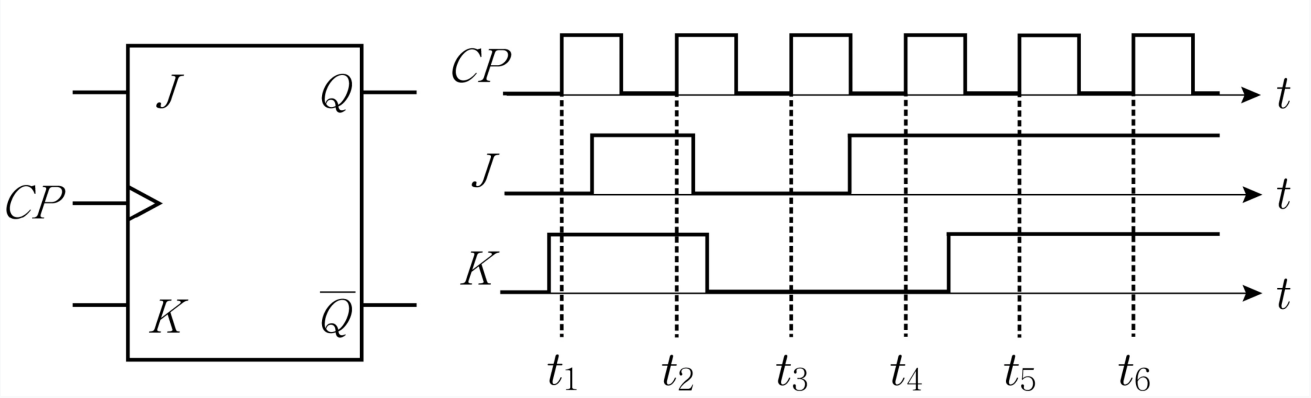
40 Ω 저항의 왼쪽 전압은 18 V, 오른쪽 전압은 8 V이므로 저항에 걸리는 전압은 18 − 8 = 10 V이다. 옴의 법칙으로 저항 전류를 구하면 $I_R = \frac{18-8}{40} = 0.25\text{A}$, 즉 250 mA이다. 이는 위쪽 접점으로 공급되어 두 가지로 나뉘는 전체 전류이다.

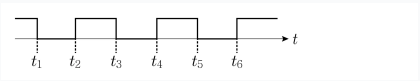
위쪽 접점에서 저항 전류는 제너다이오드 전류와 오른쪽 전류원의 80 mA로 나뉜다. 키르히호프 전류 법칙에 따라 $I_R = I_Z + 80\text{mA}$이므로, $I_Z = 250 - 80 = 170\text{mA}$이다. 계산값이 양수이므로 그림의 아래 방향으로 전류가 흐르며, 제너 항복 상태로 둔 조건에도 부합한다.

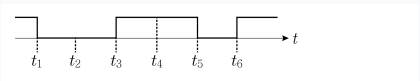
따라서 제너다이오드 전류는 170 mA로, ③의 값과 일치한다.

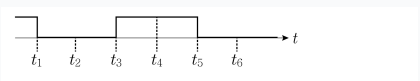
NoteBase

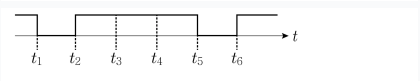
문 14. 다음 상승에지 JK 플립플롭 회로에서 입력신호 CP, J, K가 인가되었을 때 출력 Q는? (단, 출력 Q는 1로 초기화되어 있고, 게이트에서 전파지연은 없다고 가정한다)



① 

② 

③ 

④ 

정답 4번

간단한 해설

상승에지 JK 플립플롭은 **CP가 0에서 1로 바뀌는 순간**의 J·K에 따라 출력을 갱신한다. J = K = 1이면 이전 출력을 반전하므로, t_2에서 1이 된 Q는 t_3과 t_4에서도 1을 유지하다가 t_5에서 0, t_6에서 1로 바뀐다.

NoteBase

계산 과정

상승에지 JK 플립플롭은 각 상승에지에서 J·K를 읽어 다음 출력 Q를 결정한다. (J, K)가 (0, 0)이면 유지, (0, 1)이면 0으로 리셋, (1, 0)이면 1로 세트, (1, 1)이면 이전 출력의 반전이다. **상승에지 사이에서는 J·K가 변해도 Q를 유지**하며, 전파지연이 없으므로 출력 변화는 해당 상승에지와 동시에 일어난다. 초기 출력은 Q = 1이다.

t_1: J = 0, K = 1이므로 리셋된다. Q는 초기값 1에서 0으로 바뀐다.

t_2: J = 1, K = 1이므로 반전된다. 직전 Q가 0이므로 Q는 1이 된다.

t_3: J = 0, K = 0이므로 **직전 상태를 유지**한다. 따라서 Q는 계속 1이다.

t_4: J = 1, K = 0이므로 세트된다. Q는 이미 1이므로 파형에 변화가 없다.

t_5: J = 1, K = 1이므로 직전 Q = 1을 반전하여 Q = 0이 된다.

t_6: J = 1, K = 1이므로 직전 Q = 0을 반전하여 Q = 1이 된다. **J·K가 계속 1이어도 상승에지마다 한 번씩 반전**한다.

각 상승에지 직후의 Q는 차례로 0, 1, 1, 1, 0, 1이다. 따라서 초기에는 1이고, t_1에서 하강, t_2에서 상승, t_5에서 하강, t_6에서 상승하는 ④의 파형과 일치한다.

NoteBase

문 15. 바르크하우젠의 발진조건에 대한 설명으로 옳지 않은 것은? (단, $L(j\omega_0)$는 루프이득, ω_0는 발진주파수이다)

① $L(j\omega_0) = 0$을 만족하면서 발진한다.

② 기본증폭기의 입력신호와 귀환신호의 크기는 같아야 한다.

③ 기본증폭기의 입력신호와 귀환신호는 동일한 위상을 가져야 한다.

④ 외부의 입력신호 없이도 출력이 지속적으로 발생되는 발진 조건을 의미한다.

정답 1번

간단한 해설

일정한 진폭의 발진을 유지하려면 루프이득은 0이 아니라 $L(j\omega_0) = 1$이어야 한다. 신호가 회로를 한 바퀴 돌아왔을 때 **크기와 위상이 원래 입력신호와 같아야** 외부 입력신호 없이 발진을 지속할 수 있다.

선지별 해설

① X: 루프이득은 기본증폭기와 귀환회로를 거쳐 신호가 한 바퀴 돌아왔을 때의 이득이다. 일정한 진폭의 발진을 유지하는 조건은 $L(j\omega_0) = 0$이 아니라 $L(j\omega_0) = 1$이다. 루프이득이 0이면 되돌아오는 신호가 없어 발진을 유지할 수 없다.

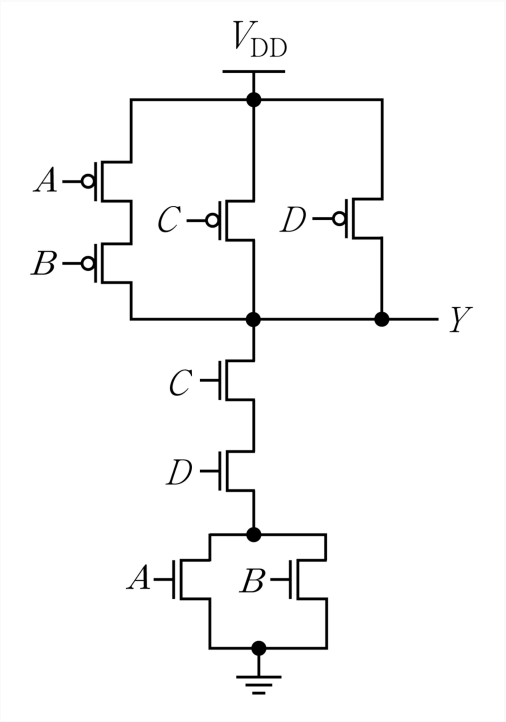
② O: 외부 입력신호 없이 같은 진폭을 유지하려면 귀환신호가 기본증폭기의 입력신호를 그대로 대신할 수 있어야 한다. 따라서 **입력신호와 귀환신호의 크기가 같아야** 하며, 이는 루프이득의 크기 조건인 $|L(j\omega_0)| = 1$에 해당한다.

③ O: 귀환신호가 원래 입력신호를 대신하려면 크기뿐 아니라 **위상도 같아야** 한다. 따라서 루프를 한 바퀴 도는 동안의 전체 위상변화는 0° 또는 360°의 정수배여야 한다. 기본증폭기와 귀환회로 각각의 위상변화가 아니라 두 회로를 합친 전체 위상변화를 판단한다.

④ O: 발진기는 출력의 일부를 입력으로 되돌리는 정귀환을 이용하여 **별도의 외부 입력신호 없이** 주기적인 출력을 유지한다. 다만 외부 입력신호가 필요 없다는 것이 전원도 필요 없다는 뜻은 아니다. 증폭기가 출력에 필요한 에너지를 공급하려면 직류 전원이 필요하다.

NoteBase

문 16. 다음 CMOS 논리 게이트의 논리식으로 옳은 것은?



① $Y = \overline{A} \cdot \overline{B} \cdot (\overline{C} + \overline{D})$

② $Y = (\overline{A} + \overline{B}) \cdot \overline{C} \cdot \overline{D}$

③ $Y = \overline{A} + \overline{B} + \overline{C} \cdot \overline{D}$

④ $Y = \overline{A} \cdot \overline{B} + \overline{C} + \overline{D}$

정답 4번

간단한 해설

상단 PMOS는 입력이 0일 때 켜지며, A·B 소자는 **직렬**이고 이 경로는 C, D 소자 각각의 경로와 **병렬**이다. 출력이 1이 되는 조건을 논리식으로 쓰면 $Y = \overline{A} \cdot \overline{B} + \overline{C} + \overline{D}$이다.

NoteBase

공통 해설

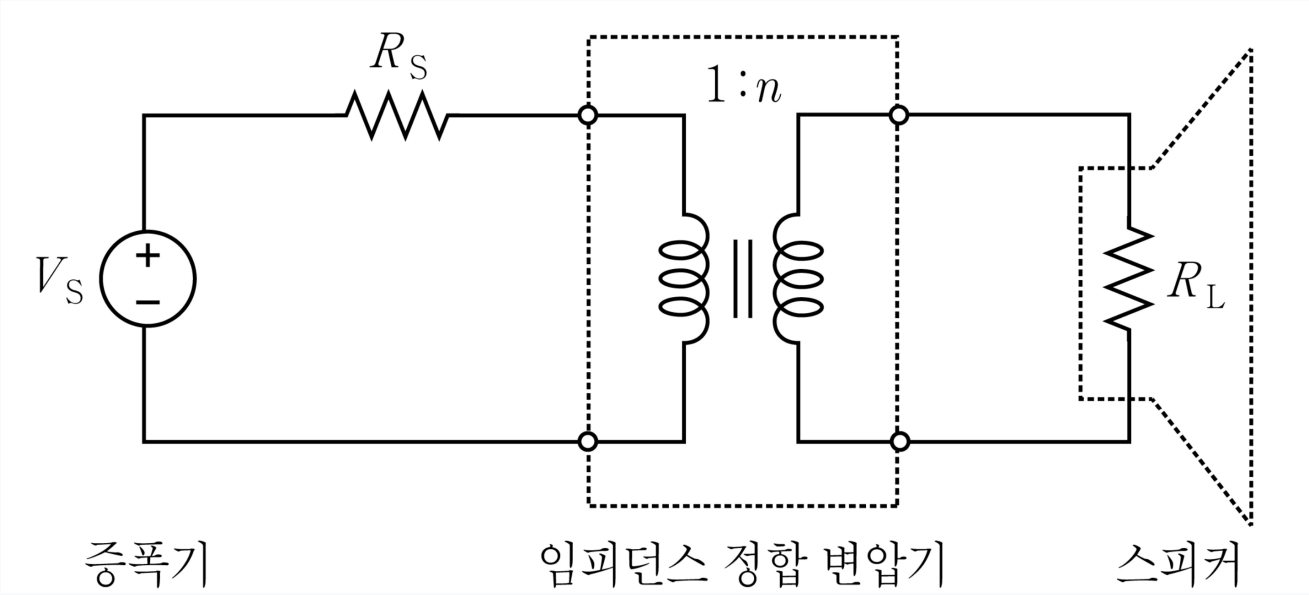
CMOS 논리 게이트에서 상단 PMOS망은 출력을 전원에 연결하여 논리값 1을 만든다. 게이트에 작은 원이 표시된 PMOS는 **입력이 0일 때 도통**하므로, 입력 A에 대한 도통 조건은 $\overline{A}$로 나타낸다. 직렬 경로는 모든 소자가 켜져야 연결되므로 AND인 곱으로, 병렬 경로는 어느 한 경로만 연결되어도 되므로 OR인 합으로 나타낸다.

그림의 상단에서 왼쪽 A와 B 소자는 직렬이므로 두 입력이 모두 0이어야 그 경로가 연결된다. 이 조건은 $\overline{A} \cdot \overline{B}$이다. 가운데 C 소자와 오른쪽 D 소자는 각각 전원과 출력 사이의 독립된 경로를 이루며, 왼쪽 직렬 경로와 병렬로 연결되어 있다. 따라서 C가 0이거나 D가 0인 경우에도 출력이 전원에 연결된다.

출력이 1이 되는 세 경로의 조건을 OR로 묶으면 $Y = \overline{A} \cdot \overline{B} + \overline{C} + \overline{D}$이다. 식에서 **A·B 경로 내부는 곱, 세 경로 사이는 합**으로 연결해야 그림의 직렬·병렬 관계가 보존된다.

NoteBase

문 17. 다음 스피커와 증폭기의 정합을 위한 이상적인 임피던스 정합 변압기 회로에서 스피커에 최대 전력 전달을 위한 권선수비(n)가 0.2라면, 스피커 내부 저항 R_L [Ω]은? (단, 증폭기 내부 저항 $R_S = 200$ [Ω]이다)



① 8

② 40

③ 1000

④ 5000

정답 1번

간단한 해설

최대 전력 전달을 위해서는 **증폭기 쪽으로 환산한 스피커 저항**이 증폭기 내부 저항과 같아야 한다. 그림의 권선수비가 1:n이므로 $R_L = n^2 R_S$이며, 스피커 저항은 8 Ω이다.

NoteBase

계산 과정

권선수비 확인: 그림에서 증폭기 쪽을 1차, 스피커 쪽을 2차로 두면 권선수비는 $N_1 : N_2 = 1 : n$이다. 따라서 $n = N_2/N_1 = 0.2$이며, 증폭기 내부 저항은 $R_S = 200\ \Omega$이다.

부하 저항 환산: 이상적인 변압기는 전압이 권선수에 비례하고 전류의 크기는 권선수에 반비례하므로, 저항은 **권선수비의 제곱**에 따라 환산된다. 1차에서 바라본 스피커의 등가 저항을 R_{in}이라 하면 $R_{\text{in}} = (N_1/N_2)^2 R_L$, 즉 $R_{\text{in}} = \frac{R_L}{n^2}$이다. 이는 실제 스피커 저항이 아니라 증폭기에 부하로 보이는 저항이다.

최대 전력 전달 조건: 이 회로는 저항성 부하이므로 **환산한 부하 저항과 전원 내부 저항이 같을 때** 부하에 전달되는 전력이 최대가 된다. 따라서 $R_{\text{in}} = R_S$이고, $\frac{R_L}{n^2} = R_S$를 정리하면 $R_L = n^2 R_S$이다. 변압기가 이상적이어서 전력 손실이 없으므로 이 조건은 스피커에 전달되는 전력도 최대가 되게 한다.

수치 대입: $R_L = (0.2)^2 \cdot 200 = 8\ \Omega$이다. 여기서 $n^2 = 0.04$는 스피커 저항이 정합에 필요한 1차 환산 저항 200 Ω의 0.04배임을 뜻한다. 구한 8 Ω은 ①의 값과 일치한다.

NoteBase

문 18. N 채널 MOSFET의 포화영역에서의 전류-전압 특성($I-V$ characteristics)은 $I_D=\frac{1}{2}k_n(V_{GS}-V_{tn})^2$일 때, 포화영역에서 N 채널 MOSFET의 소신호 등가회로의 전달컨덕턴스(transconductance) g_m은? (단, k_n은 전달컨덕턴스 파라미터, V_{tn}은 문턱전압이다)

① $\sqrt{k_nI_D}$
② $\frac{I_D}{V_{GS}-V_{tn}}$
③ $k_n(V_{GS}-V_{tn})$
④ $\frac{2k_n(V_{GS}-V_{tn})}{I_D}$

정답 3번

간단한 해설

전달컨덕턴스는 드레인 전류를 게이트-소스 전압으로 **미분한 값**이다. 주어진 제곱식을 미분하면 $g_m=k_n(V_{GS}-V_{tn})$이며, 단위는 S이다.

계산 과정

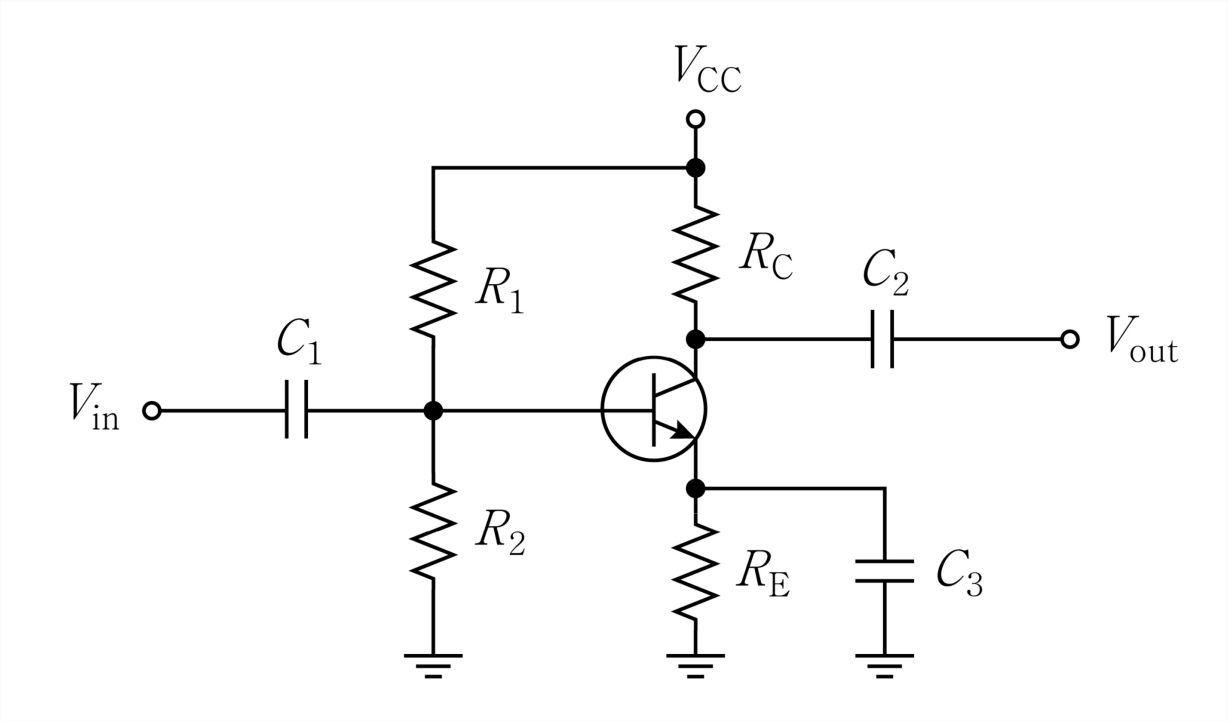
전달컨덕턴스 g_m은 동작점 부근에서 게이트-소스 전압의 작은 변화가 드레인 전류를 얼마나 변화시키는지 나타낸다. 드레인-소스 전압을 일정하게 두고 **동작점에서의 기울기**를 구하므로 $g_m=\frac{\partial I_D}{\partial V_{GS}}$이다.

주어진 포화영역 식은 $I_D=\frac{1}{2}k_n(V_{GS}-V_{tn})^2$이다. 여기서 k_n과 V_{tn}을 상수로 두고 V_{GS}에 대해 미분한다. 제곱항을 미분하면서 나오는 계수 2가 앞의 1/2과 상쇄되므로 $g_m=\frac{1}{2}k_n\cdot 2(V_{GS}-V_{tn})$이다.

따라서 $g_m=k_n(V_{GS}-V_{tn})$으로, ③의 식과 일치한다. $V_{GS}-V_{tn}$은 문턱전압을 초과한 게이트-소스 전압이며, 이 값이 클수록 주어진 모델에서 전달컨덕턴스도 커진다. 전류 변화량을 전압 변화량으로 나눈 값이므로 단위는 A/V, 즉 S이다.

NoteBase

문 19. 다음 BJT 증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, BJT는 활성영역에서 동작한다)



① R_C가 증가하면 중간주파수 대역의 전압이득이 증가한다.

② 바이패스 커패시터는 중간주파수 대역의 전압이득을 증가시킨다.

③ 중간주파수 대역에서 커패시터의 영향을 무시할 때 출력전압 V_{out}은 입력전압 V_{in}과 180°의 위상차가 난다.

④ 결합 커패시터와 바이패스 커패시터에 의해서 고주파 대역 응답특성과 상측 차단주파수가 결정된다.

정답 4번

간단한 해설

결합 커패시터와 바이패스 커패시터는 **저주파 응답과 하측 차단주파수**에 영향을 준다. 고주파 응답과 상측 차단주파수는 주로 BJT의 내부 커패시턴스와 배선 등의 기생 커패시턴스에 의해 결정된다.

NoteBase

선지별 해설

① O: 중간주파수 대역에서는 결합·바이패스 커패시터를 교류적으로 단락으로 근사한다. BJT의 출력저항을 무시하고 별도의 부하가 없는 그림의 회로에서 전압이득은 $A_v \approx -g_m R_C$이다. 여기서 g_m은 베이스−이미터 전압 변화에 따른 컬렉터 전류의 변화 정도인 트랜스컨덕턴스이다. 다른 조건이 같고 활성영역 동작이 유지되면, R_C가 커질수록 같은 전류 변화가 더 큰 출력전압 변화를 만들므로 **전압이득의 크기가 증가한다**. 음의 부호는 위상 반전을 뜻한다.

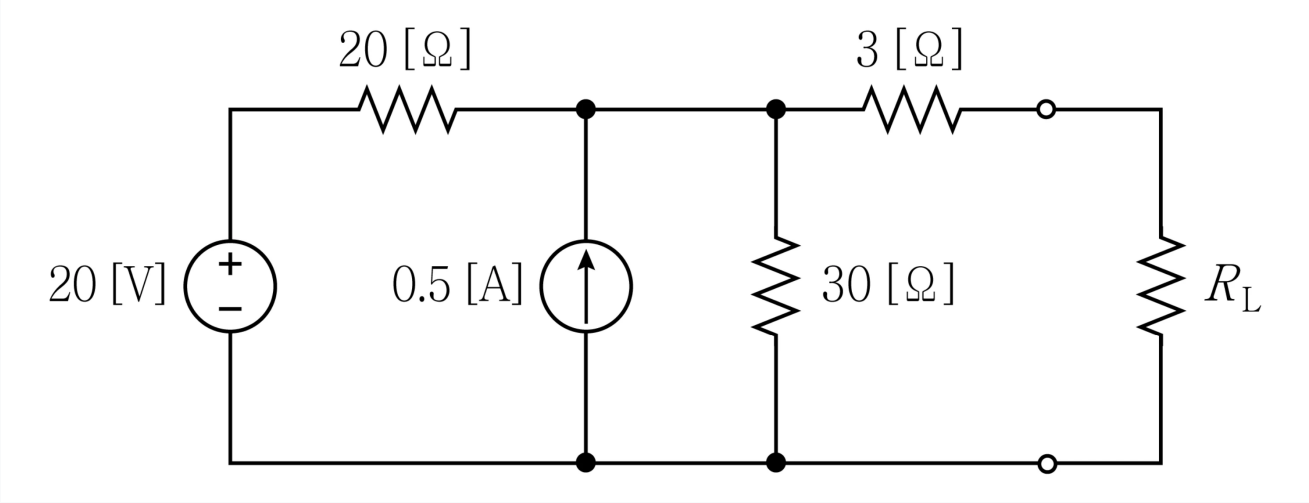
② O: 그림의 C_3는 이미터 저항 R_E와 병렬로 연결된 바이패스 커패시터이다. 이것이 없으면 이미터 전류 증가로 이미터 전압이 올라가 베이스−이미터 전압의 증가를 억제하는 부귀환이 생긴다. 중간주파수 대역에서 C_3가 교류 전류의 우회 경로를 제공하면 **이미터 저항에 의한 교류 부귀환이 줄어들어** 전압이득의 크기가 증가한다.

③ O: 입력은 베이스로 들어가고 출력은 컬렉터에서 나오는 공통 이미터 증폭기이다. 중간주파수 대역에서 입력전압이 증가하면 베이스−이미터 전압과 컬렉터 전류가 증가한다. 이에 따라 R_C의 전압강하가 커져 컬렉터 전압은 내려간다. 따라서 출력전압은 입력전압과 **180°의 위상차**를 갖는다.

④ X: 그림의 C_1, C_2는 직류를 차단하고 교류 신호를 전달하는 결합 커패시터이고, C_3는 이미터 저항을 교류적으로 우회시키는 바이패스 커패시터이다. 저주파에서는 이 커패시터들의 리액턴스가 커져 신호 전달이나 바이패스 작용이 약해지므로 전압이득이 감소한다. 따라서 이들은 **저주파 응답과 하측 차단주파수**를 결정하는 요소이다. 고주파 응답과 상측 차단주파수는 주로 BJT 내부의 접합 커패시턴스와 배선 등의 기생 커패시턴스에 의해 결정된다.

NoteBase

문 20. 다음 회로에서 부하 저항 R_L이 최대 전력 전달 조건을 만족하는 저항값을 가질 때, R_L에 전달되는 최대 전력[W]은?



① 5.4

② 6.5

③ 7.8

④ 12.3

정답 1번

간단한 해설

부하 저항이 **테브난 등가저항과 같을 때** 최대 전력이 전달된다. 이 회로의 등가전압은 18 V, 등가저항은 15 Ω이므로 부하에 전달되는 최대 전력은 5.4 W이다.

NoteBase

계산 과정

등가전압: 부하 R_L을 분리하고 아래쪽 공통선을 기준 전위 0 V로 둔다. 20 Ω, 30 Ω, 3 Ω이 만나는 위쪽 노드의 전압을 V_A라 하자. 부하가 개방되어 3 Ω에는 전류가 흐르지 않으므로, **부하 단자의 개방전압은 이 노드 전압과 같다**. 0.5 A 전류원이 노드로 전류를 공급하므로 키르히호프 전류법칙에 따라 $\frac{V_A-20}{20}+\frac{V_A}{30}=0.5$이다. 이를 풀면 $3(V_A-20)+2V_A=30$, $V_A=18\text{V}$이므로 테브난 등가전압은 $V_{\text{th}}=18\text{V}$이다.

등가저항: 부하를 분리한 상태에서 독립 **전압원은 단락하고 전류원은 개방**한다. 부하 단자에서 보면 20 Ω과 30 Ω이 병렬이고, 이 병렬저항에 3 Ω이 직렬로 연결된다. 따라서 $R_{\text{th}}=3+\frac{20\cdot 30}{20+30}=15\Omega$이다.

최대 전력 조건: 부하에서 본 회로는 18 V 전압원과 15 Ω 저항의 직렬회로로 바꿀 수 있다. 부하 전력은 $P_L=\frac{V_{\text{th}}^2 R_L}{(R_{\text{th}}+R_L)^2}$이며, 양의 저항으로 이루어진 이 회로에서는 **부하 저항과 등가저항이 같을 때** 최대가 된다. 따라서 $R_L=R_{\text{th}}=15\Omega$이다.

최대 전력 계산: 최대 전력 조건에서는 전원 전압이 등가저항과 부하에 똑같이 나뉘므로 부하 전압은 9 V이다. 따라서 $P_{\max}=\frac{V_{\text{th}}^2}{4R_{\text{th}}}=\frac{18^2}{4\cdot 15}=5.4\text{W}$이다. 계산값 5.4 W는 ①의 5.4에 해당한다.

NoteBase