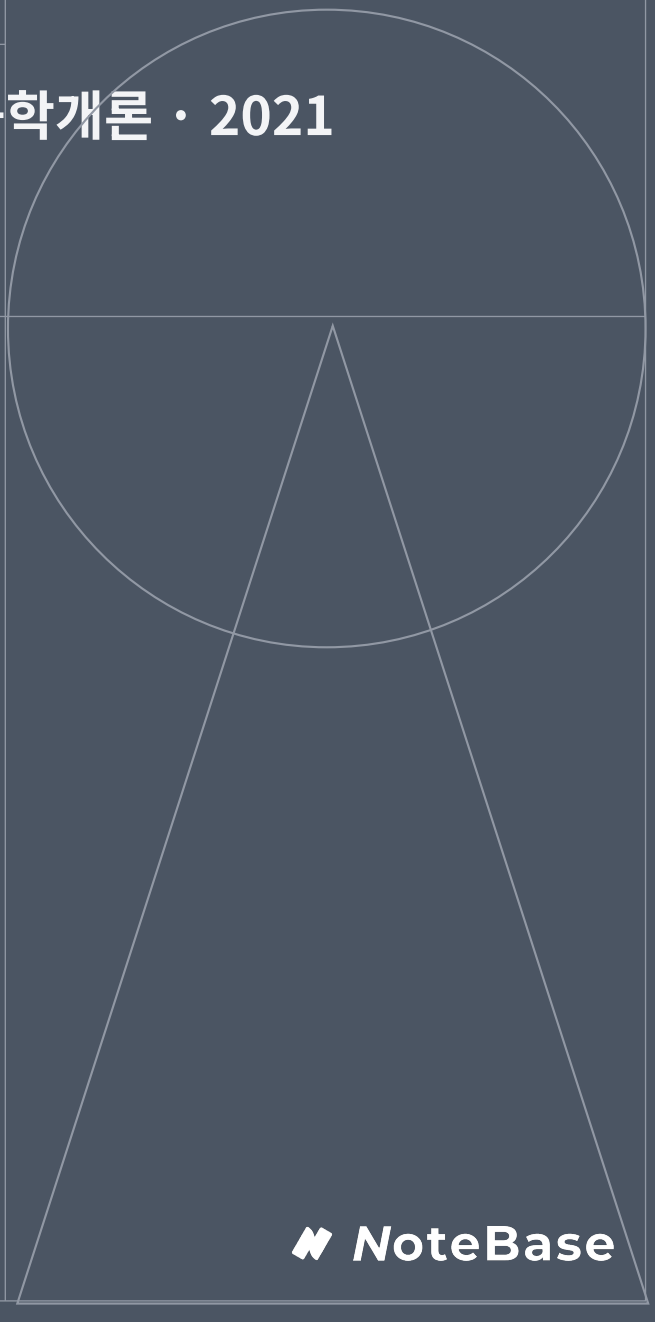
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2021



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2021

공무원/국가직/9급 · 전자공학개론 · 2021

문 1. 부울 대수식 F를 다음과 같이 등가변환할 때, 괄호에 들어갈 내용으로 옳은 것은?

$F = \overline{XZ} + XYZ + X\overline{Z} = XY + ()$

① Z

② $\overline{Z}$

③ 1

④ 0

정답 2번

간단한 해설

첫째 항과 셋째 항은 **보수항의 합이 1**이라는 성질로 $\overline{Z}$가 된다. 여기에 흡수 법칙을 적용하면 $F = XY + \overline{Z}$이므로 괄호에는 $\overline{Z}$가 들어간다.

계산 과정

X, Y, Z는 0 또는 1의 값을 갖는 부울 변수이다. 식에서 +는 OR, 변수의 곱은 AND, 윗줄은 NOT을 뜻한다.

먼저 첫째 항과 셋째 항에서 공통인 $\overline{Z}$를 묶는다. $\overline{XZ} + X\overline{Z} = (\overline{X} + X)\overline{Z}$이다. **변수와 그 보수의 OR는 항상 1**이므로 이 부분은 $1 \cdot \overline{Z} = \overline{Z}$로 간단해진다. 따라서 $F = \overline{Z} + XYZ$가 된다.

다음으로 **흡수 법칙** $A + \overline{A}B = A + B$를 적용한다. 여기서 $A = \overline{Z}, B = XY$로 놓으면 $\overline{Z} + XYZ = \overline{Z} + XY$이다. 이는 Z가 0이면 두 식 모두 1이고, Z가 1이면 두 식 모두 XY가 되기 때문이다.

결국 $F = XY + \overline{Z}$이므로 괄호에 들어갈 식은 $\overline{Z}$이며, ②와 일치한다.

NoteBase

문 2. 2의 보수를 활용한 2진수의 뺄셈 연산 수행 과정을 나타낸 다음의 식에서 A, B의 값으로 옳은 것은?

$0110110 - A = 0110110 + 1101001 = B$

① A: 0010111, B: 0011111

② A: 0010110, B: 0011111

③ A: 0010111, B: 0011011

④ A: 0010110, B: 0011011

정답 1번

간단한 해설

2의 보수는 **각 비트를 반전한 뒤 1을 더해** 구하므로, 1101001에 대응하는 A는 0010111이다. 두 수를 더한 뒤 **7비트 밖의 자리올림을 버리면** B는 0011111이 된다.

계산 과정

이 식은 7비트 2진수에서 A를 빼는 연산을 A의 2의 보수를 더하는 연산으로 바꾼 것이다.

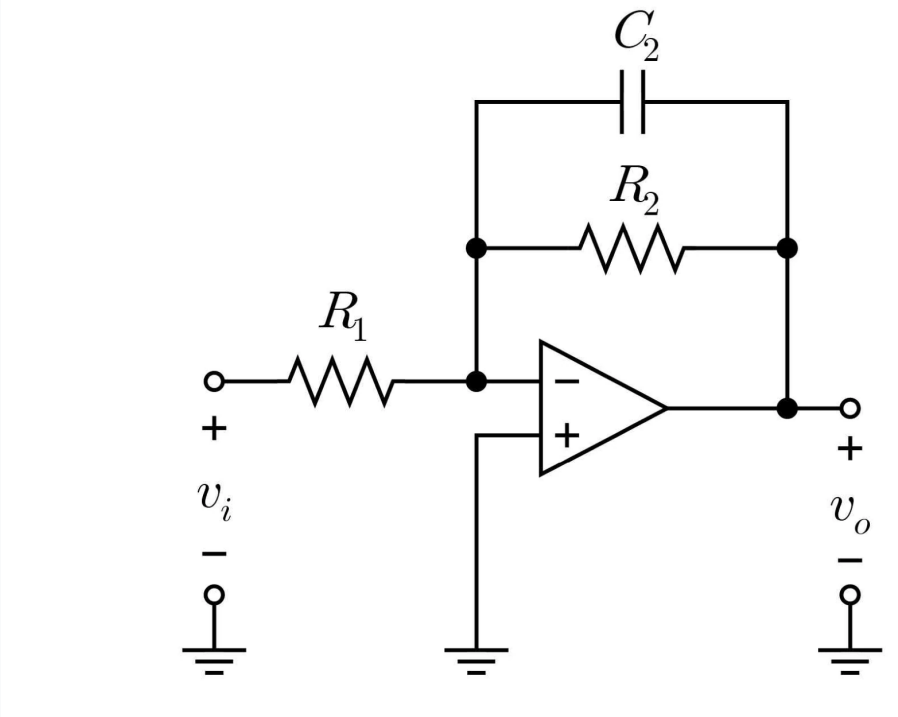
A 구하기: 뺄셈을 덧셈으로 바꾼 식에서 1101001은 A의 2의 보수이다. 같은 비트 수에서 2의 보수를 다시 취하면 원래 수를 얻는다. 1101001의 각 비트를 반전하면 0010110이고, 여기에 1을 더하면 0010111이므로 A = 0010111이다. **비트 반전만 한 값은 1의 보수**이므로, 2의 보수를 구할 때는 반드시 1을 더한다.

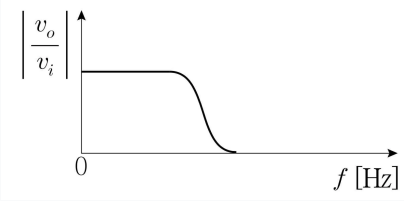
B 구하기: 주어진 수가 모두 7비트이므로 연산 결과도 7비트로 나타낸다. 0110110 + 1101001 = 10011111로, 합은 8비트가 된다. 2의 보수를 이용한 고정 비트 수의 뺄셈에서는 **최상위 비트 밖으로 발생한 자리올림을 버린다**. 따라서 맨 왼쪽의 1을 제외한 하위 7비트가 남아 B = 0011111이다.

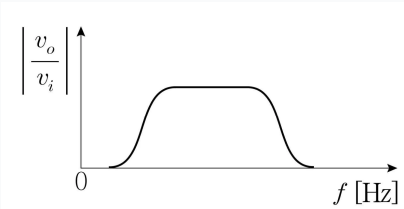
A = 0010111, B = 0011111이므로 ①의 값과 일치한다.

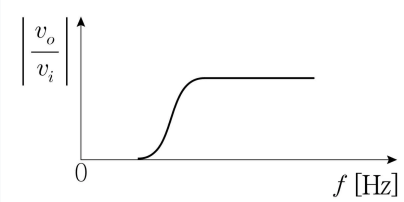
NoteBase

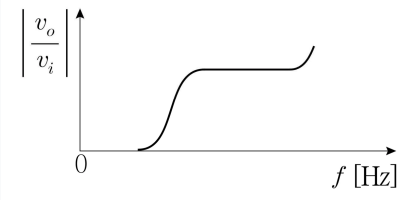
문 3. 다음 증폭기 회로의 주파수 응답 특성 곡선으로 옳은 것은? (단, 연산 증폭기는 이상적인 소자이다)



① 

② 

③ 

④ 

NoteBase

정답 1번

간단한 해설

되먹임 저항과 병렬인 커패시터는 주파수가 높아질수록 임피던스가 작아져 증폭기의 이득 크기를 낮춘다. 따라서 **저주파에서는 이득이 일정하고 고주파에서는 감소하는 저역통과 특성**을 보인다.

도식 해설

회로 연결: 입력은 R_1을 거쳐 반전 입력으로 들어가고, 비반전 입력은 접지되어 있다. 출력과 반전 입력 사이에는 R_2**와** C_2**가 병렬**로 연결되어 있다. 이상적인 연산 증폭기의 음의 되먹임 동작에서 반전 입력은 가상 접지이고 입력 단자로 전류가 흐르지 않으므로, 되먹임 임피던스를 Z_f라 하면 전압 이득은 $\frac{v_o}{v_i} = -\frac{Z_f}{R_1}$이다.

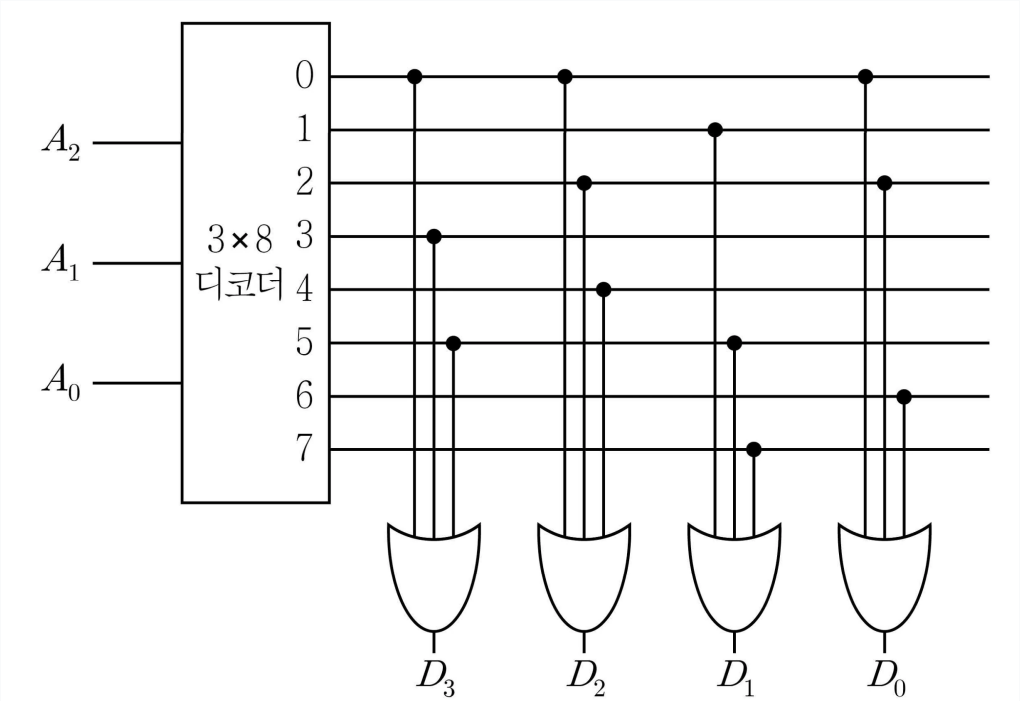
저주파 동작: 커패시터의 임피던스 크기는 $\frac{1}{2\pi f C_2}$이므로 주파수가 낮으면 커진다. 이때 커패시터 가지로 흐르는 전류는 작아지고, 되먹임 임피던스는 거의 R_2가 된다. 따라서 이득 크기는 $\frac{R_2}{R_1}$로 거의 일정하며, 직류에서도 0이 되지 않는다.

고주파 동작: 주파수가 높아지면 커패시터의 임피던스가 작아져 병렬 되먹임 임피던스도 작아진다. 이에 따라 **이득 크기가 감소**하고, 주파수가 무한히 커지면 0으로 접근한다. 이는 이상적인 연산 증폭기 자체의 대역폭 제한 때문이 아니라, 되먹임 경로에 있는 커패시터의 작용이다.

곡선 판독: 가로축은 주파수 f, 세로축은 전압 이득의 크기 $\left|\frac{v_o}{v_i}\right|$이다. 반전 증폭의 음의 부호는 위상 반전을 뜻하므로 이득 크기 그래프에는 나타나지 않는다. ①처럼 **저주파에서 수평으로 유지되다가 고주파에서 0으로 접근하는 곡선**이 이 회로에 해당한다. ②~④는 저주파 이득이 0에 가까운 모양이므로, 직류와 저주파에서도 유한한 이득을 갖는 이 회로의 특성과 맞지 않는다.

NoteBase

문 4. 3×8 디코더를 사용하는 ROM이 다음과 같을 때, 입력 데이터 $A_2A_1A_0$가 011로 주어지는 경우 출력 데이터 $D_3D_2D_1D_0$로 옳은 것은? (단, A_2가 MSB이고, A_0는 LSB이다)



① 0001

② 1000

③ 0000

④ 1111

정답 2번

간단한 해설

입력 011은 디코더의 **3번 출력선만 1**로 만든다. 그림에서 이 선은 D_3의 OR 게이트에만 연결되므로 출력 데이터는 **1000**이다.

NoteBase

계산 과정

입력 해석: A_2가 MSB이고 A_0가 LSB이므로 각 비트의 자릿값은 차례로 4, 2, 1이다. 입력 011의 값은 $0\times4 + 1\times2 + 1\times1 = 3$이다. 따라서 3×8 디코더의 3번 출력선은 1이고, 나머지 출력선은 모두 0이다.

연결 판독: 그림의 **검은 점이 있는 교차점**은 전기적으로 연결된 곳이다. 각 OR 게이트는 연결된 디코더 출력 중 하나라도 1이면 1을 출력한다. 선이 교차하더라도 검은 점이 없으면 연결된 것이 아니다.

D_3: 디코더의 0번·3번·5번 출력선에 연결되어 있다. 이 중 3번 출력선이 1이므로 $D_3 = 1$이다.

D_2: 디코더의 0번·2번·4번 출력선에 연결되어 있다. 이들은 모두 0이므로 $D_2 = 0$이다.

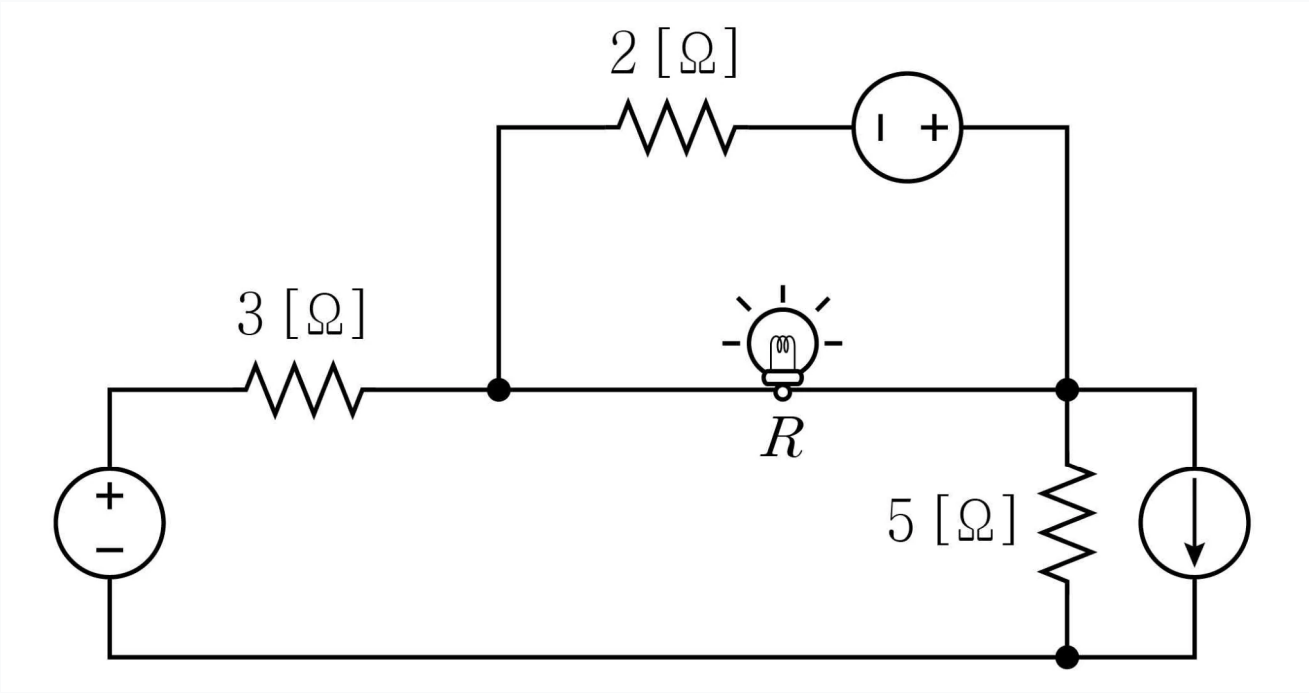
D_1: 디코더의 1번·5번·7번 출력선에 연결되어 있다. 이들은 모두 0이므로 $D_1 = 0$이다.

D_0: 디코더의 0번·2번·6번 출력선에 연결되어 있다. 이들은 모두 0이므로 $D_0 = 0$이다.

출력을 문제에서 지정한 $D_3D_2D_1D_0$ 순서로 나열하면 1000이며, ②의 값과 일치한다.

NoteBase

문 5. 다음 회로에서 전구에 최대 전력을 전달하기 위한 저항 R [Ω]은?



① 1.0

② 1.6

③ 2.5

④ 10.0

정답 2번

간단한 해설

전구에 최대 전력이 전달되려면 **전구 저항이 전구 단자에서 본 테브난 저항과 같아야 한다**. 전압원을 단락하고 전류원을 개방하면 2 Ω과 (3 + 5) Ω이 병렬로 연결되므로, 그 저항값은 1.6 Ω이다.

NoteBase

계산 과정

전구를 부하 저항 R로 보고, 전구를 제외한 회로를 테브난 전압 V_{th}와 테브난 저항 R_{th}의 직렬회로로 바꾼다. 이때 전구의 소비전력은 $P = \frac{V_{\text{th}}^2 R}{(R_{\text{th}} + R)^2}$이며, 최대 전력 전달 조건은 $R = R_{\text{th}}$이다. 따라서 이 문제에서는 전원의 크기를 구할 필요 없이 전구 단자에서 본 등가저항을 계산하면 된다.

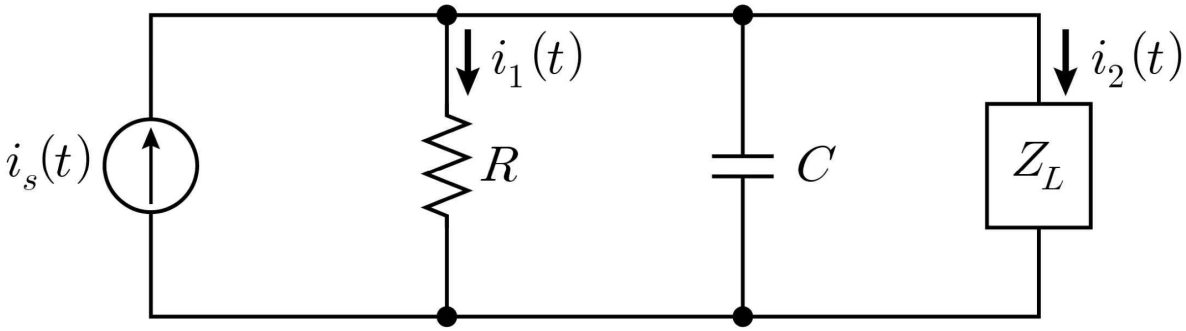
테브난 저항을 구할 때는 전구를 분리하고 **독립 전압원은 단락, 독립 전류원은 개방**한다. 위쪽 전압원이 단락되면 2 Ω 저항이 전구의 양 단자 사이에 직접 연결된다. 왼쪽 전압원을 단락하고 오른쪽 전류원을 개방하면, 전구의 왼쪽 단자에서 아래쪽 도선을 거쳐 오른쪽 단자로 이어지는 경로에는 3 Ω과 5 Ω만 남아 직렬로 연결된다. 이 경로의 저항은 3 + 5 = 8 Ω이다.

따라서 전구 단자 사이에는 **2 Ω과 8 Ω의 두 경로가 병렬**로 연결된다. 테브난 저항은 $R_{\text{th}} = \frac{2 \cdot 8}{2 + 8} = 1.6\Omega$이다.

최대 전력 전달 조건을 적용하면 전구 저항은 R = 1.6 Ω이며, 선택지 ②의 값과 일치한다.

NoteBase

문 6. 입력신호 $i_s(t) = 120\sin(10^6 t)$ [A]를 인가하여 부하 임피던스 Z_L에 최대 전력이 전달되도록 다음과 같은 회로를 구성할 때, 옳지 않은 것은? (단, $R = \frac{1}{3}$ [Ω], $C = 4$ [μF]이다)



① $i_1(t)$와 $i_2(t)$의 위상이 서로 다르다.

② 회로가 테브닌(Thevenin) 등가회로로 표현될 때, Z_L이 테브닌 임피던스의 켤레복소수와 같으면 최대 전력이 전달된다.

③ $Z_L = \frac{3}{25} + j\frac{4}{25}$ [Ω]이다.

④ Z_L에 전달되는 최대 평균전력은 300 [W]이다.

정답 4번

간단한 해설

켤레정합 상태에서 부하 전압의 최댓값은 20 V이며, 평균전력은 **전압의 실효값**을 기준으로 계산한다. 부하 어드미턴스의 실수부가 3 S이므로 최대 평균전력은 $\frac{20^2}{2} \cdot 3 = 600$W이다.

NoteBase

선지별 해설

그림에서 저항, 커패시터, 부하는 병렬로 연결되어 같은 전압이 걸린다. 입력의 각주파수는 $\omega = 10^6 \text{rad/s}$이고, 커패시터의 어드미턴스는 $j\omega C = j4\text{S}$이다. 부하를 분리하고 독립 전류원을 개방하면 부하 단자에서 본 테브닌 임피던스는 $Z_{\text{Th}} = \frac{1}{1/R + j\omega C} = \frac{1}{3 + j4} = \frac{3 - j4}{25}\Omega$이다.

① O: 최대 전력 조건에서 부하 임피던스는 $Z_L = \frac{3 + j4}{25}\Omega$로 유도성이다. 저항 전류 $i_1(t)$는 공통 전압과 동상인 반면, 부하 전류 $i_2(t)$는 그 전압보다 $\tan^{-1}(4/3)$, 약 $53.1°$ 늦는다. 따라서 두 전류의 **위상은 서로 다르다**.

② O: 테브닌 임피던스를 $Z_{\text{Th}} = R_{\text{Th}} + jX_{\text{Th}}$라 하면, 부하의 평균전력은 부하 리액턴스가 $-X_{\text{Th}}$여서 전체 리액턴스가 상쇄되고, 부하 저항이 R_{Th}와 같을 때 최대가 된다. 즉, 부하 임피던스가 테브닌 임피던스의 **켤레복소수**인 $Z_L = Z_{\text{Th}}^*$가 최대 전력 전달 조건이다.

③ O: 이 회로의 테브닌 임피던스는 $Z_{\text{Th}} = \frac{3}{25} - j\frac{4}{25}\Omega$이다. 켤레정합을 위해 **저항 성분은 같게, 리액턴스 성분은 반대 부호로** 정하면 $Z_L = \frac{3}{25} + j\frac{4}{25}\Omega$가 된다.

④ X: 켤레정합 상태에서 부하 어드미턴스는 $Y_L = \frac{1}{Z_L} = 3 - j4\text{S}$이다. 이를 저항·커패시터의 어드미턴스와 더하면 $Y_{\text{total}} = (3 + j4) + (3 - j4) = 6\text{S}$로 허수부가 상쇄된다. 입력 전류의 최댓값이 120 A이므로 부하 전압의 최댓값은 $V_m = \frac{120}{6} = 20\text{V}$, 실효값은 $V_{\text{rms}} = \frac{20}{\sqrt{2}}\text{V}$이다. 평균전력은 어드미턴스의 실수부에서 소비되므로 $P_{L,\,\max} = V_{\text{rms}}^2 \text{Re}(Y_L) = \frac{20^2}{2} \cdot 3 = 600\text{W}$이다. 따라서 300 W를 **600 W**로 고쳐야 한다.

NoteBase

문 7. 발진기에 대한 설명으로 옳지 않은 것은?

① 윈 브릿지 발진기는 부귀환회로와 정귀환회로를 모두 포함한다.

② 콜피츠 발진기와 하틀리 발진기는 모두 정귀환회로를 포함한다.

③ 하틀리 발진기의 귀환율은 용량성(C) 소자에 의해 결정된다.

④ 수정 발진기는 다른 발진기에 비해 Q값이 상대적으로 크다.

정답 3번

간단한 해설

하틀리 발진기는 코일에서 전압을 나누어 귀환하므로, 귀환율은 **유도성(L) 소자의 비**에 의해 결정된다.
용량성(C) 소자의 비로 귀환율을 정하는 것은 콜피츠 발진기이다.

선지별 해설

① O: 윈 브릿지 발진기는 RC 회로를 통한 정귀환과 저항 회로를 통한 부귀환을 함께 사용한다. **정귀환은 발진을 유지**하고, 부귀환은 증폭기의 이득을 조절하여 발진 조건을 맞추는 역할을 한다.

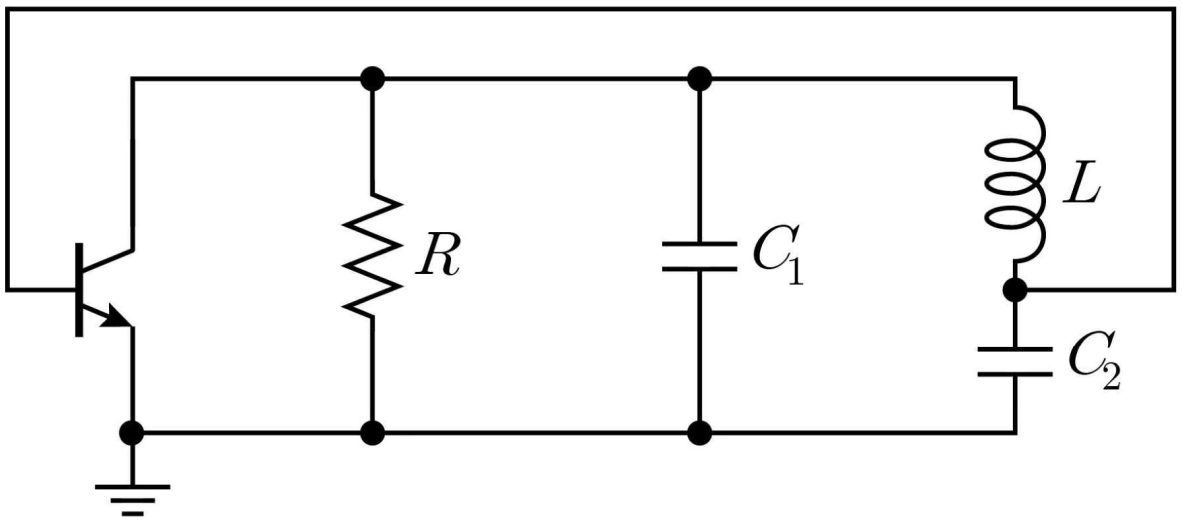
② O: 콜피츠 발진기와 하틀리 발진기는 모두 LC 공진회로와 증폭기를 이용하며, 출력의 일부를 입력으로 되돌리는 **정귀환**으로 회로의 손실을 보충하여 발진을 유지한다. 콜피츠는 두 커패시터에서 나눈 전압을, 하틀리는 두 코일 또는 탭이 있는 코일에서 나눈 전압을 귀환에 이용한다.

③ X: 하틀리 발진기의 귀환율은 **유도성(L) 소자의 인덕턴스 비** 또는 코일의 탭 위치에 의해 결정된다. 귀환율은 출력 중 입력으로 되돌리는 신호의 비율이며, 하틀리는 코일에서 전압을 나누므로 이 비율을 코일 쪽에서 정한다. '용량성(C) 소자'는 '유도성(L) 소자'로 고쳐야 한다. 두 커패시터의 정전용량 비로 귀환율을 정하는 것은 콜피츠 발진기이다.

④ O: 수정 발진기에 쓰이는 수정 진동자는 일반적인 LC 공진회로보다 Q값이 크다. Q는 저장된 에너지에 비해 한 주기 동안 잃는 에너지가 얼마나 작은지를 나타내는 척도이다. Q가 크면 **공진의 주파수 선택성이 높아** 특정 주파수에서 안정적으로 발진하기 유리하다.

NoteBase

문 8. 다음 발진회로에 대한 설명으로 옳지 않은 것은? (단, $L = 5[\mu H]$, $C_1 = C_2 = 1[nF]$, $R = 1[k\Omega]$이고, 트랜지스터의 내부 커패시터 용량과 입력저항은 무시한다)



① 콜피츠 발진기이다.

② 발진 주파수는 $\frac{1}{2\pi\sqrt{(C_1 + C_2)L}}$이다.

③ 발진 주파수에서 발진을 지속하기 위해 필요한 트랜지스터의 전달컨덕턴스(g_m)는 1 [mA/V]이다.

④ 발진 조건을 만족하는 전달컨덕턴스(g_m)는 저항(R)이 커질수록 작아진다.

정답 2번

간단한 해설

②는 공진에 쓰이는 용량을 잘못 나타냈다. 두 커패시터는 **직렬 등가용량** $C_{eq} = \frac{C_1 C_2}{C_1 + C_2}$으로 작용하므로, 발진 주파수는 $f_0 = \frac{1}{2\pi\sqrt{LC_{eq}}}$이다.

NoteBase

선지별 해설

① O: 그림에서 인덕터 L의 양단은 각각 컬렉터와 베이스에 연결되고, C_1과 C_2의 공통 접점은 접지되어 있다. 이처럼 두 커패시터로 전압을 나누어 되먹임하는 **용량 분할형 LC 발진기**가 콜피츠 발진기이다.

② X: 인덕터 양단에서 보면 두 커패시터는 공통 접점을 거쳐 직렬로 이어지므로, 공진에 쓰이는 용량은 **단순 합이 아닌 직렬 등가용량**이다. 따라서 $C_{\text{eq}} = \frac{C_1 C_2}{C_1 + C_2}$이고, 발진 주파수는 $f_0 = \frac{1}{2\pi\sqrt{LC_{\text{eq}}}}$이다. 주어진 값으로는 $C_{\text{eq}} = \frac{1 \cdot 1}{1+1}$ nF이므로 0.5 nF이다. 여기에 L = 5 μH를 적용하면 발진 주파수는 약 3.18 MHz이다. 선지의 $C_1 + C_2$를 $\frac{C_1 C_2}{C_1 + C_2}$로 고쳐야 한다.

③ O: 전달컨덕턴스 g_m는 베이스–이미터 전압 변화에 대한 컬렉터 전류 변화의 비이다. 이 회로의 공진 주파수에서 증폭 이득의 크기는 $g_m R$, 되먹임 비의 크기는 $\frac{C_1}{C_2}$이다. **한 바퀴를 돈 신호의 크기가 유지**되려면 $g_m R \frac{C_1}{C_2} = 1$이어야 하므로, $g_m = \frac{C_2}{RC_1}$이다. 두 커패시터의 용량이 같고 R = 1 kΩ이므로 $g_m = \frac{1}{1000}$ A/V, 즉 1 mA/V이다. 이는 일정한 진폭으로 발진을 지속하는 조건이며, 작은 신호가 커지면서 발진을 시작하려면 루프 이득이 1보다 커야 한다.

④ O: 발진 지속에 필요한 전달컨덕턴스는 $g_m = \frac{C_2}{RC_1}$이므로, 두 커패시터의 용량이 일정하면 **R에 반비례**한다. 저항이 커지면 같은 전압에서 저항으로 소모되는 전력이 줄어들어, 손실을 보충하는 데 필요한 전달컨덕턴스도 작아진다.

NoteBase

문 9. FSK(Frequency Shift Keying)에 대한 설명으로 옳지 않은 것은?

① 비동기 복조(non-coherent demodulation) 방식을 사용할 수 있어 PSK(Phase Shift Keying)보다 수신기 구현이 간단하다.

② FSK는 진폭이 일정한 변조 방식이므로 채널에 의한 진폭 변화에 둔감하다.

③ 동기 복조(coherent demodulation) 방식을 사용할 때, FSK의 비트오율(BER)이 PSK의 비트오율보다 낮다.

④ 동일한 정보 신호를 전송할 때, AM(Amplitude Modulation)보다 넓은 주파수 대역폭을 점유한다.

정답 3번

간단한 해설

③의 'FSK의 비트오율이 PSK보다 낮다'는 관계가 반대이다. 같은 비트 에너지와 백색 가우스 잡음 조건에서 동기 복조하면, **직교 이진 FSK의 비트오율이 BPSK보다 높다**.

선지별 해설

① O: FSK는 비트에 따라 서로 다른 주파수를 사용하므로, 각 주파수 성분의 에너지를 비교하는 비동기 복조가 가능하다. 이때 **반송파의 위상 동기가 필요하지 않아**, 위상 기준을 복원해야 하는 일반적인 동기 PSK 수신기보다 구현이 간단하다.

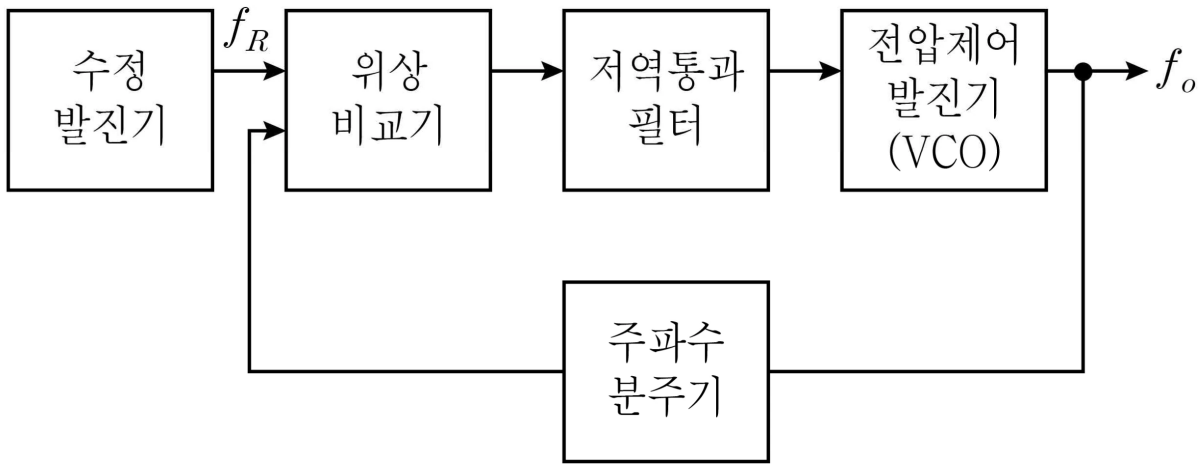
② O: FSK는 진폭을 일정하게 유지하면서 주파수로 정보를 전달한다. 따라서 채널에서 진폭이 다소 변해도 주파수 구별이 유지되면 정보를 복원할 수 있고, 진폭 제한기로 진폭 변동을 줄일 수도 있다. 이는 **진폭 변화에 상대적으로 둔감하다**는 뜻이며, 신호가 크게 감쇠되어도 오류가 생기지 않는다는 뜻은 아니다.

③ X: 동일한 비트 에너지와 백색 가우스 잡음 조건에서 동기 직교 이진 FSK의 BER은 BPSK보다 높다. 비트 에너지를 E_b, 잡음 전력 스펙트럼 밀도를 N_0라 하면, FSK는 $P_b = Q(\sqrt{E_b/N_0})$, BPSK는 $P_b = Q(\sqrt{2E_b/N_0})$ 이다. $Q(x)$는 표준정규분포의 값이 x보다 클 확률로, x가 커질수록 감소한다. 따라서 같은 조건에서는 **BPSK의 BER이 더 낮다**. BPSK는 두 비트를 반대 위상의 신호로 나타내므로, 같은 에너지의 직교 FSK보다 두 신호 사이의 거리가 커 잡음에 의한 오판이 적다.

④ O: 일반적인 AM은 한 반송파를 중심으로 정보 신호의 상·하측파대가 생긴다. FSK는 서로 다른 주파수 사이를 전환하므로, 각 주파수 주변의 스펙트럼뿐 아니라 **두 주파수 사이의 간격**까지 포함해야 한다. 따라서 동일한 정보 신호를 보내는 통상적인 비교에서는 AM보다 넓은 대역폭이 필요하다. 실제 점유 대역폭은 주파수 간격과 펄스 성형 등에 따라 달라진다.

NoteBase

문 10. 다음 블록도를 갖는 위상동기회로(PLL, Phase-Locked Loop)에 대한 설명으로 옳은 것은?



① 위상동기회로에 의해 발생되는 주파수 f_o는 수정 발진기(crystal reference oscillator) 주파수 f_R과 동일하다.

② 주파수가 f_o인 신호가 N분주의 주파수 분주기에 입력되면 주파수가 Nf_o로 높아진 신호로 출력된다.

③ 위상비교기(phase comparator)는 주파수 분주기의 출력신호와 수정 발진기 기준신호의 크기와 위상을 비교하여 두 신호의 크기와 위상이 같을 때만 신호를 출력한다.

④ 전압제어발진기(VCO)의 발진주파수 f_o는 저역통과필터에서 출력되는 전압에 의해 결정되며, 발진기의 위상잡음이 작을수록 안정된 발진주파수를 얻을 수 있다.

정답 4번

간단한 해설

VCO의 발진주파수는 **저역통과필터가 공급하는 제어전압**에 따라 조절된다. 위상잡음이 작으면 신호의 위상이 불규칙하게 흔들리는 정도가 줄어들어 발진 신호의 단기 안정성이 좋아진다.

NoteBase

선지별 해설

① X: 블록도에서는 VCO의 출력이 주파수 분주기를 거쳐 위상비교기로 되돌아간다. 분주비를 N이라 하면, 동기된 상태에서 기준주파수와 같아지는 것은 **분주기 출력주파수**이므로 $\frac{f_o}{N} = f_R$이고 $f_o = Nf_R$이다. 출력주파수 자체가 기준주파수와 같은 것은 $N = 1$인 경우이다.

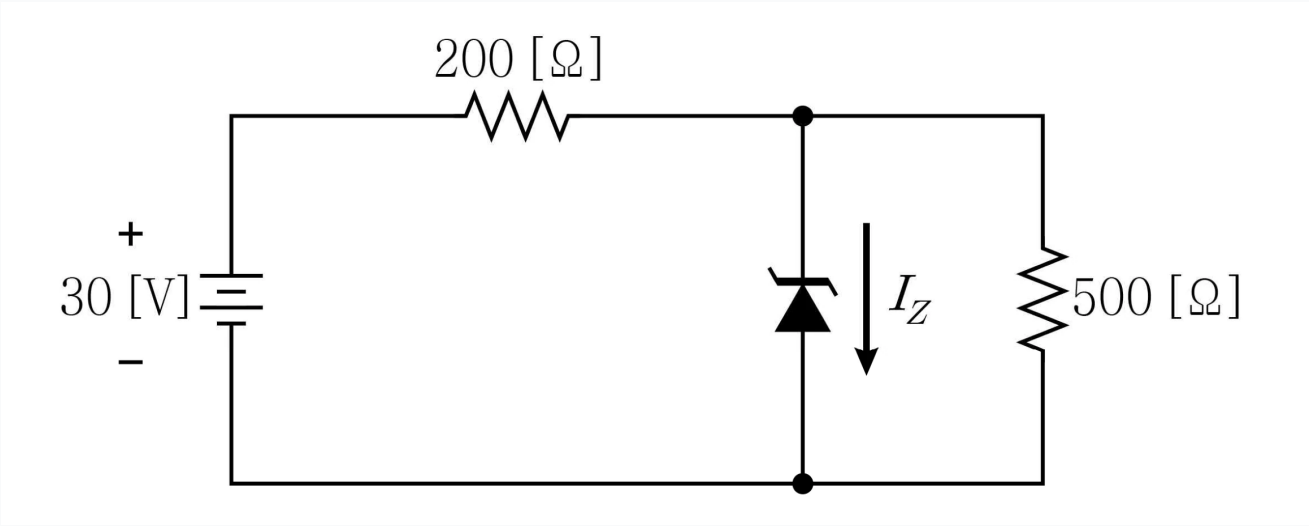
② X: N분주는 입력 신호의 주기 N개마다 출력 신호가 한 주기를 이루도록 하는 동작이다. 따라서 출력주파수는 Nf_o로 높아지는 것이 아니라 **입력주파수의 1/N로 낮아져** $\frac{f_o}{N}$이 된다.

③ X: 위상비교기는 기준신호와 분주기 출력신호의 **위상차에 따른 오차신호**를 출력한다. 이 오차신호가 필터를 거쳐 VCO의 주파수를 조절함으로써 위상차가 일정하게 유지되도록 한다. 두 신호의 크기와 위상이 같을 때만 신호를 출력하는 장치가 아니며, 위상차가 있을 때도 이를 보정하기 위한 신호를 출력한다.

④ O: 블록도에서 저역통과필터의 출력은 VCO의 입력으로 연결되어 있다. 필터는 위상비교기 출력의 고주파 성분을 줄여 제어전압을 만들고, VCO는 **제어전압에 따라 발진주파수를 조절**한다. 위상잡음은 발진 신호의 위상이 불규칙하게 변동하는 현상이므로, 다른 조건이 같다면 위상잡음이 작을수록 단기적인 위상·주파수 변동이 줄어 더 안정된 발진 신호를 얻을 수 있다.

NoteBase

문 11. 다음 회로에서 제너다이오드에 흐르는 전류 I_Z[mA]는? (단, 제너전압은 20 [V]이다)



① 0.01

② 0.09

③ 10

④ 90

정답 3번

간단한 해설

제너다이오드와 500 Ω 부하가 병렬이므로 부하 전압도 20 V이다. 200 Ω 저항을 흐르는 50 mA 중 부하로 40 mA가 흐르므로, **나머지 10 mA**가 제너다이오드로 흐른다.

NoteBase

계산 과정

제너다이오드가 역방향 항복 영역에서 동작한다고 두면 양단 전압은 주어진 제너전압 20 V이다. 그림에서 500 Ω 부하는 제너다이오드와 **병렬로 연결**되어 있으므로 부하 전압도 20 V이다. 계산 후 제너전류가 양수인지 확인하여 이 동작 가정이 성립하는지 판단한다.

200 Ω 저항에는 전원 전압과 부하 전압의 차인 30 − 20 = 10 V가 걸린다. 옴의 법칙을 적용하면 이 저항을 흐르는 전류는 $I_R = \frac{30-20}{200} = 0.05\text{A}$, 즉 50 mA이다. 이는 분기점에서 제너다이오드와 부하로 나뉘기 전의 전체 전류이다.

500 Ω 부하를 흐르는 전류는 $I_L = \frac{20}{500} = 0.04\text{A}$, 즉 40 mA이다. 부하 전류는 전원 전압 30 V가 아니라 **부하 양단 전압 20 V**로 계산한다.

키르히호프의 전류 법칙에 따라 분기점으로 들어오는 전류는 두 가지로 나가는 전류의 합과 같으므로 $I_R = I_Z + I_L$ 이다. 따라서 $I_Z = I_R - I_L$이고, 그 값은 50 − 40 = 10 mA이다. 제너전류가 그림의 아래쪽 방향으로 양수이므로 항복 동작 가정과도 일치한다. 구한 10 mA는 ③의 값에 해당한다.

NoteBase

문 12. 포화 영역에서 정상적으로 동작하는 MOSFET 증폭기에 대한 설명으로 옳은 것은?

① 공통 소스 증폭기는 소신호 입력 저항이 작기 때문에 전압 증폭기로 사용하기에 적합하지 않다.

② 공통 드레인 증폭기는 소신호 전압 이득이 크기 때문에 전압 증폭기로 사용하기에 적합하다.

③ 동일한 바이어스 전류를 사용하는 공통 드레인 증폭기의 소신호 입력 저항은 공통 게이트 증폭기의 소신호 입력 저항보다 크다.

④ 동일한 바이어스 전류를 사용하는 공통 소스 증폭기의 소신호 출력 저항은 공통 드레인 증폭기의 소신호 출력 저항보다 작다.

정답 3번

간단한 해설

공통 드레인 증폭기는 **게이트로 입력**을 받아 입력 전류가 거의 흐르지 않으므로 입력 저항이 크다. 공통 게이트 증폭기는 **소스로 입력**을 받아 신호 전류가 흐르므로 입력 저항이 작다.

NoteBase

선지별 해설

기본적인 저주파 소신호 해석에서는 MOSFET의 게이트 누설 전류와 기생 커패시턴스를 무시한다. 이때 게이트 자체의 입력 저항은 이상적으로 무한대이며, 실제 증폭기의 입력 저항은 게이트 바이어스 저항 등의 영향을 받는다.

① X: 공통 소스 증폭기는 게이트로 입력을 받으므로 소신호 입력 저항이 **작은 것이 아니라 크다**. 게이트 전압 변화가 드레인 전류를 바꾸고, 이 전류 변화가 드레인 쪽 부하에서 출력 전압 변화로 나타나므로 전압 증폭에 적합하다.

② X: 공통 드레인 증폭기는 소스에서 출력을 얻는 소스 팔로어이다. 출력이 입력을 같은 방향으로 따라가므로 전압 이득은 보통 **1보다 조금 작다**. 전압을 크게 증폭하기보다는 높은 입력 저항과 낮은 출력 저항을 이용하는 전압 버퍼로 사용한다.

③ O: 공통 드레인 증폭기의 입력 단자는 게이트이므로 입력 전류가 거의 흐르지 않는다. 반면 공통 게이트 증폭기는 게이트를 교류 접지하고 소스로 입력을 받으므로, 입력 전압 변화에 따라 소스 전류가 변한다. 바디 효과와 채널 길이 변조를 무시하는 근사에서 공통 게이트의 입력 저항은 $R_{\text{in}} \approx \frac{1}{g_m}$이다. 여기서 g_m은 게이트·소스 간 전압 변화에 대한 드레인 전류 변화의 비율인 상호컨덕턴스이다. 따라서 같은 바이어스 전류 조건에서 **공통 드레인의 입력 저항이 공통 게이트보다 크다**.

④ X: 기본적인 증폭기 구성에서 공통 소스는 드레인에서 출력을 얻어 출력 저항이 크고, 공통 드레인은 소스에서 출력을 얻어 출력 저항이 작다. 소스 팔로어에서는 출력 전압의 변화가 게이트·소스 간 전압을 바꾸어 그 변화를 억제하는 음의 피드백이 작용한다. 따라서 출력 저항의 관계는 **공통 소스가 공통 드레인보다 크다**로 고친다.

NoteBase

문 13. 패킷교환망(packet-switched network)의 두 방식인 데이터그램망(datagram network)과 가상회선망(virtual circuit network)에 대한 설명으로 옳지 않은 것은?

① 데이터그램망에 의해서 전달되는 패킷들이 최종 목적지에 도착하는 순서는 송신된 패킷의 순서와 다를 수 있다.

② 가상회선망에서는 모든 패킷이 동일한 경로를 따라 전달되므로 최종 목적지에 도착하는 순서가 송신되는 순서와 동일하다.

③ 데이터그램망의 교환기는 고정된 경로지정표(routing table)를 이용하여 경로를 선택한다.

④ 인터넷 기반 음성전화 서비스를 위해서는 가상회선망이 데이터그램망보다 적합하다.

정답 3번

간단한 해설

③의 '고정된 경로지정표'라는 설명이 잘못되었다. 데이터그램망은 **각 패킷을 독립적으로 경로 선택**하며, 경로지정표는 망의 연결 상태 변화 등에 따라 **갱신될 수 있다**.

선지별 해설

① O: 데이터그램망은 연결을 미리 설정하지 않고 **각 패킷을 독립적으로 전달**한다. 같은 목적지의 패킷도 서로 다른 경로를 거치거나 서로 다른 지연을 겪을 수 있으므로, 나중에 보낸 패킷이 먼저 도착할 수 있다.

② O: 가상회선망은 패킷을 보내기 전에 논리적인 연결을 설정한다. **같은 가상회선에 속한 패킷**은 설정된 동일 경로를 따라 순서대로 전달되므로, 목적지에서도 송신 순서가 유지된다. 이는 망 전체의 모든 패킷이 하나의 경로를 공유한다는 뜻은 아니다.

③ X: 데이터그램망의 경로지정표는 망의 연결 상태 변화 등에 따라 **갱신될 수 있으므로 고정된 표라고 단정할 수 없다**. 교환기는 각 패킷의 목적지 주소와 현재 경로지정표를 바탕으로 다음 전달 지점을 결정한다. 정적 경로를 설정할 수도 있지만, 그것이 데이터그램 방식의 필수 특성은 아니다. 따라서 '고정된 경로지정표를 이용한다'는 표현은 '갱신될 수 있는 경로지정표를 참조하여 각 패킷의 경로를 독립적으로 선택한다'로 고친다.

④ O: 실시간 음성은 패킷의 지연과 **지연의 변동인 지터**에 민감하다. 가상회선망은 연결별로 경로와 대역폭 등 자원을 관리하기 쉬워, 음성에 필요한 서비스 품질을 확보하는 데 유리하다. 다만 가상회선을 설정했다는 사실만으로 품질이 자동 보장되는 것은 아니며, 적절한 자원 할당과 혼잡 관리가 필요하다.

NoteBase

문 14. BJT와 MOSFET에 대한 설명으로 옳지 않은 것은?

① BJT 컬렉터 접합부의 온도 상승으로 트랜지스터가 파괴되는 것이 핀치-오프(pinch-off) 현상이다.

② BJT 컬렉터-이미터 전압크기가 증가함에 따라 실효 베이스 폭이 감소하고 컬렉터 전류가 증가하는 것이 얼리(Early) 효과이다.

③ MOSFET의 드레인 전압을 계속 증가시키면 드레인 공핍영역이 소스 공핍영역과 닿는 것이 펀치-스루(punch-through) 현상이다.

④ MOSFET의 펀치-스루(punch-through) 현상이 발생하면 드레인 전류는 급격히 증가한다.

정답 1번

간단한 해설

BJT의 접합부가 과열되어 파괴되는 것은 **열적 파괴**에 관한 설명이다. **핀치오프**는 FET에서 드레인 쪽 채널이 좁아져 전류가 포화되는 현상이다.

선지별 해설

① X: BJT의 접합 온도 상승에 따른 파괴를 핀치오프라고 하지 않는다. 특히 전류가 한곳에 집중되어 국부적인 과열과 열폭주로 파괴되는 현상은 **2차 항복**이다. 핀치오프는 FET의 채널이 드레인 쪽에서 좁아지는 현상으로, MOSFET에서는 드레인 끝의 반전층이 사라지면서 포화영역에 들어간다. 이때도 운반자는 강한 전기장에 의해 드레인으로 이동하므로 전류가 끊기거나 소자가 파괴된다는 뜻은 아니다.

② O: BJT의 순방향 활성영역에서 컬렉터-이미터 전압의 크기가 증가하면 컬렉터-베이스 접합의 역바이어스가 커진다. 이에 따라 공핍영역이 베이스 쪽으로 넓어져 전류가 흐르는 중성 베이스의 실효 폭이 감소한다. 베이스-이미터 전압이 일정해도 컬렉터 전류가 증가하는 이 현상을 얼리 효과, 즉 **베이스 폭 변조**라고 한다.

③ O: MOSFET의 드레인 전압을 높이면 드레인-기판 접합의 역바이어스가 커져 드레인 쪽 공핍영역이 확장된다. 특히 채널이 짧으면 이 영역이 소스 쪽 공핍영역과 맞닿을 수 있는데, 이를 **펀치스루**라고 한다. 드레인 끝의 채널만 좁아지는 핀치오프와 달리, 소스와 드레인 사이의 공핍영역이 연결되는 현상이다.

④ O: 펀치스루가 발생하면 소스에서 드레인으로 운반자가 이동하는 것을 막던 전위 장벽이 낮아지고, 게이트로 제어하기 어려운 전류 경로가 형성된다. 따라서 드레인 전압 증가에 따라 **드레인 전류가 급격히 증가**한다. 이는 정상적인 포화영역에서 전류가 거의 일정하게 유지되는 동작과 구별된다.

NoteBase

문 15. n채널 증가형 MOSFET에서 드레인에 흐르는 전류를 I_D라고 할 때, 채널 길이를 0.5배로 줄이고 채널 폭을 2배로 늘리면 드레인에 흐르는 전류는? (단, MOSFET은 포화영역에서 동작하고, 산화층 정전용량, 전자 이동도, 문턱 전압, 게이트-소스 간 전압은 변하지 않는다고 가정한다)

① $0.25I_D$

② $0.5I_D$

③ $2I_D$

④ $4I_D$

정답 4번

간단한 해설

주어진 포화영역 조건에서 드레인 전류는 **채널 폭에 비례하고 채널 길이에 반비례**한다. 폭이 2배, 길이가 0.5배가 되면 전류는 원래의 4배인 $4I_D$가 된다.

계산 과정

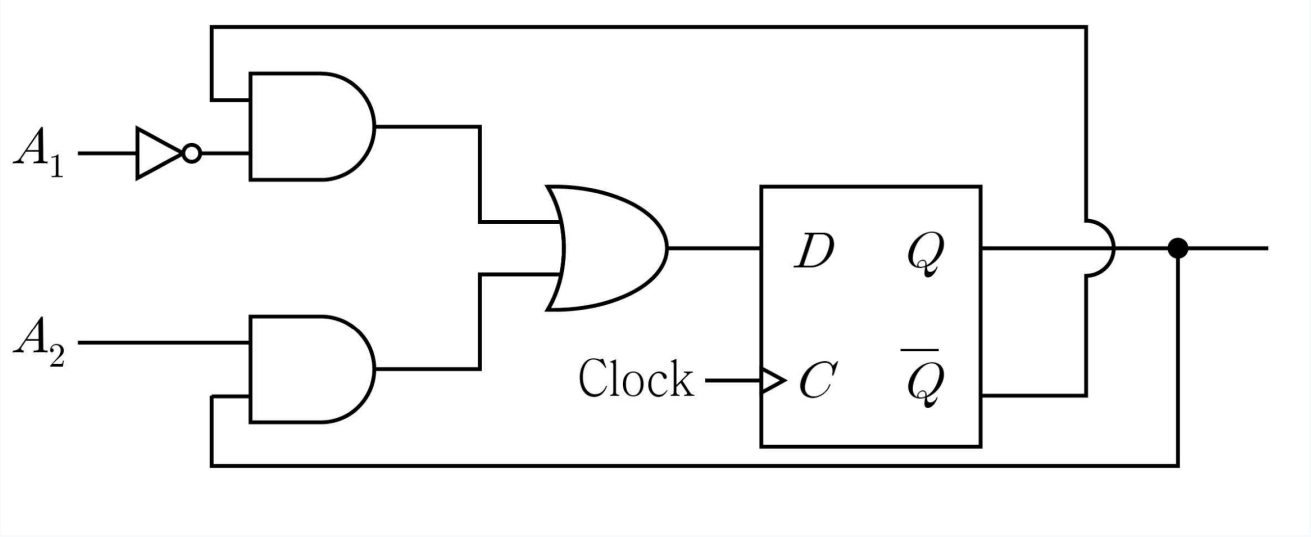
포화영역에서 n채널 증가형 MOSFET의 기본 드레인 전류식은 $I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_T)^2$이다. 여기서 μ_n은 전자 이동도, C_{ox}는 단위 면적당 산화층 정전용량, W와 L은 채널 폭과 길이, V_{GS}는 게이트-소스 간 전압, V_T는 문턱 전압이다.

문제에서 이동도, 산화층 정전용량, 문턱 전압과 게이트-소스 간 전압이 일정하므로 **전류 변화는 폭과 길이의 비** $\frac{W}{L}$로 결정된다. 변화 후 폭과 길이를 각각 W', L'이라 하면 $W' = 2W$, $L' = 0.5L$이다. 폭이 2배가 되어 전류가 2배가 되고, 길이가 절반이 되어 다시 2배가 된다.

변화 후 전류를 I_D'이라 하면 $\frac{I_D'}{I_D} = \frac{2W/(0.5L)}{W/L} = 4$이다. 이 비는 전류의 변화 배율이므로 단위가 없다. 따라서 변화 후 드레인 전류는 $4I_D$이며, ④의 값에 해당한다.

NoteBase

문 16. D 플립플롭을 이용한 다음 디지털 논리 회로의 진리표로 옳은 것은? (단, $Q(t)$와 $Q(t+1)$은 각각 플립플롭의 현재 상태와 한 클록 에지 후의 상태를 나타낸다)



①

A_1	A_2	$Q(t+1)$
0	0	$\overline{Q(t)}$
0	1	1
1	0	0
1	1	$Q(t)$

②

A_1	A_2	$Q(t+1)$
0	0	$\overline{Q(t)}$
0	1	0
1	0	1
1	1	$Q(t)$

③

A_1	A_2	$Q(t+1)$
0	0	$Q(t)$
0	1	1
1	0	0
1	1	$\overline{Q(t)}$

④

A_1	A_2	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

정답 1번

NoteBase

간단한 해설

D 플립플롭은 클록 에지에서 **D 입력을 다음 상태로 저장**한다. 회로의 입력식은 $D = \overline{A_1} \cdot \overline{Q(t)} + A_2 \cdot Q(t)$ 이므로, 두 입력이 모두 0이면 상태가 반전되고 모두 1이면 유지된다.

계산 과정

D 플립플롭의 상태 관계: $Q(t)$는 현재 상태이고, $Q(t+1)$은 한 클록 에지 후의 상태이다. D 플립플롭은 **클록 에지 직전의 D 입력**을 저장하므로 $Q(t+1) = D$이다.

D 입력식: 위쪽 AND 게이트에는 인버터를 지난 $\overline{A_1}$과 되먹임된 $\overline{Q(t)}$가 들어간다. 아래쪽 AND 게이트에는 A_2와 되먹임된 $Q(t)$가 들어간다. 두 AND 출력을 OR 게이트로 합치므로 $D = \overline{A_1} \cdot \overline{Q(t)} + A_2 \cdot Q(t)$이다. 여기서 곱은 AND, 덧셈 기호는 OR를 뜻한다.

입력이 $(A_1, A_2) = (0, 0)$일 때: 위쪽 AND 출력은 $\overline{Q(t)}$, 아래쪽 AND 출력은 0이다. 따라서 $Q(t+1) = \overline{Q(t)}$로, **현재 상태가 반전**된다.

입력이 $(A_1, A_2) = (0, 1)$일 때: 두 AND 출력은 각각 $\overline{Q(t)}$와 $Q(t)$이다. 둘 중 하나는 반드시 1이므로 $Q(t+1) = \overline{Q(t)} + Q(t) = 1$이다.

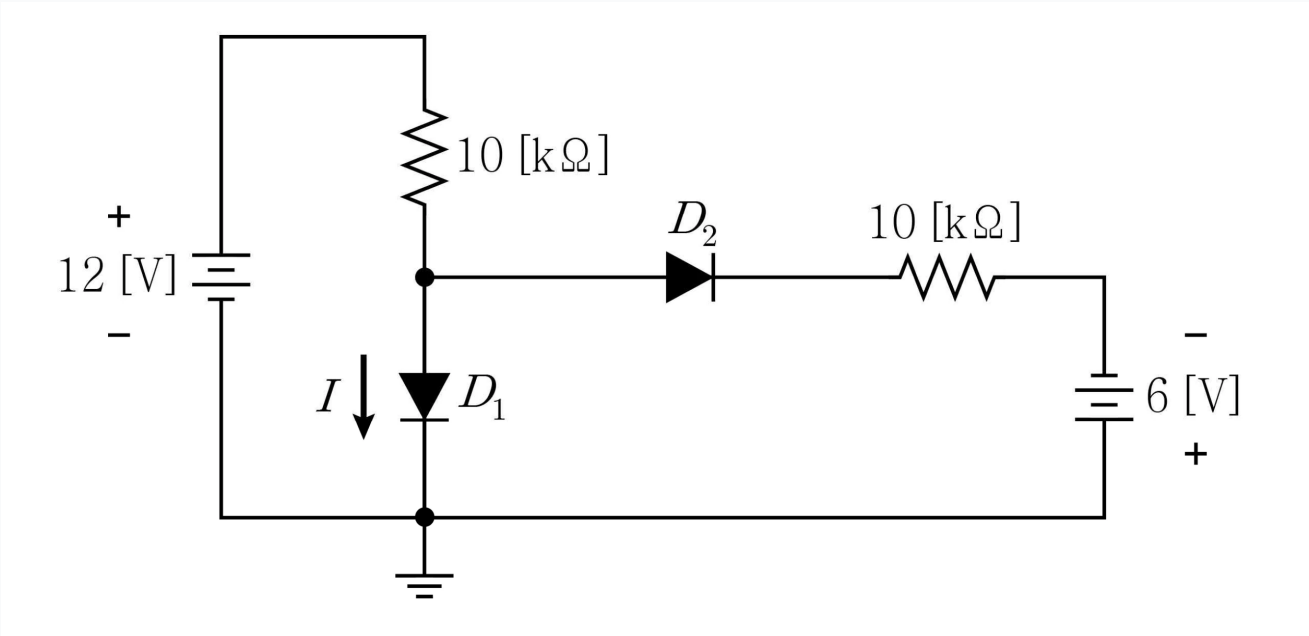
입력이 $(A_1, A_2) = (1, 0)$일 때: 위쪽 AND는 $\overline{A_1} = 0$이어서 출력이 0이고, 아래쪽 AND도 $A_2 = 0$이어서 출력이 0이다. 따라서 $Q(t+1) = 0$이다.

입력이 $(A_1, A_2) = (1, 1)$일 때: 위쪽 AND 출력은 0이고, 아래쪽 AND 출력은 $Q(t)$이다. 따라서 $Q(t+1) = Q(t)$로, **현재 상태가 유지**된다.

입력 조합 00, 01, 10, 11에 대한 다음 상태는 차례로 $\overline{Q(t)}$, 1, 0, $Q(t)$이며, 이는 ①의 진리표와 일치한다.

NoteBase

문 17. 다음 회로에서 다이오드 D_1에 흐르는 전류 /[mA]는? (단, 다이오드는 이상적인 소자이다)



① 0

② 0.6

③ 0.9

④ 1.2

정답 2번

간단한 해설

두 이상적 다이오드가 도통하면 중앙 접점의 전위는 0 V가 된다. 왼쪽에서 들어오는 1.2 mA 중 오른쪽으로 0.6 mA가 흐르므로, D_1에는 **두 가지 전류의 차**인 0.6 mA가 아래쪽으로 흐른다.

NoteBase

계산 과정

전원의 극성과 기준 전위: 아래쪽 접지를 0 V로 잡으면 왼쪽 전원의 위쪽 단자는 +12 V이다. 오른쪽 6 V 전원은 아래쪽이 양극이므로, 위쪽 단자의 전위는 **−6 V**이다. 중앙 접점의 전위를 V_A라 둔다.

다이오드의 도통 가정: 이상적 다이오드는 도통할 때 **양단 전압이 0 V**이고, 차단할 때 전류가 흐르지 않는다. D_1은 중앙 접점에서 접지 쪽으로, D_2는 중앙 접점에서 오른쪽으로 전류가 흐르는 방향이다. 두 다이오드가 도통한다고 가정하면 D_1에 의해 $V_A = 0\text{V}$가 되고, D_2 오른쪽 단자의 전위도 0 V가 된다. 계산한 전류가 각 다이오드의 순방향인지 확인하면 이 가정을 검증할 수 있다.

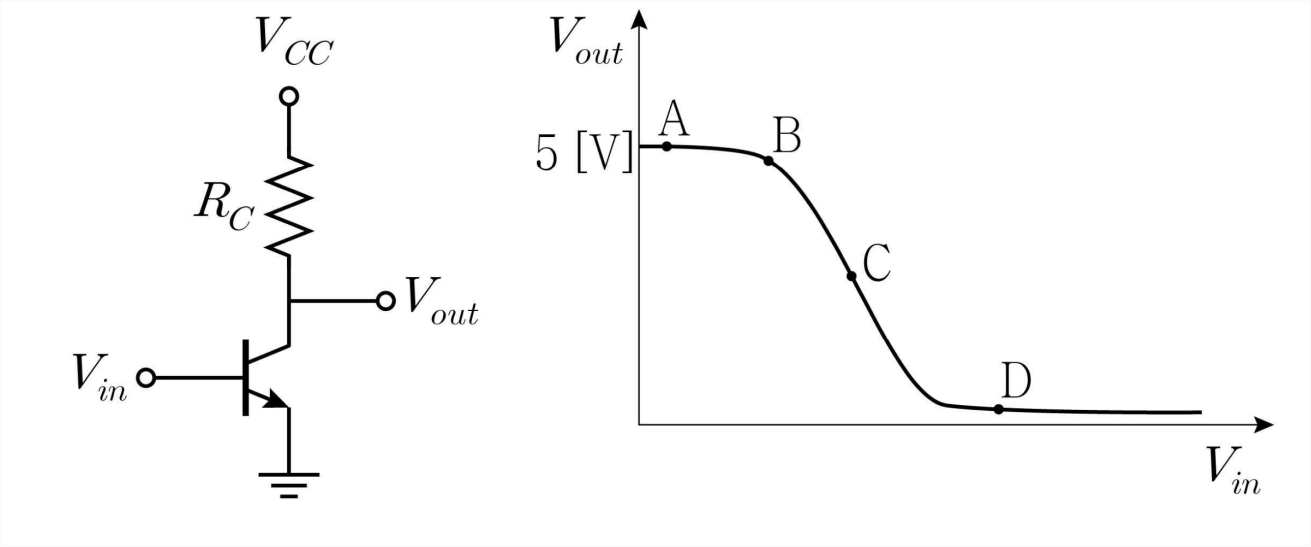
왼쪽 저항 전류: 10 kΩ 저항의 위쪽은 12 V, 아래쪽은 0 V이므로 옴의 법칙에 따라 $I_L = \frac{12-0}{10} = 1.2\text{mA}$이다. V를 kΩ으로 나누면 mA가 된다. 이 전류는 왼쪽 전원에서 중앙 접점으로 들어오는 전체 전류이다.

오른쪽 저항 전류: 오른쪽 10 kΩ 저항의 왼쪽은 0 V, 오른쪽은 −6 V이므로 $I_R = \frac{0-(-6)}{10} = 0.6\text{mA}$이다. 이 전류는 중앙 접점에서 D_2를 거쳐 오른쪽으로 빠져나간다.

중앙 접점의 전류 분배: 키르히호프 전류 법칙에 따라 **유입 전류는 두 유출 전류의 합**이므로 $I_L = I + I_R$이다. 따라서 $I = 1.2 - 0.6 = 0.6\text{mA}$이다. I는 D_1의 아래쪽 순방향이고, I_R도 D_2의 오른쪽 순방향이므로 두 다이오드의 도통 가정이 성립한다. 구한 0.6 mA는 ②의 값과 일치한다.

NoteBase

문 18. 증폭기 회로와 전압이득 특성 곡선이 다음과 같을 때 옳지 않은 것은?



① $V_{CC} = 5[V]$이다.

② C 지점에서 가장 큰 전압이득(절댓값 기준)을 얻을 수 있다.

③ D 지점보다 B 지점에서 더 큰 전압이득(절댓값 기준)을 얻을 수 있다.

④ D 지점은 포화영역, 활성화영역, 차단영역 중 차단영역에 해당한다.

정답 4번

간단한 해설

D는 입력전압이 커져 트랜지스터가 충분히 켜지고 출력전압이 낮아진 **포화영역**이다. 차단영역에서는 컬렉터 전류가 거의 흐르지 않아 출력전압이 전원전압에 가까워진다.

NoteBase

선지별 해설

이 회로는 이미터를 접지하고 컬렉터에서 출력을 얻는 공통 이미터 증폭기이다. 동작점 부근의 작은 입력 변화에 대한 전압이득은 전달 특성 곡선의 접선 기울기인 $A_V = \frac{dV_{out}}{dV_{in}}$으로 나타낸다. 따라서 곡선이 가파를수록 전압이득의 절댓값이 크다.

① O: A 부근은 입력전압이 낮아 트랜지스터가 차단된 구간이다. 컬렉터 전류가 거의 0이므로 컬렉터 저항의 전압강하도 거의 없고, **출력전압이 전원전압과 거의 같아진다**. 그래프에서 이때의 출력전압이 5 V이므로 $V_{CC} = 5\text{V}$이다.

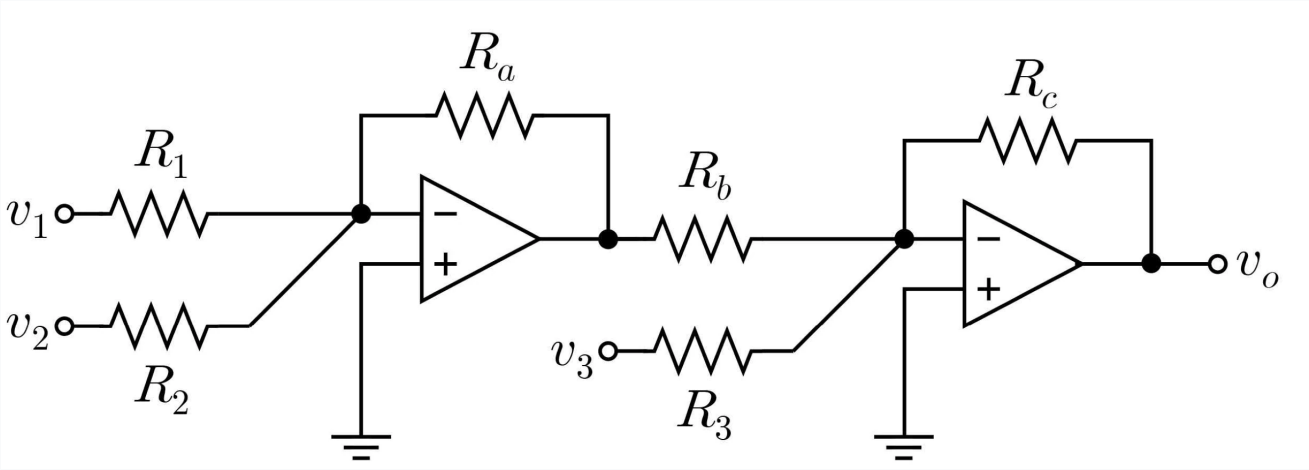
② O: C는 전달 특성 곡선에서 **접선 기울기의 절댓값이 가장 큰 지점**이다. 같은 작은 입력전압 변화에 대해 출력전압이 가장 크게 변하므로 전압이득의 절댓값도 가장 크다. 기울기가 음수인 것은 입력이 증가할 때 출력이 감소하는 반전 증폭을 뜻한다.

③ O: B에서는 입력전압이 증가할 때 출력전압이 뚜렷하게 감소하지만, D에서는 곡선이 거의 수평이어서 출력전압 변화가 작다. 따라서 **B의 접선 기울기 절댓값이 D보다 크므로** 전압이득의 절댓값도 B에서 더 크다.

④ X: D는 입력전압이 충분히 높아 트랜지스터가 강하게 도통하고, 컬렉터와 이미터 사이의 전압이 낮아진 **포화영역**이다. 따라서 선지의 '차단영역'을 '포화영역'으로 고쳐야 한다. 차단영역은 A 부근처럼 컬렉터 전류가 거의 흐르지 않고 출력전압이 전원전압에 가까운 구간이며, C 부근의 활성화영역에서는 입력 변화에 따라 출력이 크게 변한다.

NoteBase

문 19. 다음 회로에서 세 입력전압 v_1, v_2, v_3에 대한 출력전압 v_o를 $v_o = Av_1 + Bv_2 + Cv_3$와 같이 표현할 때 A, B, C의 값으로 옳은 것은? (단, $R_a = 4$ [kΩ], $R_b = 5$ [kΩ], $R_c = 10$ [kΩ], $R_1 = 1$ [kΩ], $R_2 = 2$ [kΩ], $R_3 = 2$ [kΩ]이고, 연산 증폭기는 이상적인 소자이다.)



① A: −4, B: −2, C: 5

② A: −8, B: −4, C: 5

③ A: 4, B: 2, C: −5

④ A: 8, B: 4, C: −5

정답 4번

간단한 해설

v_1, v_2는 **두 번 반전**되지만 v_3는 **한 번만 반전**된다. 첫 단의 출력 $-4v_1 - 2v_2$를 둘째 단에서 −2배하고 v_3의 −5배를 더하므로, 최종 출력은 $v_o = 8v_1 + 4v_2 - 5v_3$이다.

NoteBase

계산 과정

회로의 두 연산 증폭기는 모두 비반전 입력이 접지되고 출력이 저항을 통해 반전 입력으로 되먹임되는 반전 가산 증폭기이다. 이상적인 연산 증폭기의 **입력전류는 0**이고, 음의 되먹임으로 두 입력의 전위가 같아지므로 반전 입력도 0 V인 가상 접지가 된다. 따라서 각 입력 저항으로 흐르는 전류의 합이 되먹임 저항으로 흐른다.

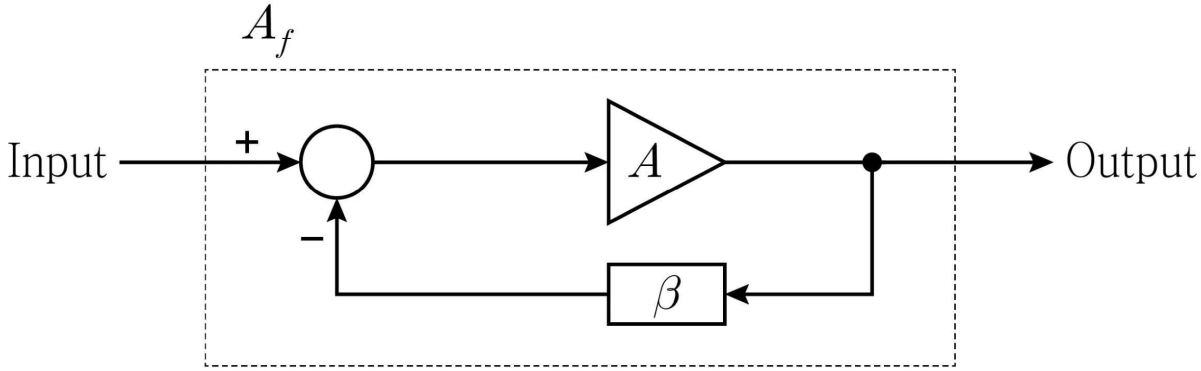
첫 단의 출력전압을 v_x라 하면, 입력은 v_1, v_2이고 되먹임 저항은 R_a이다. 각 입력의 전압이득은 입력 저항에 대한 되먹임 저항의 비에 음의 부호를 붙인 값이므로 $v_x = -\frac{R_a}{R_1}v_1 - \frac{R_a}{R_2}v_2$이다. 저항을 모두 kΩ 단위로 대입하면 $v_x = -\frac{4}{1}v_1 - \frac{4}{2}v_2 = -4v_1 - 2v_2$이다. 이 값이 둘째 단으로 전달되는 중간 출력이다.

둘째 단의 입력은 R_b를 거치는 v_x와 R_3를 거치는 v_3이고, 되먹임 저항은 R_c이다. 같은 원리로 $v_o = -\frac{R_c}{R_b}v_x - \frac{R_c}{R_3}v_3$이며, 저항값을 대입하면 $v_o = -\frac{10}{5}v_x - \frac{10}{2}v_3 = -2v_x - 5v_3$이다. 즉, **첫 단의 출력 전체를 다시 −2배**하고 여기에 v_3의 −5배를 더한다.

첫 단의 출력을 대입하면 $v_o = -2(-4v_1 - 2v_2) - 5v_3$, 즉 $v_o = 8v_1 + 4v_2 - 5v_3$이다. 따라서 A = 8, B = 4, C = −5로 ④와 일치한다. 각 계수는 같은 단위의 저항끼리 나눈 전압이득이므로 무차원이다.

NoteBase

문 20. 다음과 같은 귀환 증폭기(feedback amplifier)에서 폐루프 이득 (closed-loop gain) A_f가 100이라고 가정한다. 만약 개루프 이득 (open-loop gain) A가 100배 커졌을 때 A_f 값이 200으로 바뀌었다면, 이 증폭기의 귀환감쇠율(feedback attenuation factor) β에 가장 근접한 값은? (단, A_f는 A와 β에 의해서만 결정된다)



① 0.001

② 0.005

③ 0.01

④ 0.02

정답 2번

간단한 해설

그림은 출력을 입력에서 빼는 **부귀환 구조**이므로 $\frac{1}{A_f} = \frac{1}{A} + \beta$가 성립한다. 개루프 이득이 100배가 되는 두 조건을 연립하면 $\beta \approx 0.00495$로, 약 0.005이다.

NoteBase

계산 과정

그림의 합산점에서 입력은 +, 귀환 신호는 −로 들어가므로 **출력의 일부를 입력에서 빼는 부귀환**이다. 입력을 x, 출력을 y라 하면 $y = A(x - \beta y)$이므로 폐루프 이득은 $A_f = \frac{y}{x} = \frac{A}{1 + A\beta}$이다. 여기서 β는 출력 중 입력으로 되돌리는 신호의 비율이다.

처음 개루프 이득을 A라 두면, 변화 후에는 $100A$가 되고 **귀환감쇠율은 그대로**이다. 이득 식의 역수를 취하면 $\frac{1}{A_f} = \frac{1}{A} + \beta$이므로, 처음 조건은 $\frac{1}{100} = \frac{1}{A} + \beta$, 변화 후 조건은 $\frac{1}{200} = \frac{1}{100A} + \beta$이다.

두 식을 빼면 공통인 귀환감쇠율이 소거되어 $\frac{1}{100} - \frac{1}{200} = \frac{99}{100A}$이다. 왼쪽은 $\frac{1}{200}$이므로 $A = 198$을 얻는다. 이는 귀환을 걸기 전 증폭기 자체의 처음 이득이다.

처음 조건에 대입하면 $\beta = \frac{1}{100} - \frac{1}{198} = \frac{49}{9900} \approx 0.00495$이다. 귀환감쇠율은 단위가 없는 비율이며, 가장 가까운 값은 ②의 0.005이다.

NoteBase