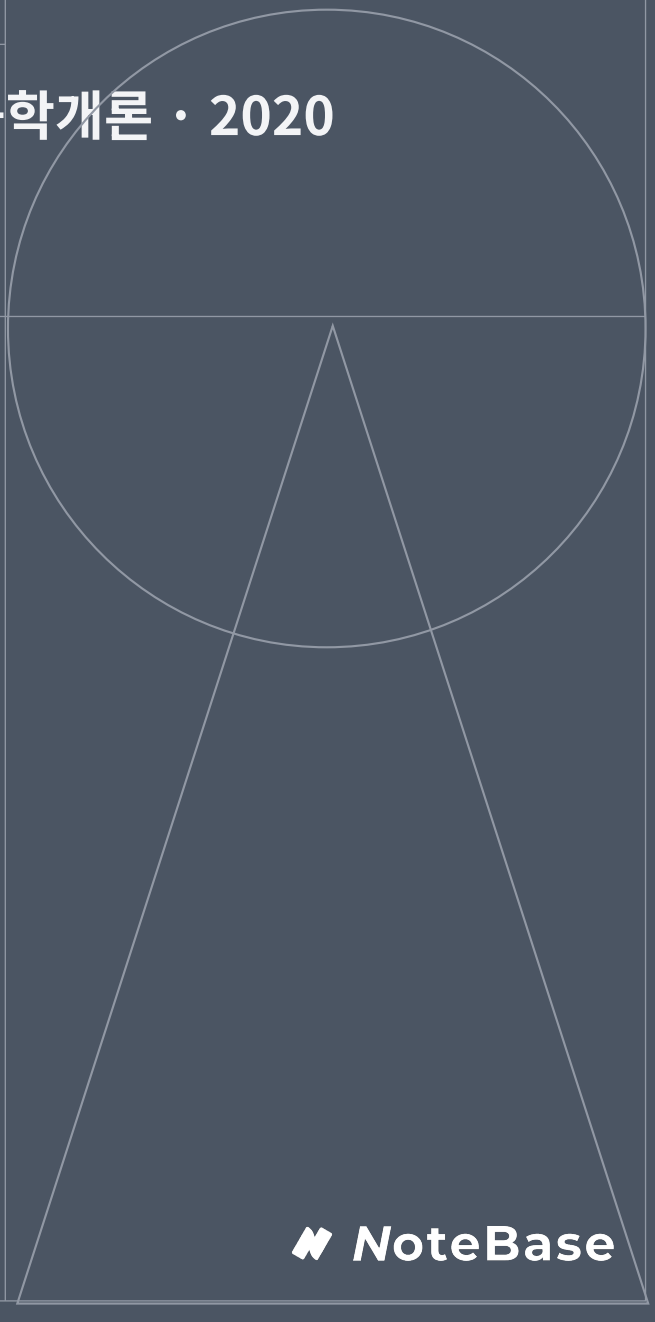
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2020



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2020

공무원/국가직/9급 · 전자공학개론 · 2020

문 1. OSI 7계층에 대한 설명으로 옳지 않은 것은?

① 데이터링크 계층은 인접 노드 간의 신뢰성 있고 안정적인 통신을 위한 기능을 수행한다.

② 패킷 전송망의 네트워크 계층은 라우팅을 통해 효율적인 경로를 지정하는 기능을 수행한다.

③ 물리 계층은 전기적, 기계적, 물리적 인터페이스 특성을 정의하여 기기 간의 원활한 연결을 수행한다.

④ 전송 계층에서는 효율적 전송을 위한 데이터의 암호화 및 압축 기능을 수행한다.

정답 4번

간단한 해설

데이터의 암호화와 압축은 OSI 모형에서 **표현 계층**의 기능이다. 전송 계층은 송신 측과 수신 측 사이의 종단 간 데이터 전송을 담당한다.

선지별 해설

① O: 데이터링크 계층은 **직접 연결된 인접 노드 사이**에서 데이터를 프레임 단위로 전달한다. 프레임의 경계를 구분하고 전송 오류를 검출하는 등의 기능으로 신뢰성 있고 안정적인 통신을 지원한다.

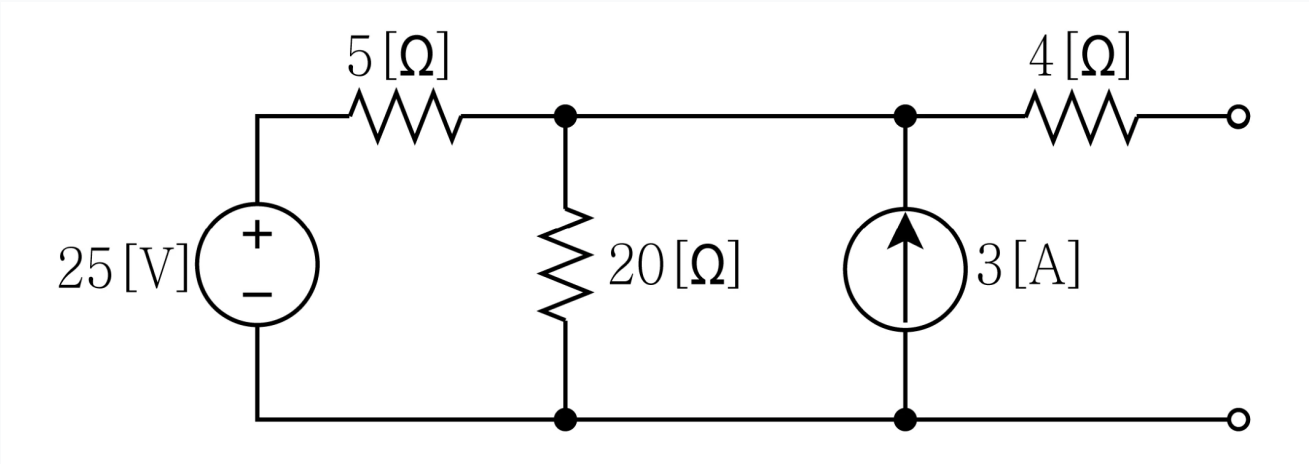
② O: 네트워크 계층은 목적지까지 패킷이 이동할 **경로를 선택하는 라우팅**을 담당한다. 여러 네트워크를 거쳐 전송할 때 경로 정보를 바탕으로 패킷을 다음 노드로 전달한다.

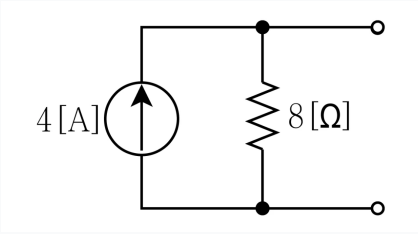
③ O: 물리 계층은 비트를 실제 전송 매체로 보내기 위한 **전기적·기계적·물리적 인터페이스 특성**을 정한다. 신호의 전압 수준이나 커넥터의 규격 등이 이에 해당하며, 기기 사이에서 비트 신호를 주고받을 수 있게 한다.

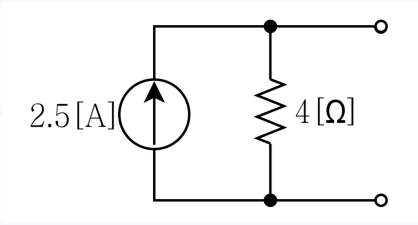
④ X: 데이터의 암호화와 압축은 **표현 계층의 기능**이다. 표현 계층은 통신하는 양쪽이 데이터를 해석할 수 있도록 데이터의 표현 형식을 다룬다. 전송 계층은 종단 간 데이터 전송을 담당하며, 전송 서비스의 종류에 따라 오류 제어와 흐름 제어 등을 제공한다. 따라서 선지의 '전송 계층'을 '표현 계층'으로 고쳐야 한다.

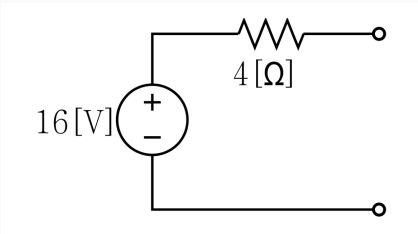
NoteBase

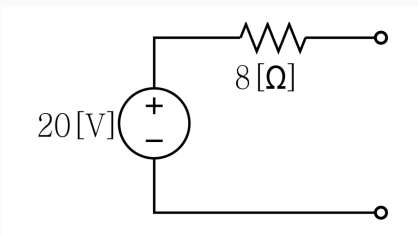
문 2. 다음 회로에 대한 등가회로는?



① 

② 

③ 

④ 

정답 1번

간단한 해설

출력 단자의 개방전압은 32 V이고 등가저항은 8 Ω이므로, 노턴 전류는 $I_N = \frac{32}{8} = 4\text{A}$이다. 따라서 **위쪽 방향의 4 A 전류원과 8 Ω 저항을 병렬로 연결**한 회로로 나타낼 수 있다.

NoteBase

계산 과정

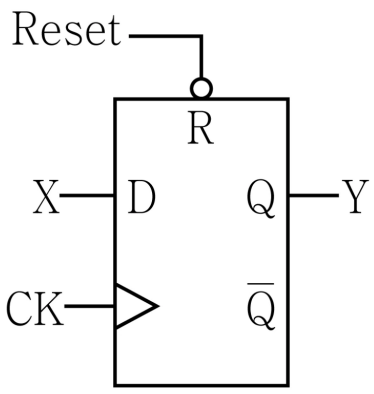
개방전압: 아래쪽 도선을 기준 전위 0 V로 두고, 5 Ω·20 Ω·3 A 전류원이 만나는 위쪽 노드의 전압을 V라고 하자. 출력 단자가 개방되어 있으면 **오른쪽 4 Ω 저항에는 전류가 흐르지 않으므로** 전압강하가 없다. 따라서 출력 단자의 위쪽 전압도 V이다. 25 V 전압원의 위쪽은 +25 V이고, 3 A 전류원은 위쪽 노드로 전류를 공급한다. 이 노드에서 나가는 전류를 기준으로 키르히호프 전류법칙을 적용하면 $\frac{V-25}{5}+\frac{V}{20}=3$이다. 양변에 20을 곱하면 $4(V-25)+V=60$, 즉 $5V=160$이므로 $V=32\text{V}$이다. 이것이 테브난 등가전압 V_{Th}이다.

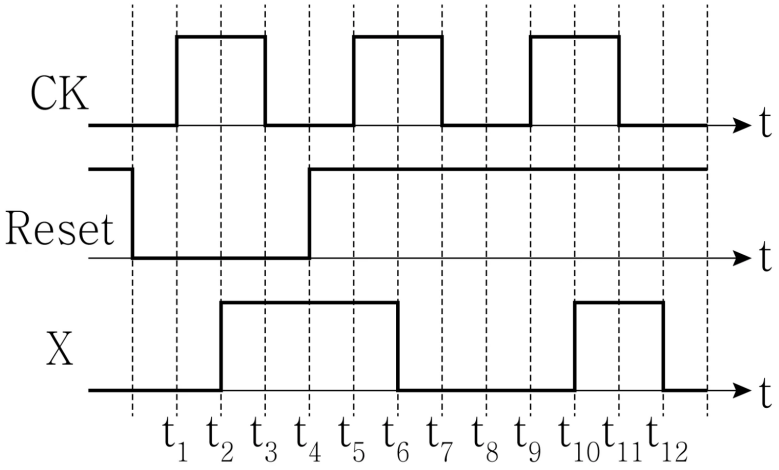
등가저항: 독립 전원을 0으로 만들 때 **이상적인 전압원은 단락하고 전류원은 개방**한다. 그러면 5 Ω과 20 Ω은 같은 두 노드 사이에 연결되어 병렬이 된다. 이 병렬 부분의 저항은 $R_p=\frac{5\cdot 20}{5+20}=4\Omega$이다. 출력 단자에서 보면 오른쪽 4 Ω 저항이 이 병렬 부분과 직렬이므로, 테브난 등가저항은 $R_{\text{Th}}=4+4=8\Omega$이다.

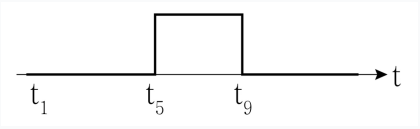
노턴 등가회로: 전압원과 직렬저항으로 나타낸 테브난 회로는 $I_N=\frac{V_{\text{Th}}}{R_{\text{Th}}}$인 전류원과 같은 저항의 병렬연결로 변환할 수 있다. 따라서 $I_N=\frac{32}{8}=4\text{A}$이고 노턴 저항은 8 Ω이다. 개방 상태에서 위쪽 단자가 아래쪽보다 32 V 높아야 하므로, 전류원은 **아래쪽에서 위쪽으로** 전류를 공급하는 방향이다. 이 4 A 전류원과 8 Ω 저항의 병렬연결은 ①의 회로와 일치한다.

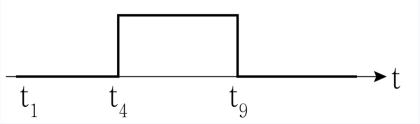
NoteBase

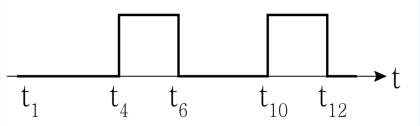
문 3. 비동기 리셋을 가진 D 플립플롭을 이용한 회로에 아래와 같이 입력 신호 CK, Reset, X가 가해졌을 때 출력 Y는? (단, 플립플롭의 전달지연시간은 무시한다)

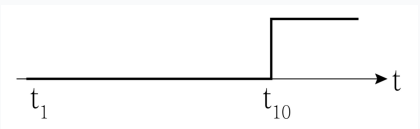




① 

② 

③ 

④ 

정답 1번

간단한 해설

Reset이 0인 동안에는 **클록과 무관하게 출력이 0**으로 유지된다. 리셋이 해제된 뒤에는 CK의 상승 에지에서만 X를 저장하므로, Y는 t_5에서 1이 되고 t_9에서 0으로 돌아간다.

NoteBase

계산 과정

동작 조건: 리셋 입력의 작은 원은 **Reset이 0일 때 활성화**됨을 뜻한다. CK 입력에는 삼각형만 있고 작은 원이 없으므로 상승 에지에서 동작한다. D 입력은 X, Q 출력은 Y이므로 리셋이 해제된 상태에서는 CK가 0에서 1로 바뀌는 순간의 X가 Y에 저장되고, 다음 상승 에지까지 유지된다. 전달지연시간은 무시하므로 출력 변화는 해당 에지에서 즉시 일어난다.

리셋 구간과 t_1: Reset은 t_1 이전에 0으로 내려가 t_4까지 유지된다. 비동기 리셋이 동작하므로 이 구간의 Y는 0이다. t_1에 CK가 상승하고 t_2에 X가 1로 바뀌어도 리셋이 우선하므로 Y는 계속 0이다.

t_4: Reset이 1이 되어 리셋이 해제된다. 이때 X는 1이지만 **리셋 해제 자체가 데이터를 저장하지는 않는다**. CK의 상승 에지가 아니므로 Y는 0을 유지한다.

t_5: 리셋이 해제된 상태에서 CK가 상승하고 X는 1이다. 따라서 X의 값 1이 저장되어 Y가 1로 바뀐다. t_6에 X가 0으로 내려가고 t_7에 CK가 하강해도 상승 에지가 아니므로 Y는 1을 유지한다.

t_9 이후: 다음 CK 상승 에지인 t_9에서 X는 0이므로 Y가 0으로 바뀐다. 이후 t_{10}에 X가 1이 되어도 CK의 상승 에지가 없으며, t_{11}의 CK 하강과 t_{12}의 X 하강도 저장 동작을 일으키지 않는다. 따라서 그림의 나머지 구간에서도 Y는 0이다.

출력 파형: Y는 t_5 전까지 0, t_5부터 t_9 직전까지 1, t_9부터 다시 0이다. 이 파형은 ①과 일치한다.

NoteBase

문 4. 디지털 코드에 대한 설명으로 옳은 것은?

① ASCII 코드는 12비트 크기를 갖는다.

② 순환중복검사(CRC) 코드는 최상위 비트(MSB)의 오류를 검출하기 위해 주로 사용된다.

③ BCD 코드는 8비트의 크기를 갖는다.

④ 그레이 코드의 MSB는 해당하는 2진 코드의 MSB와 항상 일치한다.

정답 4번

간단한 해설

2진 코드를 그레이 코드로 변환할 때 **최상위 비트(MSB)는 그대로 유지**하고, 나머지 비트는 원래 2진 코드의 인접한 두 비트를 XOR하여 구한다. 따라서 두 코드의 MSB는 항상 같다.

선지별 해설

① X: ASCII는 영문자·숫자·제어 문자 등을 나타내는 **7비트 문자 코드**로, 128개의 문자를 구분한다. 따라서 '12비트'는 '7비트'로 고쳐야 한다.

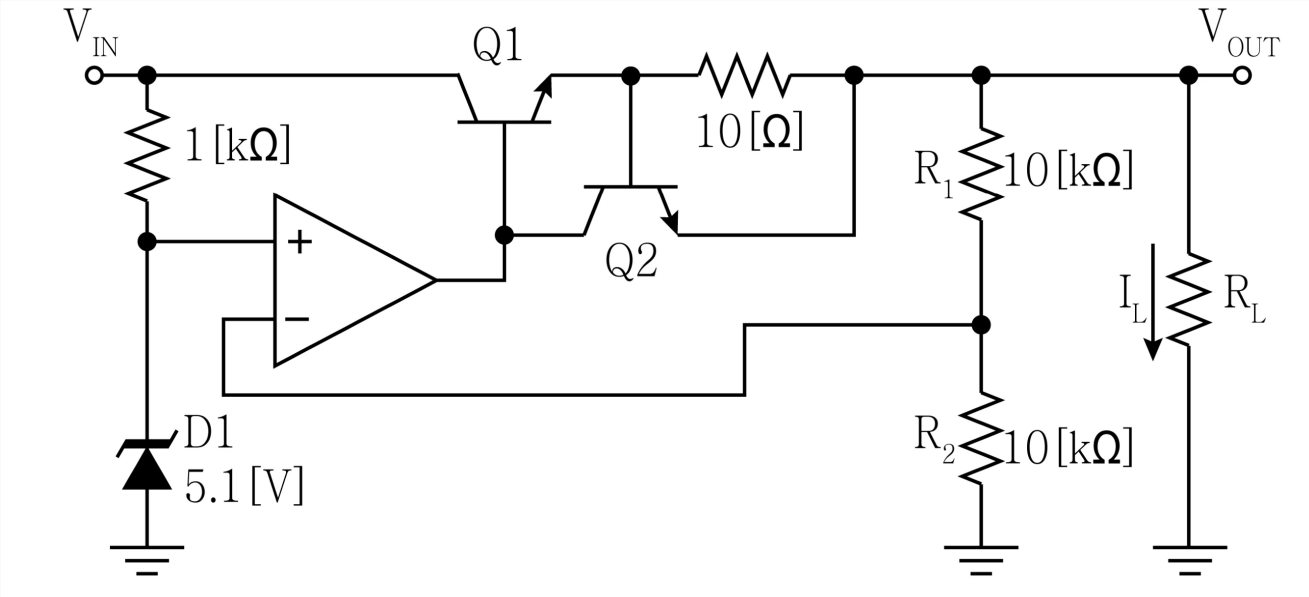
② X: CRC는 전송 데이터에 생성다항식을 이용해 구한 나머지를 검사값으로 덧붙여 오류를 검출하는 방식이다. 수신 측에서 이 관계가 유지되는지 검사하므로, **MSB에 한정되지 않고 데이터 전반의 오류를 검출**하는 데 사용된다. 특히 연속된 여러 비트에 걸친 버스트 오류의 검출에 유용하다.

③ X: 일반적인 BCD 코드는 **10진수 한 자리를 4비트**로 나타낸다. 예를 들어 10진수 25는 각 자리 2와 5를 따로 부호화하여 0010 0101로 표현한다. 이때 전체가 8비트인 것은 두 자리를 표현했기 때문이며, 한 자리의 코드 크기가 8비트인 것은 아니다.

④ O: 2진 코드를 그레이 코드로 변환할 때 **MSB는 원래 값을 그대로 사용**한다. 그 아래 각 비트는 원래 2진 코드에서 해당 비트와 바로 위 비트의 XOR로 구한다. XOR는 두 비트가 다르면 1, 같으면 0이 되는 연산이다. 예를 들어 2진 코드 1011은 그레이 코드 1110으로 변환되며, 두 코드의 MSB는 모두 1이다.

NoteBase

문 5. 다음 회로는 직렬 선형전압조정기이다. 정전압 출력전압 V_{OUT} [V]과 부하 R_L에 흐를 수 있는 최대 전류 I_L [mA]은? (단, 입력전압 $V_{IN} = 20$ [V], $V_{BE} = 0.7$ [V]이고, R_1, R_2에 흐르는 전류는 무시한다.)



① $V_{OUT} = 5.1, I_L = 70$

② $V_{OUT} = 5.1, I_L = 140$

③ $V_{OUT} = 10.2, I_L = 70$

④ $V_{OUT} = 10.2, I_L = 140$

정답 3번

간단한 해설

출력의 절반을 제너 기준전압 5.1 V와 같게 유지하므로 **출력전압은 10.2 V**이다. 10 Ω 저항의 전압강하가 0.7 V에 도달하면 Q2가 도통하여 전류를 제한하므로 **최대 부하전류는 70 mA**이다.

NoteBase

계산 과정

기준전압: 입력전압은 20 V이고, 제너 다이오드 D1은 연산증폭기의 비반전 입력에 5.1 V의 기준전압을 제공한다. 반전 입력에는 출력전압을 R_1, R_2로 분압한 전압이 들어간다. 정전압 조정 상태에서는 **음의 피드백으로 두 입력전압이 같아지도록** Q1의 도통 정도가 조절된다.

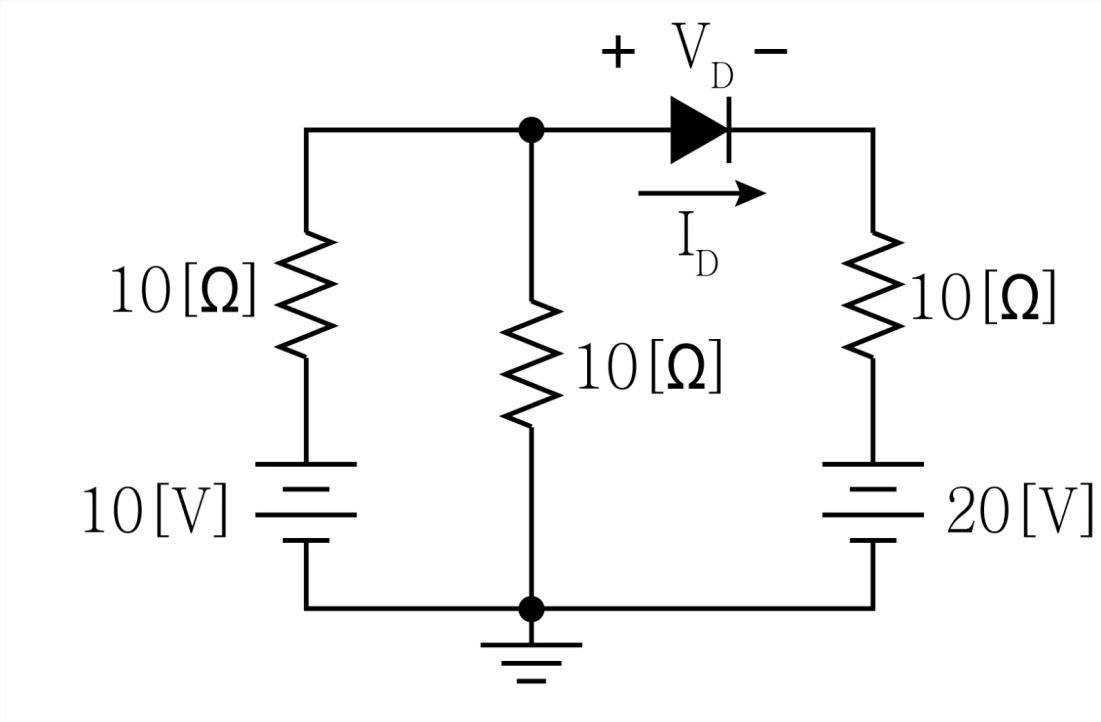
출력전압: 반전 입력전압을 V_-라 하면 $V_- = V_{\mathrm{OUT}}\frac{R_2}{R_1+R_2}$이다. 두 저항이 각각 10 kΩ으로 같으므로 반전 입력에는 **출력전압의 절반**이 걸린다. 따라서 $V_{\mathrm{OUT}} = 5.1\left(1+\frac{10}{10}\right) = 10.2\mathrm{V}$이다. 5.1 V는 출력전압 자체가 아니라 분압된 전압과 비교하는 기준값이다.

최대 부하전류: Q2의 베이스와 이미터는 각각 10 Ω 저항의 입력 쪽과 출력 쪽에 연결되어 있다. 따라서 이 저항의 전압강하가 Q2의 베이스–이미터 전압이 된다. 전압강하가 **0.7 V에 도달하면 Q2가 도통**하여 Q1의 베이스 구동전류를 줄이고 부하전류의 증가를 억제한다. 문제의 조건에 따라 R_1, R_2의 전류를 무시하면 전류 제한이 시작되는 지점에서 10 Ω 저항의 전류를 부하전류로 볼 수 있다. 옴의 법칙으로 $I_{L,\,\max} = \frac{0.7\mathrm{V}}{10\Omega} = 0.07\mathrm{A}$, 즉 70 mA이다.

출력전압 10.2 V와 최대 부하전류 70 mA의 조합은 ③에 해당한다.

NoteBase

문 6. 다음 회로에서 다이오드에 걸리는 전압 V_D[V]와 전류 I_D[A]는? (단, 다이오드는 이상적인 소자이다)



① $V_D = -15, I_D = 0$

② $V_D = -15, I_D = 1$

③ $V_D = +15, I_D = 0$

④ $V_D = +15, I_D = 1$

정답 1번

간단한 해설

다이오드를 개방하면 왼쪽 단자는 5 V, 오른쪽 단자는 20 V가 되어 **역방향 바이어스**가 걸린다. 따라서 이상적인 다이오드의 전류는 0 A이고, 표시된 극성에 따른 전압은 $V_D = -15$V이다.

NoteBase

계산 과정

다이오드 상태 가정: 그림에서 다이오드의 왼쪽은 애노드, 오른쪽 막대 쪽은 캐소드이다. 이상적인 다이오드는 **역방향 바이어스에서 개방회로**로 동작하여 전류가 흐르지 않는다. 먼저 개방 상태로 가정하고 양단 전위를 구한 뒤, 애노드 전위가 캐소드 전위보다 낮은지 확인한다.

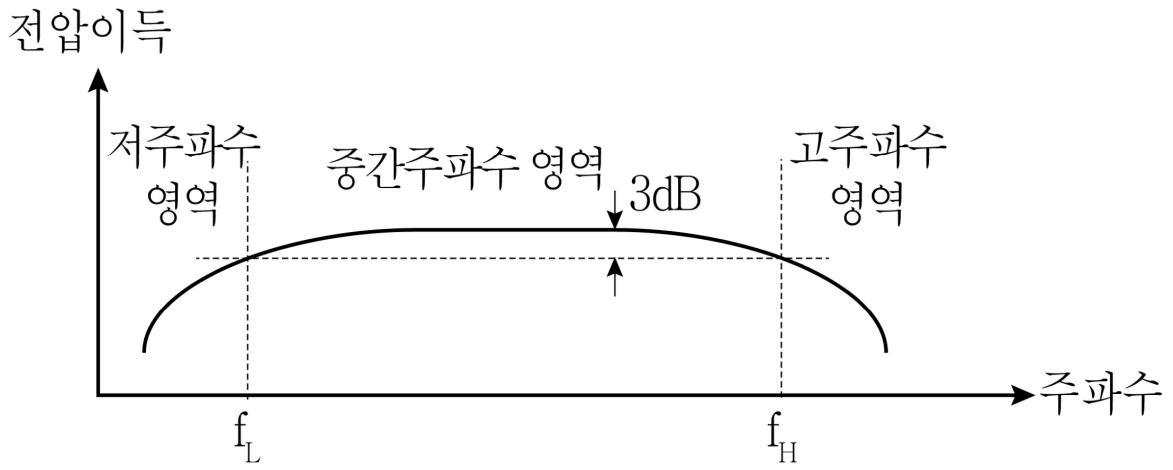
양단 전위 계산: 아래 접지를 0 V로 놓으면 두 전원의 위쪽 단자는 각각 +10 V, +20 V이다. 다이오드가 개방되면 왼쪽의 10 Ω 저항과 가운데의 10 Ω 저항은 10 V 전원에 직렬로 연결된다. 따라서 왼쪽 단자 전위는 전압분배에 의해 $V_A = 10 \cdot \frac{10}{10+10} = 5\text{V}$이다. 오른쪽 가지에는 전류가 흐를 닫힌 경로가 없으므로 오른쪽 10 Ω 저항의 전압강하는 0 V이고, 오른쪽 단자 전위는 $V_K = 20\text{V}$이다.

상태 확인과 전압 계산: 애노드의 5 V가 캐소드의 20 V보다 낮으므로 역방향 바이어스이며, 개방 가정이 성립한다. 따라서 $I_D = 0\text{A}$이다. 그림의 전압 극성이 **왼쪽 +, 오른쪽 −**이므로 $V_D = V_A - V_K = 5 - 20 = -15\text{V}$이다.

구한 값은 $V_D = -15\text{V}$, $I_D = 0\text{A}$로, ①의 값과 일치한다.

NoteBase

문 7. 그림은 증폭기 회로에서 입력전압의 주파수와 전압이득 사이의 관계를 나타낸다. 이에 대한 설명으로 옳지 않은 것은?



① 고주파수 영역에서는 증폭기의 반도체소자에 존재하는 기생 커패시턴스에 의해 이득이 감쇄한다.

② 저주파수 영역에서는 입출력 결합커패시터에 의해 이득이 감쇄한다.

③ 중간주파수 영역의 이득보다 저주파수 영역에서의 이득이 3dB 감소하는 점의 주파수를 저역 3dB 주파수, 중간주파수 영역의 이득보다 고주파수 영역에서의 이득이 3dB 감소하는 점의 주파수를 고역 3dB 주파수, 이 두 주파수 차이를 대역폭(bandwidth)이라 한다.

④ 일반적으로 중간주파수 영역에서는 전압이득이 증가함에 따라 대역폭도 증가한다.

정답 4번

간단한 해설

④의 '전압이득이 증가함에 따라 대역폭도 증가한다'는 이득과 대역폭의 관계를 반대로 설명한 것이다. 일반적인 증폭기에서는 **이득을 높일수록 대역폭이 좁아지는** 상충 관계가 나타난다.

NoteBase

선지별 해설

① O: 반도체소자의 접합이나 전극 사이에는 기생 커패시턴스가 존재한다. 주파수가 높아지면 이 커패시턴스의 리액턴스가 작아져 신호가 우회하거나 입력 신호가 약해지는 영향이 커진다. 따라서 **고주파수 영역에서 전압이득이 감소**하며, 그림에서도 오른쪽 고주파수 영역의 곡선이 내려간다.

② O: 입출력 결합커패시터는 직류를 차단하고 교류 신호를 전달한다. 그러나 **주파수가 낮을수록 리액턴스가 커져** 주변 저항과의 전압 분배에 의해 전달되는 신호가 작아진다. 이 때문에 저주파수 영역에서 전압이득이 감소하며, 그림에서도 왼쪽 저주파수 영역의 이득이 중간주파수 영역보다 작다.

③ O: 그림의 수평 점선은 중간주파수 영역의 이득보다 **3 dB 낮은 수준**을 나타낸다. 곡선이 이 점선과 만나는 왼쪽 주파수 f_L이 저역 3 dB 주파수이고, 오른쪽 주파수 f_H가 고역 3 dB 주파수이다. 대역폭은 두 차단주파수 사이의 주파수 범위의 폭이므로 $BW = f_H - f_L$이다.

④ X: 일반적으로 전압이득을 높이면 대역폭은 넓어지는 것이 아니라 **좁아지는 경향**이 있다. 대표적으로 이득·대역폭 곱이 거의 일정한 단일 지배극 증폭기에서는 저역 차단주파수가 고역 차단주파수에 비해 충분히 낮을 때 A_v · BW ≈ 일정의 관계가 성립한다. 여기서 A_v는 dB가 아닌 배수로 나타낸 중간주파수 전압이득이다. 이 조건에서는 이득을 2배로 높이면 대역폭은 약 절반으로 줄어든다.

NoteBase

문 8. 2비트 이진수 $A = A_1A_0$와 $B = B_1B_0$를 입력으로 갖는 크기 비교기가 있다. $A > B$의 경우에 출력 $F = 1$이 되는 대수식은?

① $F = B_1'B_0' + A_1B_0 + A_1A_0B_0 + A_1B_0'$

② $F = A_0B_1'B_0 + A_1B_0 + A_1A_0'B_1$

③ $F = A_0B_1'B_0' + A_1B_1' + A_1A_0B_0'$

④ $F = A_0B_1'B_0' + A_1B_1' + A_1'A_0B_0'$

정답 3번

간단한 해설

2비트 수는 **상위 비트를 먼저 비교**하고, 상위 비트가 같을 때만 하위 비트를 비교한다. 따라서 $A_1 = 1, B_1 = 0$이거나, 상위 비트가 같고 $A_0 = 1, B_0 = 0$일 때 $F = 1$이다.

계산 과정

입력의 자리값은 $A = 2A_1 + A_0, B = 2B_1 + B_0$이다. 각 비트는 0 또는 1이며, 논리식에서 붙여 쓴 곱은 AND, +는 OR, 프라임(')은 NOT을 뜻한다. 구하려는 것은 $A > B$일 때만 1이 되는 출력 논리식이다.

상위 비트 비교: $A_1 = 1, B_1 = 0$이면 하위 비트와 관계없이 A가 B보다 크다. 이 조건을 나타내는 항은 A_1B_1'이다. 반대로 $A_1 = 0, B_1 = 1$이면 하위 비트가 어떻든 A가 B보다 작다.

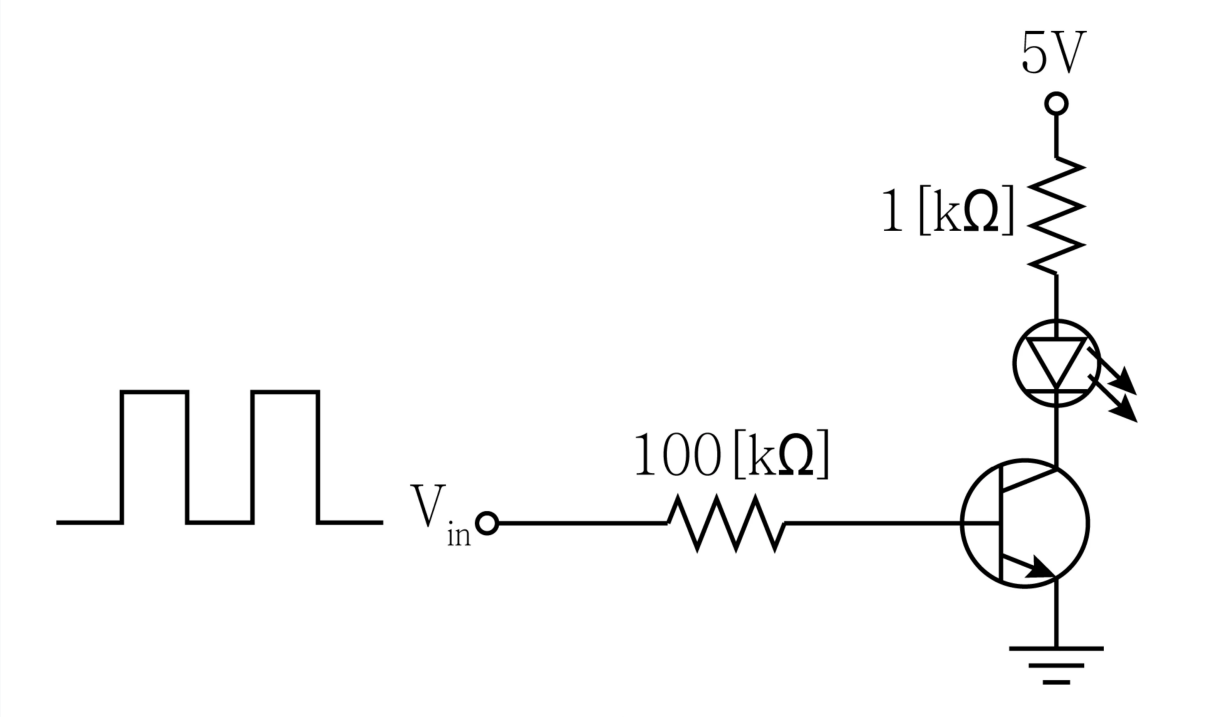
상위 비트가 같은 경우: **하위 비트가 1과 0일 때만** A가 B보다 크므로 A_0B_0'가 필요하다. 상위 비트가 둘 다 1인 조건은 A_1B_1, 둘 다 0인 조건은 $A_1'B_1'$이다. 따라서 전체 조건은 $F = A_1B_1' + (A_1B_1 + A_1'B_1')A_0B_0'$로 쓴다.

논리식 간소화: 괄호를 전개하면 첫 항 외에 $A_1A_0B_1B_0'$와 $A_1'A_0B_1'B_0'$가 생긴다. 앞의 항에서 B_1을 생략하여 추가되는 경우도, 뒤의 항에서 A_1'을 생략하여 추가되는 경우도 모두 $A_1 = 1, B_1 = 0$이다. 이 경우는 **첫 항이 이미 포함**하므로 두 인자를 각각 생략해도 출력은 달라지지 않는다.

따라서 $F = A_0B_1'B_0' + A_1B_1' + A_1A_0B_0'$이며, ③의 식과 일치한다.

NoteBase

문 9. 다음은 BJT를 이용한 스위치 응용회로이다. LED가 빛을 발광하기 위해서는 최소 3.5[mA]의 전류가 필요하고, 이때 LED 양단 전압은 1.15[V]이다. BJT가 포화되기 위한 입력 구형파 전압의 진폭[V]은? (단, 포화를 확실하게 하기 위하여 베이스 전류는 최소 포화전류의 2배를 사용하고, $V_{CE(sat)}$ = 0.2[V], V_{BE} = 0.7[V], β_{DC} = 100이다.)



① 7

② 8

③ 9

④ 10

정답 2번

간단한 해설

포화 시 컬렉터 전류는 LED의 최소 발광 전류가 아니라 **전원과 직렬 부하의 전압·저항**으로 정해지며, 이 회로에서는 3.65 mA이다. 이에 필요한 최소 베이스 전류의 2배인 73 μA를 흘리려면 입력 전압은 **8 V**가 되어야 한다.

NoteBase

계산 과정

컬렉터 전류: 이미터가 접지되어 있으므로 포화 시 컬렉터 전압은 0.2 V이다. 5 V 전원에서 LED의 전압 강하 1.15 V와 컬렉터–이미터 전압 0.2 V를 빼면, 1 kΩ 저항에 걸리는 전압은 5 − 1.15 − 0.2 = 3.65 V이다. 따라서 LED와 컬렉터에 흐르는 전류는 $I_C = \frac{3.65\text{V}}{1\text{k}\Omega} = 3.65\text{mA}$이다. 이는 **최소 발광 전류 3.5 mA 이상**이므로 LED가 발광한다.

베이스 전류: 전류 이득 $\beta_{DC} = 100$을 이용하면 포화 경계에 필요한 최소 베이스 전류는 $I_{B,\,\text{min}} = \frac{I_C}{\beta_{DC}} = \frac{3.65\text{mA}}{100}$, 즉 36.5 μA이다. 문제에서 포화를 확실하게 하기 위해 **이 최소값의 2배**를 사용하므로, 실제로 공급할 베이스 전류는 2 × 36.5 = 73 μA이다. 전류 이득은 포화 경계의 전류를 구하는 데 사용하며, 포화 상태의 컬렉터 전류는 앞에서 구한 부하 조건으로 정해진다.

입력 전압: 입력과 베이스 사이에는 100 kΩ 저항이 있고, 베이스–이미터 전압은 0.7 V이다. 따라서 입력이 높은 동안 $V_{\text{in}} = I_B R_B + V_{BE}$가 성립한다. 베이스 전류 73 μA는 0.073 mA이므로 저항의 전압 강하는 0.073 mA × 100 kΩ = 7.3 V이다. 여기에 **베이스–이미터 전압 0.7 V를 더하면** 입력 구형파의 진폭은 7.3 + 0.7 = 8 V이며, ②의 값과 일치한다.

NoteBase

문 10. 연산증폭기에 대한 설명으로 옳지 않은 것은?

① 연산증폭기는 큰 입력임피던스와 작은 출력임피던스를 가진다.

② 일반적으로 연산증폭기는 큰 전압이득을 얻기 위해 증폭기를 여러 단으로 구성한다.

③ 연산증폭기에서 SR(Slew Rate) 값이 작을수록 빠른 속도로 출력전압을 변화시킬 수 있다.

④ 연산증폭기는 내부에 보상회로를 포함하고 있어 주파수 증가에 따라 전압이득은 감소하는 경향을 갖는다.

정답 3번

간단한 해설

SR(Slew Rate)은 출력전압이 단위 시간에 변할 수 있는 최대 크기이다. 따라서 **SR 값이 클수록** 출력전압을 더 빠르게 변화시킬 수 있으며, '작을수록'이라는 설명은 반대이다.

선지별 해설

① O: 입력임피던스가 크면 신호원에서 끌어오는 입력전류가 작아 신호원에 주는 부하가 줄어든다.
출력임피던스가 작으면 부하에 전류를 공급할 때 내부에서 생기는 전압강하가 작다. 연산증폭기는 이처럼 **큰 입력임피던스와 작은 출력임피던스**를 갖도록 설계된다.

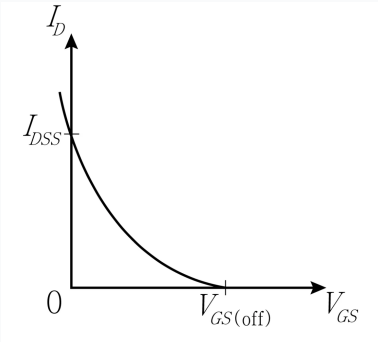
② O: 일반적인 연산증폭기는 입력단, 전압증폭단, 출력단 등 여러 단으로 구성된다. 각 증폭단의 전압이득이 곱해지므로 **여러 단을 연결하여 큰 전체 전압이득**을 얻을 수 있다. 여기서 큰 전압이득은 외부 귀환을 적용하기 전의 개방루프 이득을 뜻한다.

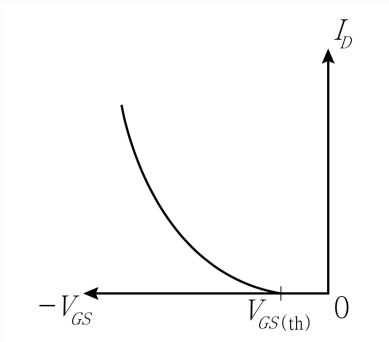
③ X: SR은 출력전압의 **최대 시간당 변화율**이며, 보통 V/μs 단위로 나타낸다. SR이 크면 같은 시간 동안 출력전압을 더 많이 바꿀 수 있으므로, 선지의 'SR 값이 작을수록'은 'SR 값이 클수록'으로 고쳐야 한다. 출력에 요구되는 변화율이 SR을 넘으면 출력이 입력의 변화를 충분히 따라가지 못해 파형이 왜곡된다.

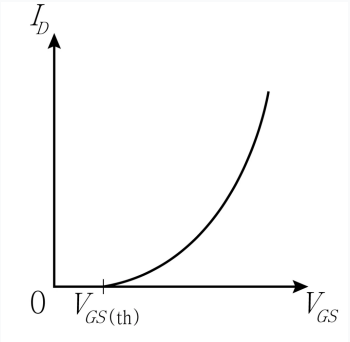
④ O: 일반적인 내부 보상형 연산증폭기는 보상용 커패시터 등으로 주파수 응답을 조절하여 부귀환 동작의 안정성을 확보한다. 이때 지배적인 극점이 형성되어, 그 극점 주파수를 넘는 영역에서는 **주파수가 증가할수록 개방루프 전압이득이 감소**하는 경향을 보인다.

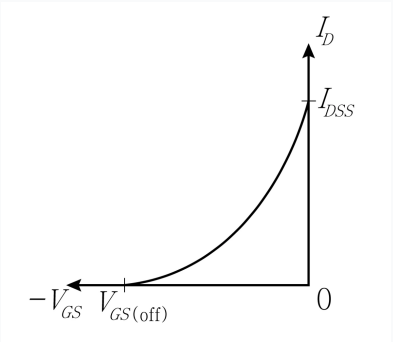
NoteBase

문 11. p채널 공핍형 MOSFET의 전압 대 전류 전달특성곡선으로 옳은 것은?

① 

② 

③ 

④ 

정답 1번

간단한 해설

p채널 공핍형 MOSFET은 게이트 전압이 0이어도 전도 채널이 존재한다. 양의 게이트 전압을 높이면 채널의 정공이 줄어들므로, 전달특성은 **0이 아닌 전류에서 시작하여 양의 차단 전압에서 전류가 0이 되는 곡선**이다.

NoteBase

도식 해설

전달특성곡선은 드레인·소스에 적절한 동작 전압을 가한 상태에서 게이트·소스 전압 V_{GS}에 따른 드레인 전류의 변화를 나타낸다. 이 문제에서는 세로축에 전류의 크기를 양의 값으로 표시하였다. 왼쪽으로 향한 $-V_{GS}$축은 왼쪽으로 갈수록 게이트 전압이 더 음수가 된다는 뜻이다.

공핍형은 전도 채널이 이미 형성되어 있어 **게이트 전압이 0이어도 전류가 흐른다**. 그림의 I_{DSS}는 이때의 포화 드레인 전류의 크기이다. 증강형은 게이트 전압이 0일 때 전도 채널이 형성되지 않아 전류가 흐르지 않는다.

① p채널 공핍형: 곡선이 $V_{GS} = 0$에서 I_{DSS}를 지나고, 오른쪽의 양의 차단 전압 $V_{GS(off)}$에서 전류가 0이 된다. p채널의 전류 운반자는 정공이므로, **양의 게이트 전압이 정공을 채널에서 밀어내면** 채널의 전도성이 낮아져 전류가 감소한다.

② p채널 증강형: 게이트 전압이 0일 때 전류가 흐르지 않는다. 왼쪽의 음의 문턱 전압보다 더 음의 전압을 가하면 정공으로 이루어진 전도 채널이 형성되어 전류가 증가한다. 따라서 **음의 게이트 전압으로 켜지는 증강형**의 곡선이다.

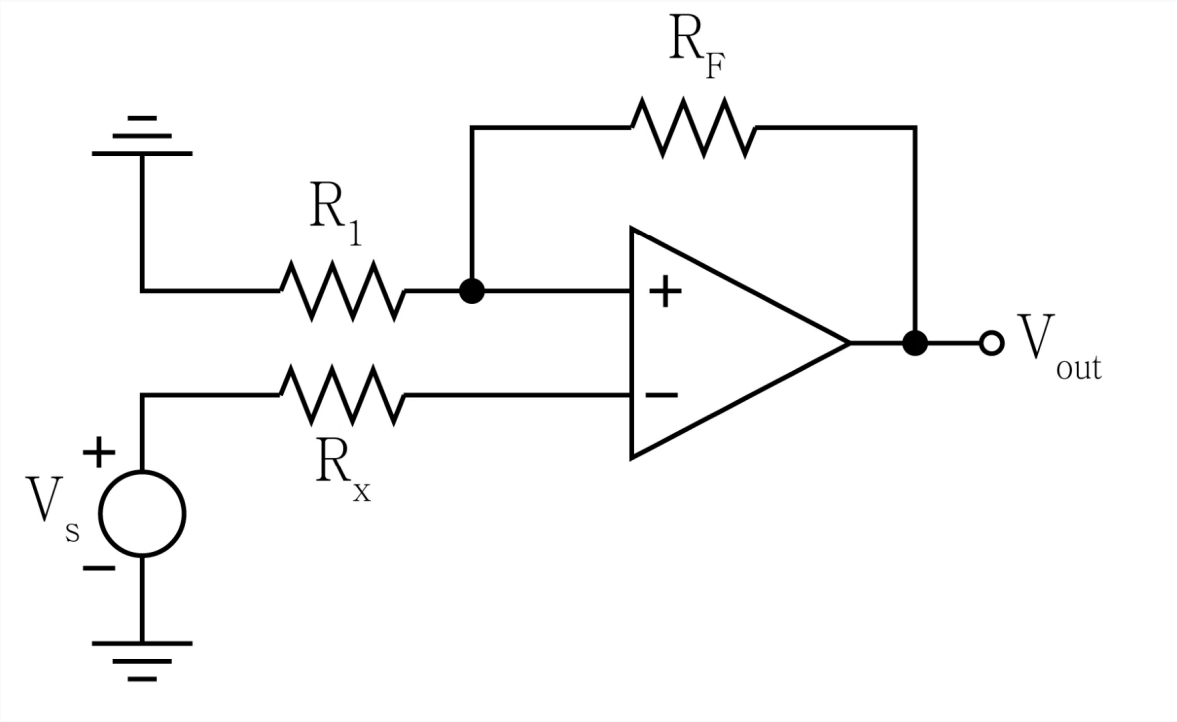
③ n채널 증강형: 게이트 전압이 0일 때 전류가 흐르지 않고, 양의 문턱 전압을 넘으면 전류가 증가한다. 양의 게이트 전압이 전자를 끌어모아 전도 채널을 형성하므로, **양의 게이트 전압으로 켜지는 증강형**에 해당한다.

④ n채널 공핍형: 게이트 전압이 0일 때 전류가 흐르지만, 왼쪽으로 갈수록 음의 게이트 전압에 의해 채널의 전자가 줄어들어 전류가 감소한다. **음의 차단 전압에서 전류가 0**이 되므로 p채널 공핍형과 차단 전압의 부호가 반대이다.

따라서 게이트 전압이 0일 때 전류가 흐르면서 양의 게이트 전압으로 차단되는 ①이 p채널 공핍형 MOSFET의 전달특성이다.

NoteBase

문 12. 다음 슈미트 트리거 회로에 대한 설명으로 옳지 않은 것은?



① 슈미트 트리거 회로를 이용하면 잡음신호를 제거한 펄스 구형파를 얻을 수 있다.

② V_s가 양의 값일 때 V_{out}은 음의 값을 갖고, V_s가 음의 값일 때 V_{out}은 양의 값을 갖는다.

③ 전압전달함수에 히스테리시스 특성이 있는 비교기의 일종이다.

④ 주어진 회로는 반전형 슈미트 트리거 회로로 동작한다.

정답 2번

간단한 해설

②의 출력은 입력의 부호만으로 결정되지 않는다. **상한·하한 문턱전압 사이에서는 이전 출력 상태가 유지**되므로, 양의 입력에서 양의 출력이 나타나거나 음의 입력에서 음의 출력이 나타날 수 있다.

NoteBase

선지별 해설

① O: 슈미트 트리거는 입력이 문턱전압을 넘을 때 출력을 두 포화 상태 사이에서 전환하여 펄스 구형파를 만든다. 전환 후에는 반대쪽 문턱전압을 넘어야 다시 전환되므로, **반대쪽 문턱을 넘지 않는 잡음**에 의한 불필요한 출력 전환을 억제한다. 잡음의 크기에 관계없이 모든 잡음을 제거한다는 뜻은 아니다.

② X: 비교 기준은 0 V가 아니라 출력에서 되먹임되는 (+) 단자의 전압이다. 이상적인 연산증폭기에서는 입력전류가 흐르지 않으므로 $V_- = V_s$이고, 저항 분압에 의해 $V_+ = \frac{R_1}{R_1 + R_F} V_{out}$이다. 출력이 양의 포화 상태이면 기준전압도 양수이므로, 입력이 증가하여 이 상한 문턱전압을 넘어야 출력이 음의 포화 상태로 바뀐다. 출력이 음의 포화 상태이면 기준전압도 음수이므로, 입력이 감소하여 이 하한 문턱전압보다 낮아져야 출력이 양의 포화 상태로 바뀐다. 따라서 **두 문턱전압 사이에서는 이전 출력 상태를 유지**하며, 입력과 출력의 부호가 항상 반대인 것은 아니다.

③ O: 히스테리시스는 같은 입력전압에서도 **입력의 변화 경로에 따라 출력이 달라지는** 특성이다. 이 회로에서는 입력이 상승할 때와 하강할 때의 전환 문턱전압이 다르므로 전압전달특성에 히스테리시스가 생긴다. 이는 양의 되먹임을 갖는 비교기의 특성이다.

④ O: 그림에서 입력 전압원은 R_X를 거쳐 연산증폭기의 **반전 입력인 (−) 단자**에 연결되어 있다. 출력은 R_F를 통해 (+) 단자로 되먹임되어 히스테리시스를 만든다. 입력이 상한 문턱을 넘으면 출력이 낮아지고 하한 문턱 아래로 내려가면 출력이 높아지므로 반전형 슈미트 트리거로 동작한다.

NoteBase

문 13. FM변복조에서 프리엠퍼시스회로와 디엠퍼시스회로에 대한 설명으로 옳지 않은 것은?

① 신호파의 저주파성분 신호대 잡음비를 개선하기 위한 회로이다.

② 프리엠퍼시스회로는 FM변조기의 전단에, 디엠퍼시스회로는 복조기 후단에 위치한다.

③ 프리엠퍼시스회로는 HPF회로, 디엠퍼시스회로는 LPF회로에 해당한다.

④ 프리엠퍼시스회로는 신호파의 일부를 의도적으로 강화시키기 위한 회로이다.

정답 1번

간단한 해설

①의 '저주파성분'은 **'고주파 성분'**으로 고쳐야 한다. 송신 전에 고주파 성분을 강화하고 복조 후 다시 감쇠시키면, 전송 중 더해진 고주파 잡음이 줄어 신호 대 잡음비가 개선된다.

선지별 해설

① X: FM 복조 후의 잡음은 고주파 쪽에서 커지므로, 프리엠퍼시스와 디엠퍼시스는 **고주파 성분의 신호 대 잡음비**를 개선하기 위해 사용한다. 송신 시 고주파 신호 성분을 미리 강화하고 수신 시 그만큼 감쇠시키면, 신호의 주파수별 상대 크기는 원래대로 복원되면서 전송 중 더해진 고주파 잡음도 함께 감소한다. 따라서 '저주파성분'을 '고주파 성분'으로 고쳐야 한다.

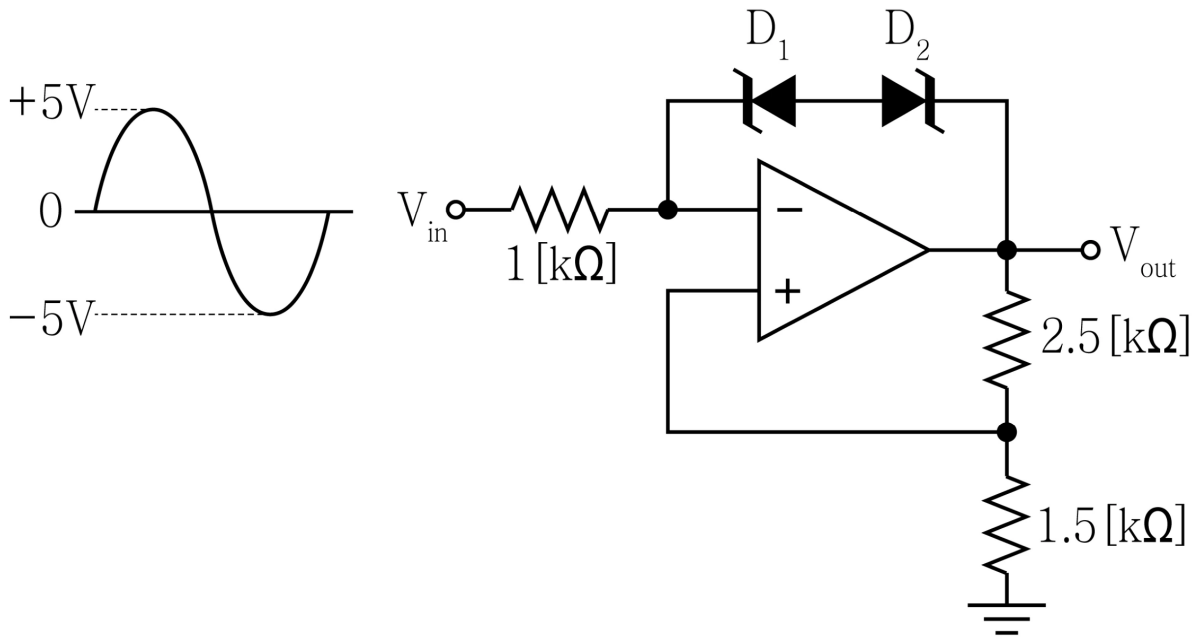
② O: 프리엠퍼시스는 신호를 미리 강조해야 하므로 **FM 변조기 전단**에 둔다. 디엠퍼시스는 복조된 신호의 주파수 특성을 복원하고 잡음을 줄이는 처리이므로 복조기 후단에 둔다. 신호는 프리엠퍼시스 → FM 변조 → 전송 → FM 복조 → 디엠퍼시스 순서로 처리된다.

③ O: 프리엠퍼시스는 저주파 성분에 비해 고주파 성분을 상대적으로 강조하는 **고역통과필터(HPF) 특성**을 갖는다. 디엠퍼시스는 고주파 성분을 감쇠시키는 저역통과필터(LPF) 특성을 갖는다. 두 회로의 주파수 특성이 서로 보완되도록 하면 신호 전체의 주파수 응답을 원래대로 복원할 수 있다.

④ O: 프리엠퍼시스는 신호의 모든 주파수 성분을 똑같이 증폭하는 대신, **고주파 성분을 선택적으로 강화**한다. 고주파 신호를 미리 크게 만들어 전송하면, 수신 측에서 이를 원래 수준으로 낮추는 과정에서 함께 존재하는 고주파 잡음도 줄일 수 있다.

NoteBase

문 14. 다음 회로에 피크값이 5[V]인 정현파를 입력하였을 때, 출력전압 V_{out}[V]의 최댓값과 최솟값은? (단, 제너다이오드 D_1과 D_2는 동일한 역방향 항복 전압 4.3[V]와 동일한 순방향 전압 0.7[V]를 가지며, 연산증폭기는 이상적이다)



① 1.4, -1.4

② 5, -5

③ 8, -8

④ 10, -10

정답 3번

간단한 해설

제너다이오드 쌍이 도통할 때 출력과 반전 입력 사이의 전압차는 4.3 + 0.7 = 5 V이다. 분압과 음의 되먹임에 의해 이 전압차는 **출력 크기의 5/8**에 해당하므로, 출력의 최댓값과 최솟값은 **8 V와 -8 V**이다.

NoteBase

계산 과정

분압 관계: 반전 입력 전압을 V_-, 비반전 입력 전압을 V_+라 한다. 이상적인 연산증폭기의 입력 전류는 0이므로, 비반전 입력 전압은 출력에 연결된 두 저항의 분압으로 정해진다.
$V_+ = \frac{1.5}{2.5+1.5} V_{out} = \frac{3}{8} V_{out}$

제너다이오드의 도통 조건: 두 제너다이오드는 서로 반대 방향으로 직렬 연결되어 있어, 전류가 흐를 때 **하나는 역방향 항복하고 다른 하나는 순방향 도통**한다. 출력이 양수이면 D_2가 역방향 항복하고 D_1이 순방향 도통하며, 출력이 음수이면 역할이 바뀐다. 따라서 도통 중 두 다이오드에 걸리는 전체 전압의 크기는 4.3 + 0.7 = 5 V이다.

출력 레벨 계산: 제너 경로가 도통한 안정 상태에서는 음의 되먹임이 작용하므로 $V_- = V_+$이다. 따라서 출력과 반전 입력 사이의 전압차는 $V_{out} - V_- = \frac{5}{8} V_{out}$이다. 이 전압차의 크기가 5 V이므로 다음과 같이 출력 크기를 구한다.
$\frac{5}{8}|V_{out}| = 5\text{V}$
$|V_{out}| = \frac{8}{5} \times 5 = 8\text{V}$
즉, **5 V는 출력 자체가 아니라 출력과 반전 입력 사이의 전압차**이며, 가능한 출력 레벨은 +8 V와 -8 V이다.

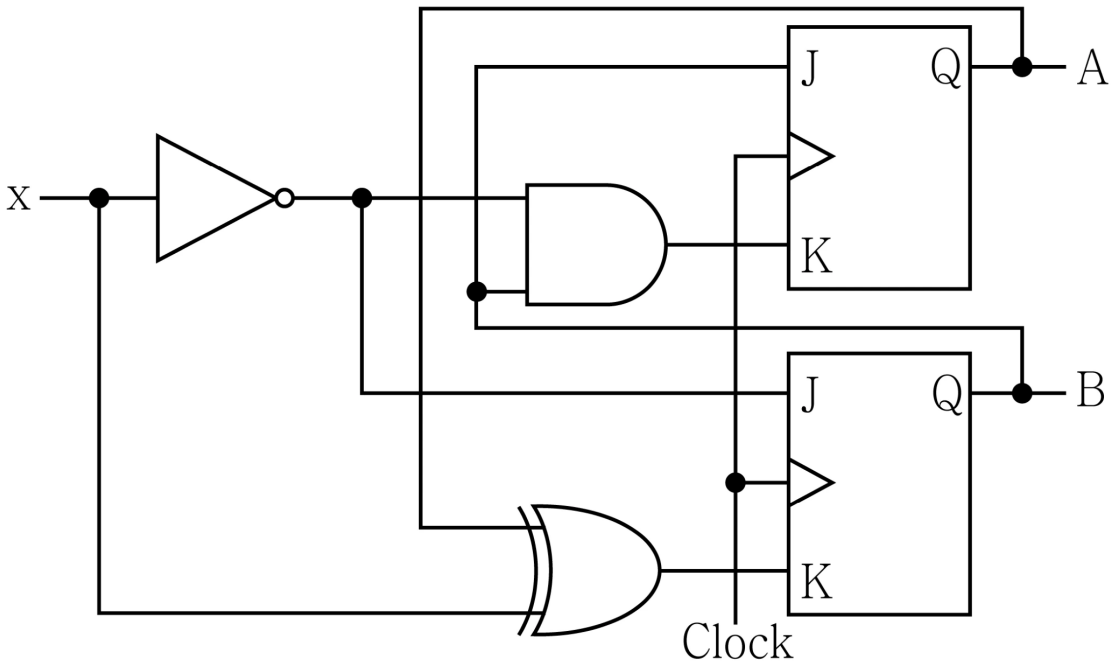
양의 출력 상태: 출력이 +8 V이면 두 입력단 전압은 +3 V이다. 이때 제너 쌍을 통과하는 전류는 출력에서 반전 입력을 거쳐 1 kΩ 저항 쪽으로 흐른다. 이 전류 방향이 성립하려면 입력 전압이 +3 V 이하여야 하므로, 입력이 +5 V에 이르면 양의 출력 상태는 유지될 수 없다.

음의 출력 상태: 출력이 -8 V이면 두 입력단 전압은 -3 V이다. 이때 전류는 입력 저항에서 반전 입력과 제너 쌍을 거쳐 출력 쪽으로 흐른다. 이 전류 방향이 성립하려면 입력 전압이 -3 V 이상이어야 하므로, 입력이 -5 V에 이르면 음의 출력 상태는 유지될 수 없다.

입력의 양의 피크 +5 V에서는 출력이 -8 V가 되고, 음의 피크 -5 V에서는 출력이 +8 V가 된다. 따라서 출력전압의 최댓값과 최솟값은 각각 8 V와 -8 V로, ③에 해당한다.

NoteBase

문 15. 다음 회로에 대한 상태표를 작성할 때, ㉠~㉣에 들어갈 내용으로 옳지 않은 것은?



현재상태	입력	다음상태
A(t) B(t)	x	A(t + 1) B(t + 1)
0 0	0	0 1
0 0	1	㉠
0 1	0	1 1
0 1	1	㉡
1 0	0	1 1
1 0	1	㉢
1 1	0	0 0
1 1	1	㉣

① ㉠: 0 0

② ㉡: 0 1

③ ㉢: 1 0

④ ㉣: 1 1

NoteBase

정답 2번

간단한 해설

㉡에서는 A가 0에서 1로 설정되는 동시에 B는 1에서 0으로 리셋되므로, 다음상태는 **1 0**이다. 같은 클록에서 B의 동작은 **변경 전 A=0**을 기준으로 결정된다.

빈칸별 해설

회로의 위쪽과 아래쪽 JK 플립플롭 출력은 각각 A와 B이다. 연결을 따라가면 $J_A = B$, $K_A = \overline{X} \cdot B$, $J_B = \overline{X}$, $K_B = A \oplus X$이다. 여기서 윗줄은 반전, ·는 AND, ⊕는 XOR를 뜻한다. JK 플립플롭은 J와 K가 차례로 0 0이면 현재값 유지, 0 1이면 0으로 리셋, 1 0이면 1로 설정, 1 1이면 현재값 반전으로 동작한다. 두 플립플롭은 같은 클록으로 동작하므로 **모두 변경 전 현재상태를 기준**으로 다음상태를 구한다.

㉠~㉣은 모두 X=1인 행이다. 따라서 $J_A = B$, $K_A = 0$, $J_B = 0$, $K_B = \overline{A}$가 된다. 아래의 상태쌍은 A, B 순서이다.

㉠: 0 0. 현재상태가 0 0이면 A 쪽은 J=0, K=0이므로 0을 유지한다. B 쪽은 J=0, K=1이므로 0으로 리셋된다. 따라서 다음상태는 0 0이다.

㉡: 1 0. 현재상태가 0 1이면 A 쪽은 J=1, K=0이므로 1로 설정된다. B 쪽은 현재 A=0에 의해 J=0, K=1이므로 0으로 리셋된다. A가 이번 클록에서 1이 되더라도 B를 구할 때는 **현재 A=0**을 사용하므로 다음상태는 1 0이다.

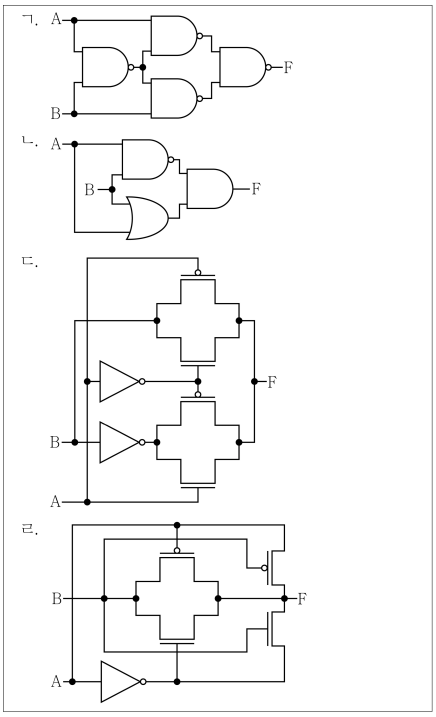
㉢: 1 0. 현재상태가 1 0이면 A 쪽은 J=0, K=0이므로 1을 유지한다. B 쪽도 J=0, K=0이므로 0을 유지한다. 따라서 다음상태는 1 0이다.

㉣: 1 1. 현재상태가 1 1이면 A 쪽은 J=1, K=0이므로 1로 설정된다. B 쪽은 현재 A=1에 의해 J=0, K=0이므로 1을 유지한다. 따라서 다음상태는 1 1이다.

②의 '㉡: 0 1'은 다음상태를 잘못 제시한 것으로, '**㉡: 1 0**'으로 고쳐야 한다. 나머지 빈칸에 제시된 상태쌍은 회로의 동작과 일치한다.

NoteBase

문 16. 다음 회로 중에서 출력 F의 논리함수식이 같은 것만을 모두 고르면?



① ㄱ, ㄴ, ㄷ

② ㄱ, ㄴ, ㄹ

③ ㄴ, ㄷ, ㄹ

④ ㄱ, ㄴ, ㄷ, ㄹ

정답 4번

간단한 해설

회로의 모양이 달라도 출력은 모두 **두 입력이 서로 다를 때만 1이 되는 배타적 OR(XOR)**이다. ㄷ · ㄹ도 A가 0이면 B를 전달하고, A가 1이면 B의 반전을 출력한다.

NoteBase

선지별 해설

각 회로의 출력을 같은 입력 A, B에 대해 비교한다. 논리식에서 곱은 AND, +는 OR, 윗줄은 NOT을 뜻한다. NAND는 AND 출력을 반전한 것이며, 전송 게이트는 병렬로 연결된 pMOS와 nMOS가 함께 켜지면 신호를 전달한다. pMOS는 제어 입력이 0일 때, nMOS는 1일 때 켜진다.

ㄱ: 왼쪽 NAND의 출력을 $X = \overline{AB}$라 두면, 가운데 두 NAND의 출력은 각각 $\overline{AX}$, $\overline{BX}$이다. 마지막 NAND에 **드모르간 법칙**을 적용하면 $F = AX + BX$가 된다. 따라서 $F = (A + B)\overline{AB}$이고, 이를 전개하면 $F = \overline{A}B + A\overline{B}$이다.

ㄴ: 위쪽 NAND의 출력은 $\overline{AB}$, 아래쪽 OR의 출력은 A + B이다. 마지막 AND가 **두 출력을 곱하므로** $F = \overline{AB}(A + B)$이다. 드모르간 법칙으로 $\overline{AB} = \overline{A} + \overline{B}$를 대입하고 전개하면, $A\overline{A} = B\overline{B} = 0$이므로 $F = \overline{A}B + A\overline{B}$만 남는다.

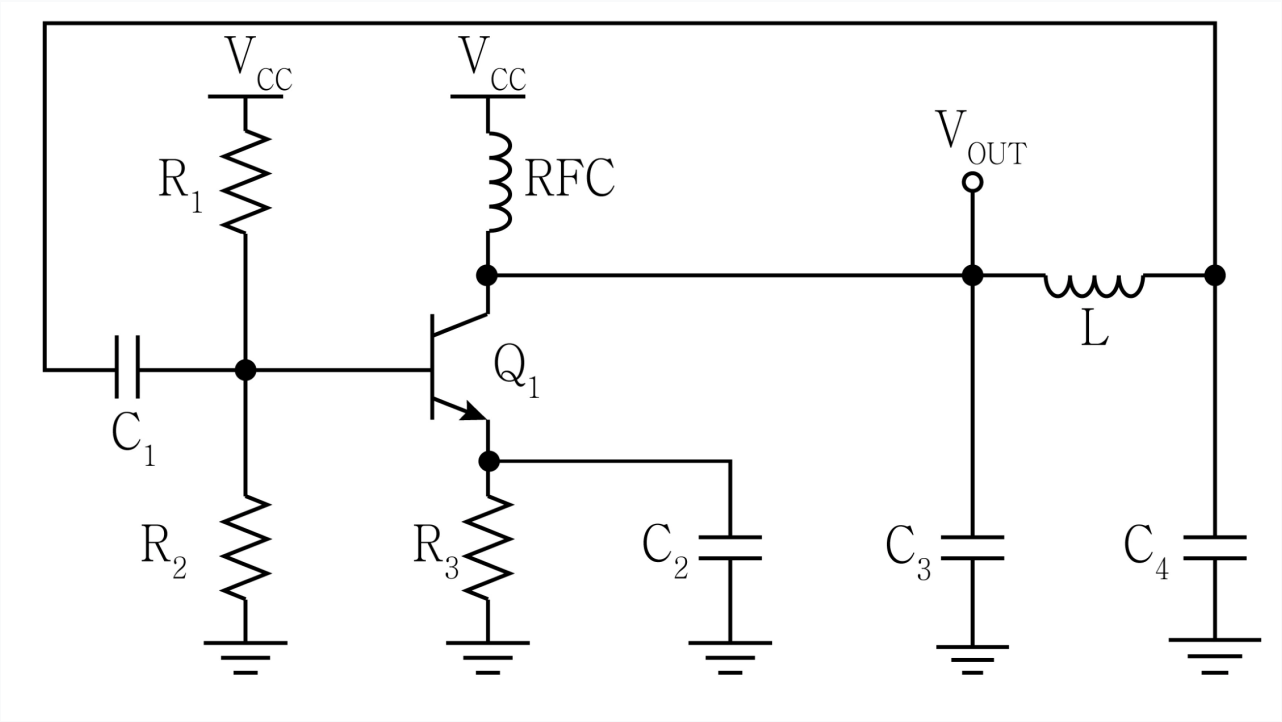
ㄷ: 위쪽 전송 게이트에는 B가, 아래쪽 전송 게이트에는 인버터를 거친 $\overline{B}$가 입력된다. **A = 0일 때 위쪽 경로**는 pMOS의 제어 입력이 0, nMOS의 제어 입력이 1이 되어 켜지고, 아래쪽 경로는 꺼진다. 따라서 F = B이다. A = 1이면 반대로 아래쪽 경로만 켜져 $F = \overline{B}$가 된다. 이를 논리식으로 쓰면 $F = \overline{A}B + A\overline{B}$이다.

ㄹ: 가운데 전송 게이트의 pMOS는 A로, nMOS는 $\overline{A}$로 제어된다. A = 0이면 전송 게이트가 켜져 B를 출력으로 전달하므로 F = B이다. **A = 1이면 전송 게이트가 꺼지고**, 오른쪽 pMOS의 위쪽 단자는 1, nMOS의 아래쪽 단자는 0이 된다. 두 MOS의 게이트에는 모두 B가 연결되어 있으므로 인버터로 동작한다. 즉 B = 0이면 pMOS가 켜져 F = 1, B = 1이면 nMOS가 켜져 F = 0이므로 $F = \overline{B}$이다. 따라서 이 회로도 $F = \overline{A}B + A\overline{B}$를 구현한다.

비교 결과 ㄱ · ㄴ · ㄷ · ㄹ의 출력은 모두 $F = \overline{A}B + A\overline{B} = A \oplus B$로 같다. A와 B가 같으면 0, 다르면 1이며, 네 회로를 모두 포함한 조합은 ④이다.

NoteBase

문 17. 다음 발진회로에 대한 설명으로 옳지 않은 것은?



① C_1은 AC 결합 커패시터로서 출력 측으로부터 교류신호 피드백을 위해 사용된다.

② R_1과 R_2는 CE회로의 동작점을 설정하기 위한 전압분배 바이어스용으로 사용된다.

③ 주어진 발진회로의 발진주파수는 $\frac{1}{2\pi\sqrt{LC_1C_2/(C_1+C_2)}}$이다.

④ RFC는 발진주파수에서 매우 큰 임피던스 값을 가진다.

정답 3번

간단한 해설

③의 식에는 C_1, C_2 대신 **공진용 커패시터** C_3, C_4를 사용해야 한다. C_1은 교류 결합용이고, C_2는 이미터 저항을 교류적으로 우회시키는 바이패스용이다.

NoteBase

선지별 해설

① O: C_1은 인덕터 L의 오른쪽 끝과 트랜지스터의 베이스 사이에 연결되어 있다. 출력 측 공진회로의 교류신호를 베이스로 되돌려 보내면서 **직류는 차단**하므로, 베이스의 직류 바이어스를 유지하는 AC 결합 커패시터로 작용한다.

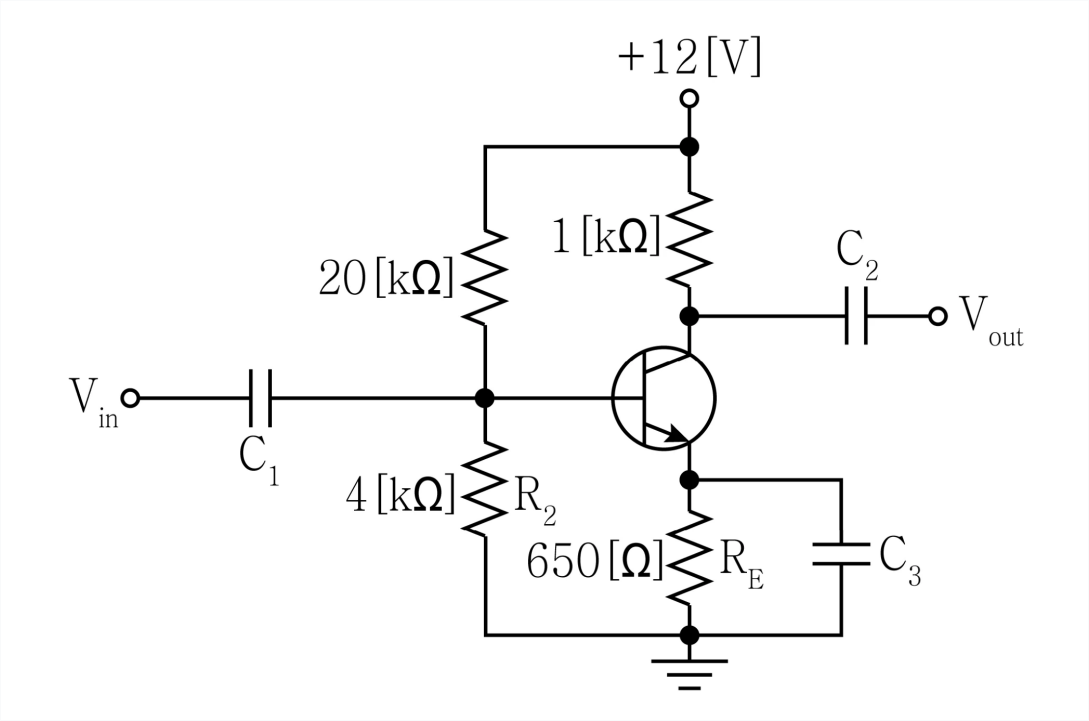
② O: R_1과 R_2는 전원과 접지 사이에 직렬로 연결되고, 두 저항의 접속점이 베이스에 연결된다. 이 **전압분배 바이어스**로 베이스의 직류 전위를 정하며, 이미터 저항 R_3과 함께 공통 이미터(CE) 회로의 동작점을 설정한다.

③ X: 그림에서 L의 양 끝에 각각 연결되어 접지로 이어지는 **공진용 커패시터는** C_3와 C_4이다. L의 양단에서 보면 두 커패시터는 접지를 공통 접속점으로 하는 직렬 경로를 이루므로, 등가 정전용량은 $C_{eq} = \frac{C_3 C_4}{C_3 + C_4}$이다. 부하 효과와 기생 성분을 무시하면 발진주파수는 $f_0 \approx \frac{1}{2\pi\sqrt{LC_{eq}}}$로 주어진다. 따라서 선지의 식에서 C_1, C_2를 C_3, C_4로 바꾸어야 한다. C_1은 교류신호 결합용이고, C_2는 R_3과 병렬로 연결된 이미터 바이패스용이므로 이 공진식의 두 커패시터에 해당하지 않는다.

④ O: RFC는 고주파 초크 코일로, 전원에서 컬렉터로 직류전류를 공급하는 경로에 놓인다. 발진주파수에서는 **큰 유도성 리액턴스**를 갖도록 하여 교류신호가 전원 쪽으로 빠져나가는 것을 억제한다. 따라서 직류 공급 경로를 유지하면서 발진신호에 대해서는 큰 임피던스를 제공한다.

NoteBase

문 18. 다음 증폭회로의 DC동작점에서 V_{CE}[V]는? (단, $V_{BE} = 0.7$[V], $\beta_{DC} = 100$, $\beta_{DC} \cdot R_E \gg R_2$, $I_C \cong I_E$ 이다)



① 6.8

② 7.4

③ 8.7

④ 9.8

정답 3번

간단한 해설

베이스의 분압 전압은 2 V이므로 이미터 전압은 1.3 V, 이미터 전류는 2 mA이다. 컬렉터 전압 10 V에서 **이미터 전압을 빼면** 컬렉터-이미터 전압은 8.7 V가 된다.

NoteBase

계산 과정

DC 등가회로: DC 정상상태에서 커패시터는 **개방회로**로 취급한다. 따라서 입력·출력 결합 커패시터 C_1, C_2와 이미터 바이패스 커패시터 C_3에는 DC 전류가 흐르지 않으며, 이미터 저항 $R_E = 650\Omega$는 DC 회로에 남는다.

베이스 전압: 주어진 $\beta_{DC} = 100$, $\beta_{DC}R_E \gg R_2$ 조건에서는 **베이스 전류에 의한 분압회로의 부하 효과를 무시**할 수 있다. 베이스는 전원 쪽 20 kΩ과 접지 쪽 4 kΩ 사이에 연결되어 있으므로 $V_B = 12 \cdot \frac{4}{20+4} = 2\text{V}$이다.

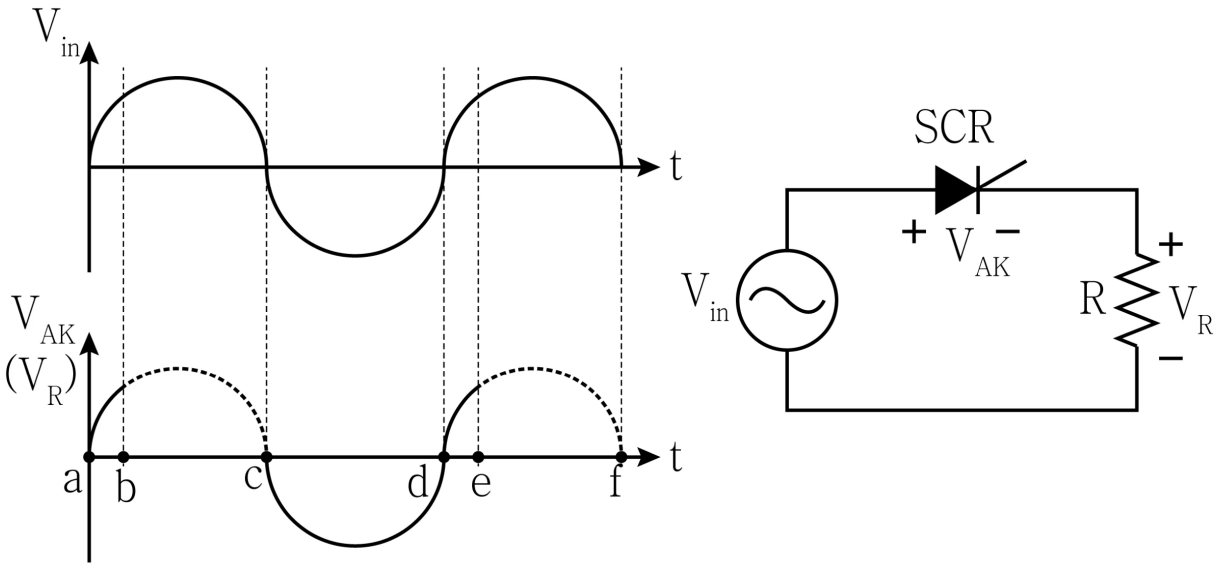
이미터 전압과 전류: 베이스가 이미터보다 0.7 V 높으므로 $V_E = V_B - V_{BE}$에서 $2 - 0.7 = 1.3$ V이다. 이 전압이 650 Ω에 걸리므로 옴의 법칙에 따라 $I_E = \frac{1.3}{650}\text{A} = 2\text{mA}$이다. 주어진 $I_C \simeq I_E$ 조건을 적용하면 컬렉터 전류도 약 2 mA이다.

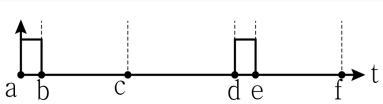
컬렉터 전압: 전원과 컬렉터 사이의 1 kΩ 저항을 R_C라 하면, 전압강하는 $I_CR_C = 2\text{mA} \cdot 1\text{k}\Omega = 2\text{V}$이다. 따라서 $V_C = V_{CC} - I_CR_C$에서 컬렉터의 접지 기준 전압은 $12 - 2 = 10$ V이다.

컬렉터-이미터 전압: 구하는 값은 컬렉터의 접지 기준 전압이 아니라 **컬렉터와 이미터 사이의 전위차**이다. $V_{CE} = V_C - V_E$이므로 $10 - 1.3 = 8.7$ V이며, ③의 값과 일치한다.

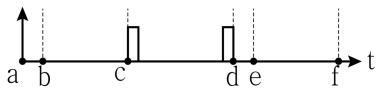
NoteBase

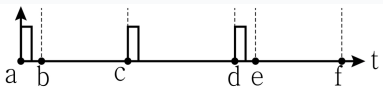
문 19. 다음 SCR회로에서 실선은 SCR 양단 전압(V_{AK})을 나타내고, 점선은 저항 R의 양단 전압(V_R)을 나타낸다. SCR의 게이트 단자에 펄스가 인가되는 시점은?



① 

② 

③ 

④ 

정답 2번

간단한 해설

SCR은 게이트 펄스로 켜지면 양단 전압이 거의 0이 되고, 저항에 입력 전압이 걸린다. 따라서 실선이 0으로 바뀌고 점선이 나타나기 시작하는 **b와 e가 점호 시점**이다.

NoteBase

도식 해설

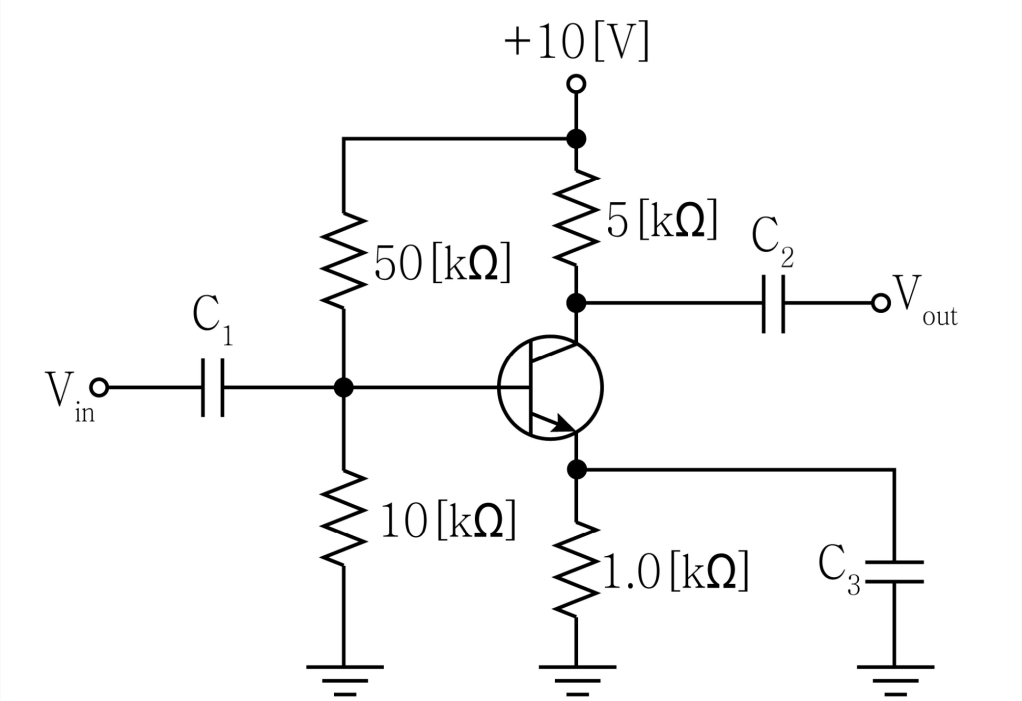
a~b와 d~e: 입력 전압이 양수이지만 SCR이 아직 꺼져 있어 전류가 흐르지 않는다. 따라서 저항 전압은 $V_R = 0$이고, 입력 전압이 SCR 양단에 걸려 $V_{AK} = V_{in}$이 된다. 양의 반주기가 시작되는 a와 d에서도 곧바로 도통하지 않는다는 점이 중요하다.

b와 e: 순방향 전압이 걸린 SCR의 게이트에 펄스를 인가하면 **차단 상태에서 도통 상태로 전환**된다. 그림처럼 도통 전압강하를 무시하면 $V_{AK} \approx 0$, $V_R \approx V_{in}$이므로 실선은 0이 되고 점선이 입력 전압을 따라 나타난다. 이 변화가 시작되는 b와 e에서 펄스가 올라가는 파형이 ②이다.

b~c와 e~f: SCR은 일단 점호되어 도통이 확립되면 **게이트 펄스가 끝나도 도통을 유지**한다. 따라서 게이트 펄스를 도통 구간 내내 인가할 필요는 없다. 저항 부하에서는 전류가 전압과 함께 감소하므로 c와 f 부근에서 전류가 유지전류 아래로 떨어져 자연 소호된다. c~d의 음의 반주기에는 역방향 전압을 차단하므로 저항 전압은 0이고, 음의 입력 전압은 SCR 양단에 걸린다. c와 f의 소호 시점을 게이트 점호 시점과 구별해야 한다.

NoteBase

문 20. 다음 회로에서 바이패스 커패시터(C_3)가 없는 경우의 전압이득이 4.9일 때, 바이패스 커패시터가 있는 경우의 전압이득은? (단, 증폭기의 동작주파수는 충분히 크다)



① 205

② 225

③ 245

④ 265

정답 3번

간단한 해설

바이패스 커패시터는 이미터 저항을 **교류적으로 우회**시켜 이득을 낮추던 음의 피드백을 제거한다. 바이패스가 없을 때의 이득 4.9로 내부 소신호 저항을 구하면 약 20.4 Ω이며, 이를 이용한 전압이득의 크기는 **245배**이다.

NoteBase

계산 과정

회로의 컬렉터 저항은 $R_C = 5\text{k}\Omega$, 이미터 저항은 $R_E = 1.0\text{k}\Omega$이다. 동작주파수가 충분히 크므로 결합 커패시터 C_1, C_2와 바이패스 커패시터 C_3의 리액턴스는 무시한다. 통상적인 소신호 근사에서 베이스전류와 트랜지스터 출력저항의 영향을 무시하고 계산한다. 공통 이미터 증폭기는 위상을 반전시키므로, 문제에 제시된 양의 이득은 전압이득의 크기로 해석한다.

바이패스가 없는 경우: 트랜지스터 내부의 소신호 이미터 저항을 r_e라 하면, 입력 신호 전압은 r_e와 외부 이미터 저항 R_E에 나뉘어 걸린다. 따라서 이득의 크기는 $|A_{v0}| \approx \frac{R_C}{r_e + R_E}$이다. 외부 이미터 저항은 전류가 증가할 때 이미터 전압도 높여 베이스와 이미터 사이의 신호 전압 증가를 억제하는 **음의 피드백**을 만든다.

내부 소신호 저항 계산: 주어진 이득 4.9를 대입하면 $4.9 = \frac{5000}{r_e + 1000}$이다. 저항을 Ω 단위로 계산하면 $r_e = \frac{5000}{4.9} - 1000 = \frac{1000}{49}\Omega$로, 약 20.4 Ω이다. 이 값은 외부의 1.0 kΩ 저항과 구별되는 트랜지스터 내부의 소신호 저항이다.

바이패스가 있는 경우: C_3가 외부 이미터 저항과 병렬로 연결되어 있으므로 이미터가 **교류적으로 접지**된다. 직류 바이어스는 유지되지만 교류 이득식의 분모에서 외부 저항 R_E가 빠지므로 $|A_v| \approx \frac{R_C}{r_e}$이다. 앞에서 구한 값을 반올림하지 않고 대입하면 $|A_v| = \frac{5000 \cdot 49}{1000} = 245$이다. 전압이득은 전압의 비이므로 단위가 없으며, 크기 245는 ③의 값과 일치한다.

NoteBase