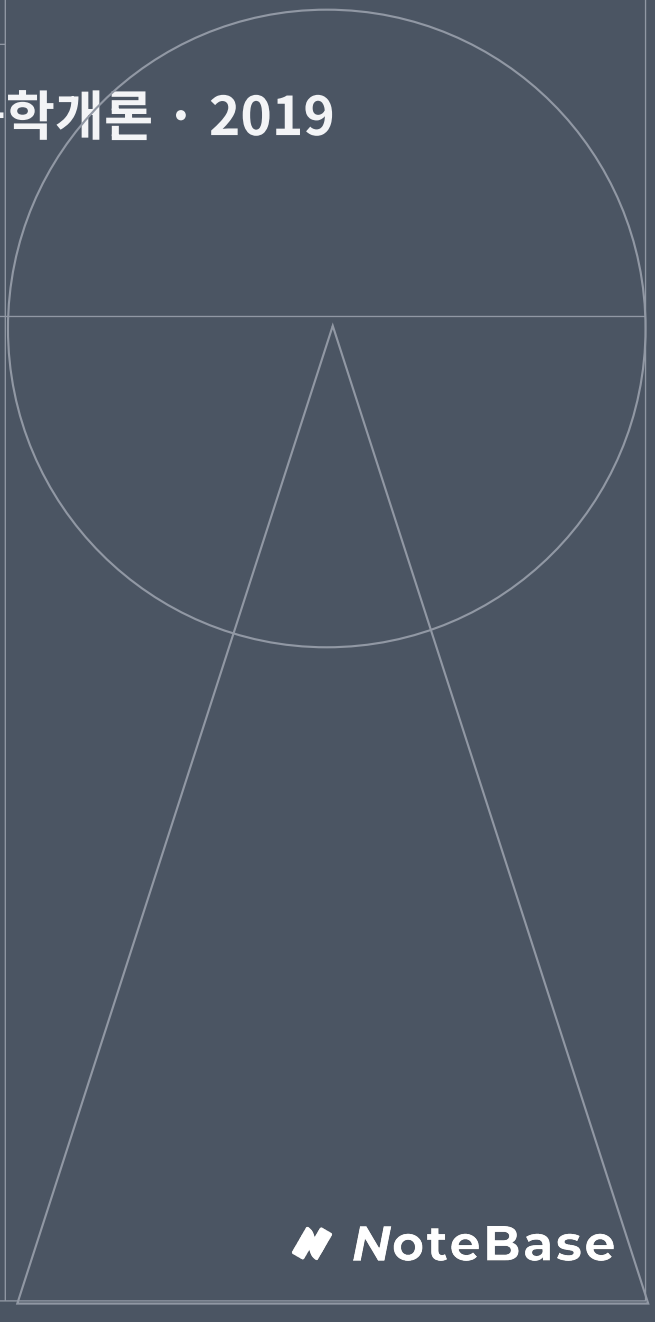
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2019



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2019

공무원/국가직/9급 · 전자공학개론 · 2019

문 1. 이상적인 연산증폭기의 특성에 대한 설명으로 옳지 않은 것은?

① 반전 입력단자와 비반전 입력단자 사이의 입력측 저항은 무한대이다.

② 출력단자와 접지면 사이에서 출력측 저항은 0이다.

③ 전류이득의 크기는 무한대이다.

④ 주파수 대역폭이 무한대이다.

정답 3번

간단한 해설

③의 '전류이득'은 **개방루프 전압이득**으로 고쳐야 한다. 이상적인 연산증폭기는 두 입력단자의 전압 차를 증폭하며, 입력단자에는 전류가 흐르지 않는다.

선지별 해설

① O: 입력저항은 두 입력단자 사이에 전압을 가했을 때 전류가 얼마나 흐르는지를 나타낸다. 이상적인 연산증폭기는 입력저항이 무한대이므로 **입력단자로 전류가 흐르지 않는다**. 따라서 앞단 회로에서 신호 전류를 끌어오지 않는다.

② O: 출력저항은 출력단자를 바라보았을 때 나타나는 내부 저항이다. 이상적인 연산증폭기는 출력저항이 0이므로 부하에 전류를 공급해도 내부 저항에 의한 전압강하가 없다. 즉, **부하전류가 변해도 출력전압이 영향을 받지 않는다**. 출력저항이 0이라는 말은 출력단자가 접지에 직접 연결되어 출력전압이 항상 0이라는 뜻은 아니다.

③ X: 이상적인 연산증폭기에서 무한대로 가정하는 이득은 **개방루프 전압이득**이다. 이는 되먹임을 걸지 않은 상태에서 두 입력단자의 전압 차에 대한 출력전압의 비이다. 전류이득은 입력전류에 대한 출력전류의 비인데, 이상적 모델에서는 입력전류가 0이므로 이 비를 통상적인 나눗셈으로 정의할 수 없다. 따라서 '전류이득의 크기는 무한대이다'는 '개방루프 전압이득의 크기는 무한대이다'로 고친다.

④ O: 주파수 대역폭은 신호를 증폭할 수 있는 주파수 범위를 나타낸다. 이상적인 연산증폭기는 **주파수가 높아져도 이득이 감소하지 않는** 것으로 가정하므로 대역폭이 무한대이다. 실제 연산증폭기는 주파수가 높아지면 이득이 감소하여 대역폭이 제한된다.

NoteBase

문 2. PN 접합 다이오드에 대한 설명으로 옳은 것은?

① 순방향 바이어스가 인가되면 공핍영역 폭이 넓어진다.

② 순방향 바이어스가 인가되면 P형 영역의 정공만이 N형 쪽으로 주입된다.

③ 역방향 바이어스가 증가하면 접합부 정전용량은 작아진다.

④ 역방향 바이어스가 증가하면 공핍영역의 양이온과 음이온 사이에 발생하는 전계의 세기는 감소한다.

정답 3번

간단한 해설

역방향 바이어스가 커지면 **공핍영역의 폭이 증가**한다. 접합부 정전용량은 공핍영역 폭에 반비례하므로 **작아진다**.

선지별 해설

공핍영역은 이동 가능한 전자와 정공이 거의 없고, N형 쪽의 양의 고정 이온과 P형 쪽의 음의 고정 이온이 남아 있는 영역이다. 이 공간전하가 접합 내부의 전계와 전위장벽을 만든다.

① X: 순방향 바이어스는 접합의 전위장벽을 낮추어 전자와 정공이 접합을 넘어 이동하기 쉽게 한다. 이때 접합 부근의 고정 이온 전하가 이동 전하에 의해 상쇄되면서 공핍영역의 폭은 **좁아진다**.

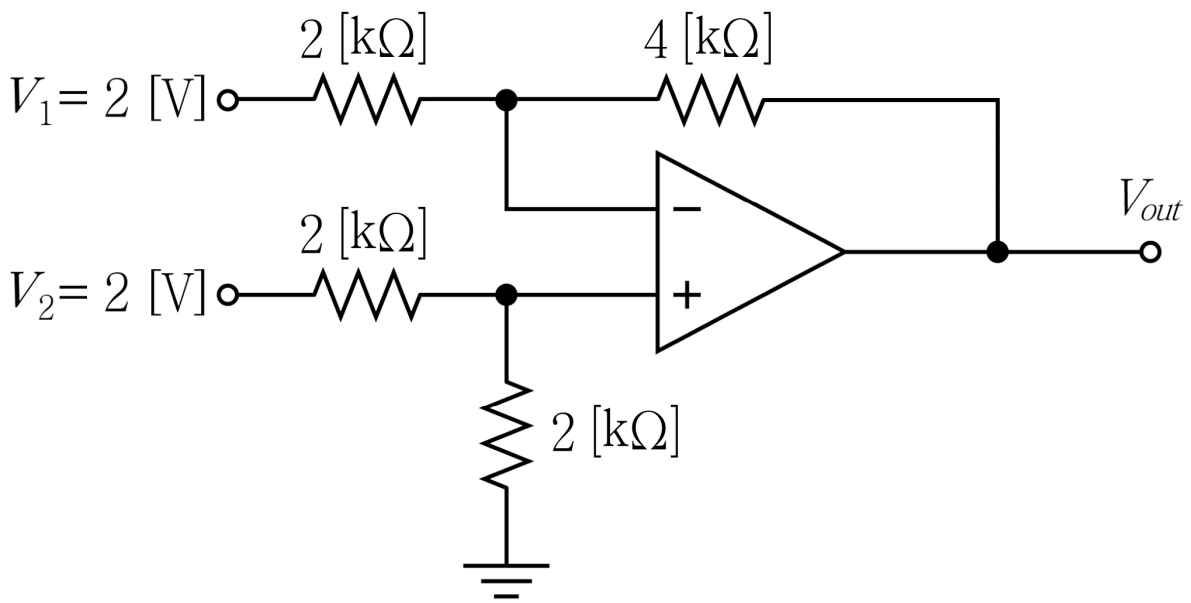
② X: 순방향 바이어스에서는 P형 영역의 정공이 N형 영역으로 주입될 뿐 아니라, **N형 영역의 전자도 P형 영역으로 주입**된다. 양쪽의 다수 운반자가 각각 반대쪽으로 주입되므로 정공만 이동한다는 설명은 틀리다.

③ O: 역방향 바이어스는 다수 운반자를 접합에서 멀어지게 하므로 공핍영역의 폭을 넓힌다. 공핍영역의 양쪽 공간전하는 축전기의 두 전극처럼 작용하며, 공핍 근사에서 접합부 정전용량은 $C_j = \frac{\varepsilon_s A}{W}$이다. 여기서 ε_s는 반도체의 유전율, A는 접합 면적, W는 공핍영역의 폭이다. 같은 접합에서 유전율과 면적이 일정하면 **W가 증가할수록 접합부 정전용량은 감소**한다.

④ X: 역방향 바이어스에 의한 전계는 공핍영역의 고정 이온이 만드는 내부 전계를 강화하는 방향으로 작용한다. 역방향 바이어스가 증가하면 공핍영역이 넓어지고 그 안에 드러나는 고정 이온의 총전하량도 늘어나므로, 접합면 부근의 **최대 전계 세기는 증가**한다. 감소한다는 설명은 틀리다.

NoteBase

문 3. 다음 회로에서 출력전압 V_{out} [V]는? (단, 연산증폭기는 이상적이다)



① −1

② 0

③ 1

④ 2

정답 1번

간단한 해설

비반전 입력은 두 2 kΩ 저항의 분압으로 1 V가 되고, 음귀환에 의해 **반전 입력도 1 V**가 된다. 입력 쪽 2 kΩ 저항에 흐르는 0.5 mA가 4 kΩ 피드백 저항으로 흘러 2 V의 전압 강하를 만들므로, 출력전압은 −1 V이다.

NoteBase

계산 과정

이상적 연산증폭기는 입력 단자로 전류가 흐르지 않는다. 출력이 4 kΩ 저항을 거쳐 반전 입력으로 되돌아오는 **음귀환** 회로이므로, 선형 동작에서 두 입력 전압은 같아진다.

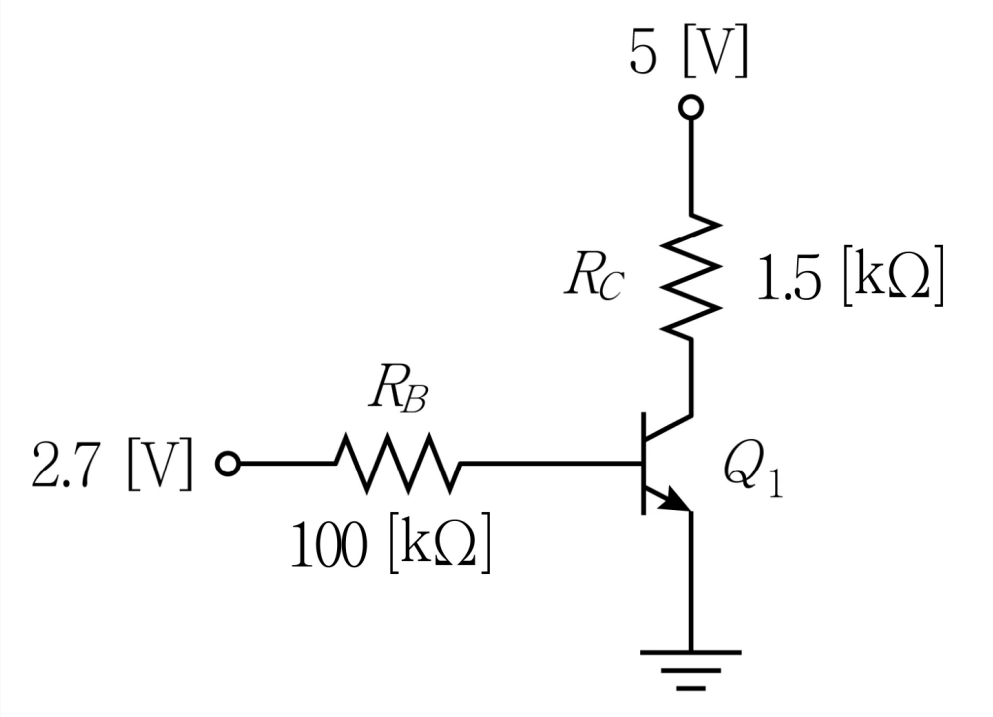
비반전 입력 전압: 아래쪽 입력의 두 2 kΩ 저항은 2 V 전원과 접지 사이에서 분압기를 이룬다. 입력 단자로 전류가 빠져나가지 않으므로 $V_+ = 2 \cdot \frac{2}{2+2} = 1\text{V}$이다.

반전 입력 전압과 전류: 두 입력 전압이 같으므로 $V_- = V_+ = 1\text{V}$이다. 위쪽 2 kΩ 저항에는 2 V 전원에서 반전 입력 쪽으로 $I = \frac{(2-1)\text{V}}{2\text{k}\Omega} = 0.5\text{mA}$가 흐른다. 이 전류는 연산증폭기 입력으로 들어가지 않고 **전부 4 kΩ 피드백 저항으로 흐른다**.

출력전압: 피드백 저항의 전압 강하는 0.5 mA × 4 kΩ = 2 V이다. 전류가 반전 입력 노드에서 출력 쪽으로 흐르므로 출력은 그 노드의 1 V보다 2 V 낮다. 따라서 $V_{out} = 1 - 2 = -1\text{V}$이며, 이는 ①의 −1 V에 해당한다.

NoteBase

문 4. 다음 증폭기 회로에서 트랜지스터 Q_1의 컬렉터−이미터 전압 V_{CE}[V]는? (단, $\beta_{DC} = 100$, $V_{BE} = 0.7$ [V]이다)



① 1.5

② 2

③ 2.5

④ 3

정답 2번

간단한 해설

베이스 저항에는 **2.7 − 0.7 = 2 V**가 걸리므로 베이스 전류는 20 μA이고, 컬렉터 전류는 그 100배인 2 mA이다. 컬렉터 저항의 전압 강하가 3 V이므로, 이미터가 접지된 회로의 **컬렉터−이미터 전압은 2 V**이다.

NoteBase

계산 과정

베이스 전류: 이미터가 접지되어 있으므로 $V_E = 0$ V이고, $V_{BE} = 0.7$ V에 따라 베이스 전압은 0.7 V이다. 따라서 100 kΩ 베이스 저항에 걸리는 전압은 **전원 전압에서 베이스−이미터 전압을 뺀 값**인 $2.7 - 0.7 = 2$ V이다. 옴의 법칙을 적용하면 $I_B = \frac{2.7 - 0.7}{100\text{k}\Omega} = 20\mu\text{A}$이다.

컬렉터 전류: 트랜지스터가 활성 영역에서 동작한다고 놓으면 직류 전류 이득은 $\beta_{DC} = \frac{I_C}{I_B}$이다. 따라서 $I_C = 100 \cdot 20\mu\text{A} = 2\text{mA}$이다. 이 전류가 1.5 kΩ 컬렉터 저항을 흐르므로 저항의 전압 강하는 $I_C R_C = 2\text{mA} \cdot 1.5\text{k}\Omega = 3\text{V}$이다.

컬렉터−이미터 전압: 컬렉터 전압은 5 V 전원에서 컬렉터 저항의 전압 강하를 빼서 구하므로 $V_C = 5 - 3 = 2$ V이다. 구하려는 전압은 **컬렉터와 이미터의 전위차**이므로 $V_{CE} = V_C - V_E = 2 - 0 = 2$ V이다. 컬렉터 전압 2 V가 베이스 전압 0.7 V보다 높아 컬렉터−베이스 접합이 역방향 바이어스되므로, 앞서 사용한 활성 영역 가정과도 일치한다. 계산값 2 V는 ②의 값에 해당한다.

NoteBase

문 5. 귀환발진기에 대한 설명으로 옳지 않은 것은?

① 초기 트리거 신호가 주어진 후 외부 입력신호가 지속적으로 인가되지 않더라도 특정 주파수를 갖는 파형을 만들어내는 회로이다.

② 특정 주파수에서 발진이 지속적으로 유지되기 위해서는 폐귀환 루프이득(loop gain)의 크기가 1이고, 루프의 위상변이(phase shift)가 0°이어야 한다.

③ RC 귀환발진기와 LC 귀환발진기는 모두 정현파(sinusoidal waveform)를 만들 수 있다.

④ 귀환발진기 회로의 양호도(Q factor)는 파형 크기의 안정성(amplitude stability)을 나타낸다.

정답 4번

간단한 해설

양호도 Q는 공진의 예리함을 나타내며 **주파수 안정성**과 관련된 지표이다. 파형의 크기를 일정하게 유지하는 **진폭 안정성**은 이득 조절이나 진폭 제한 작용으로 확보한다.

선지별 해설

① O: 귀환발진기는 출력 신호의 일부를 입력으로 되돌리는 **정귀환**을 이용하므로, 발진이 시작된 뒤에는 외부에서 주기적인 입력신호를 계속 공급하지 않아도 파형을 만든다. 다만 회로의 손실을 보충하고 출력을 유지할 직류 전원은 필요하다.

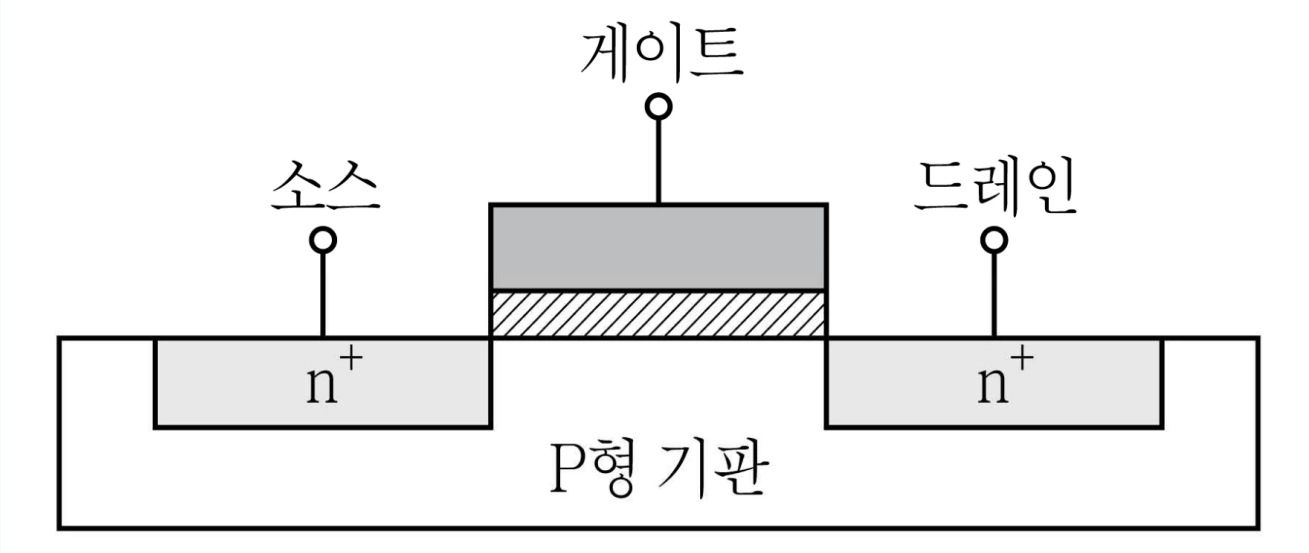
② O: 일정한 진폭의 발진이 유지되는 정상상태에서는 신호가 루프를 한 바퀴 돌았을 때 **크기와 위상이 원래대로 돌아와야** 한다. 따라서 루프이득의 크기는 1이고, 총 위상변이는 0° 또는 360°의 정수배가 되어야 한다. 크기가 1보다 작으면 진폭이 줄고, 1보다 크면 진폭이 커지므로 지속 발진의 조건과 발진을 시작할 때의 조건을 구별해야 한다.

③ O: RC 귀환발진기는 저항과 커패시터로 구성한 회로의 주파수별 감쇠와 위상변화를 이용하여 발진 주파수를 정한다. LC 귀환발진기는 인덕터와 커패시터 사이의 에너지 교환에 따른 공진을 이용한다. 두 방식 모두 적절한 귀환 및 이득 조건을 갖추면 **정현파를 발생**시킬 수 있다.

④ X: 양호도 Q는 공진회로의 에너지 저장과 손실의 관계를 나타내며, 공진 주파수를 공진 대역폭으로 나눈 값으로도 표현한다. Q가 클수록 공진 대역폭이 좁아져 특정 주파수를 더 날카롭게 선택하므로, 다른 조건이 같다면 주파수 안정성을 높이는 데 유리하다. 따라서 Q를 '파형 크기의 안정성'을 나타내는 지표로 설명한 부분은 **주파수 선택도 및 주파수 안정성과 관련된 지표**로 고쳐야 한다. 진폭 안정성은 진폭이 커질 때 유효 루프이득을 낮추는 자동 이득 조절이나 비선형 진폭 제한 등의 작용으로 확보한다.

NoteBase

문 6. 다음 증가형(enhancement) MOSFET이 포화영역에서 동작할 때, 이에 대한 설명으로 옳지 않은 것은?



① n채널이 만들어지는 NMOS 트랜지스터이다.

② 게이트는 소스보다 높은 전위를 가진다.

③ 전자가 드레인에서 소스로 흘러 전류가 발생한다.

④ 드레인은 소스보다 높은 전위를 가진다.

정답 3번

간단한 해설

NMOS에서 전자는 **소스에서 드레인으로** 이동한다. 전자는 음전하이므로, 관습적인 전류 방향인 드레인에서 소스로의 방향과 반대이다.

NoteBase

선지별 해설

① O: 그림은 P형 기판에 두 개의 n^+ 영역을 소스와 드레인으로 만든 구조이다. 게이트에 충분한 양의 전압을 가하면 게이트 아래 기판 표면에 전자가 모여 **n형 반전 채널**이 형성되므로, 증가형 NMOS 트랜지스터이다.

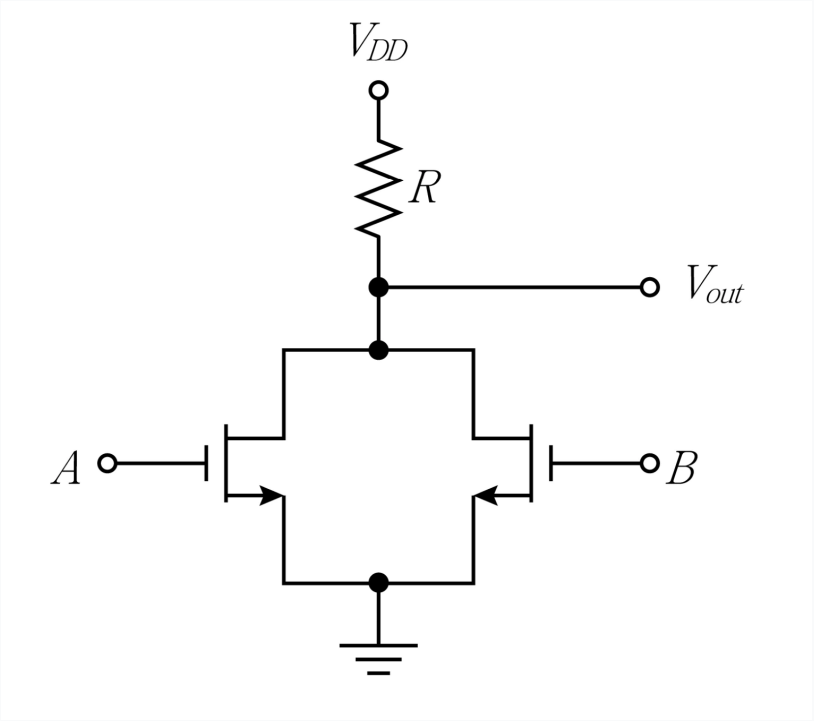
② O: 증가형 NMOS는 게이트와 소스 사이의 전압이 **양의 문턱전압보다 높아야** 채널이 형성되어 동작한다. 즉, $V_{GS} = V_G - V_S > V_{th} > 0$이므로 게이트 전위는 소스 전위보다 높다.

③ X: 전자는 **소스에서 드레인으로** 이동한다. 소스보다 전위가 높은 드레인 쪽으로 음전하인 전자가 이동하기 때문이다. 따라서 '전자가 드레인에서 소스로 흘러'는 '전자가 소스에서 드레인으로 흘러'로 고쳐야 한다.
양전하의 이동을 기준으로 정한 관습적인 전류는 이와 반대로 드레인에서 소스로 흐른다.

④ O: NMOS의 포화영역 조건은 $V_{GS} > V_{th}$이고 $V_{DS} \geq V_{GS} - V_{th}$이다. 여기서 $V_{DS} = V_D - V_S$이며, 채널을 형성한 상태에서는 $V_{GS} - V_{th} > 0$이므로 드레인 전위는 **소스 전위보다 높다**.

NoteBase

문 7. 다음 디지털 논리게이트에 대한 설명으로 옳은 것은? (단, V_{DD} = +5[V]이고, 입력과 출력은 논리적 '1'일 때 V = +5[V], '0'일 때 V = 0[V]이다)



① 두 개의 NMOS로 구성된 OR 게이트

② 두 개의 PMOS로 구성된 NOR 게이트

③ 두 입력 A와 B가 모두 논리적 '0'일 때만 출력 '1'을 만족하는 NOR 게이트

④ 두 입력 A와 B가 모두 논리적 '1'일 때만 출력 '0'을 만족하는 NAND 게이트

정답 3번

간단한 해설

출력과 접지 사이의 두 NMOS가 **병렬로 연결**되어 있어, 입력 중 하나라도 1이면 출력이 접지 쪽으로 내려간다. 두 입력이 **모두 0일 때만** 두 소자가 꺼지고 저항 R이 출력을 +5 V로 끌어올리므로 NOR 동작을 한다.

NoteBase

선지별 해설

그림에서 두 트랜지스터는 NMOS이며, 각각의 게이트에 A와 B가 연결되어 있다. 두 NMOS는 출력과 접지 사이에 병렬로 연결되고, 저항 R은 전원과 출력 사이에서 풀업 역할을 한다. NMOS를 스위치로 보면 입력이 1일 때 켜져 출력에서 접지로 통하는 경로를 만들고, 입력이 0일 때 꺼져 그 경로를 차단한다.

① X: 두 개의 NMOS라는 설명은 맞지만, OR 게이트는 아니다. 이 회로는 입력 중 하나라도 1이면 켜진 NMOS를 통해 출력이 논리적 0이 되므로, OR의 출력을 반전한 **NOR 게이트**이다.

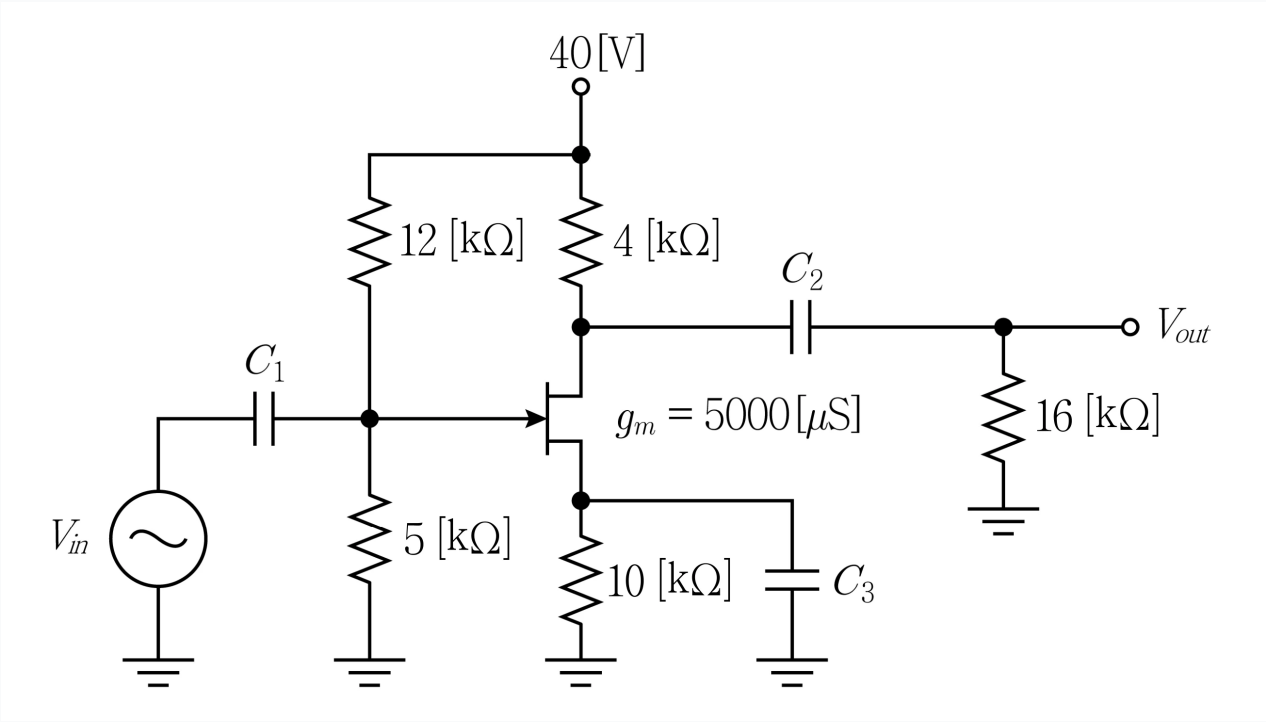
② X: NOR 동작을 하지만, 소자의 종류는 PMOS가 아니라 **NMOS**이다. 그림의 소자는 소스가 접지 쪽에 연결되어 있고, 게이트에 논리적 1인 +5 V가 가해지면 도통하여 출력을 낮춘다.

③ O: A와 B가 모두 0이면 두 NMOS가 모두 꺼져 출력과 접지 사이의 경로가 차단된다. 이때 R에 의한 전압 강하가 없어 출력은 +5 V, 즉 논리적 1이 된다. 입력이 (0, 1), (1, 0), (1, 1)이면 적어도 하나의 NMOS가 켜져 출력은 논리적 0이 된다. 따라서 **두 입력이 모두 0일 때만 출력이 1**인 NOR 게이트이다.

④ X: NAND는 두 입력이 모두 1일 때만 출력이 0이지만, 이 회로는 **입력 중 하나만 1이어도 출력이 0**이 된다. 예를 들어 A가 1이고 B가 0이면 A에 연결된 NMOS만 켜져도 접지 경로가 생긴다. 따라서 주어진 병렬 연결 회로는 NAND가 아니라 NOR이다.

NoteBase

문 8. 다음 JFET 증폭회로의 전압이득의 크기는? (단, 트랜지스터 자체의 출력저항 r_o는 무시한다)



① 8

② 16

③ 32

④ 48

정답 2번

간단한 해설

소스 저항은 **바이패스 커패시터로 교류적으로 단락**되고, 드레인에는 4 kΩ과 16 kΩ의 병렬저항인 3.2 kΩ이 걸린다. 전압이득의 크기는 이 저항과 상호컨덕턴스의 곱이므로 16이다.

NoteBase

계산 과정

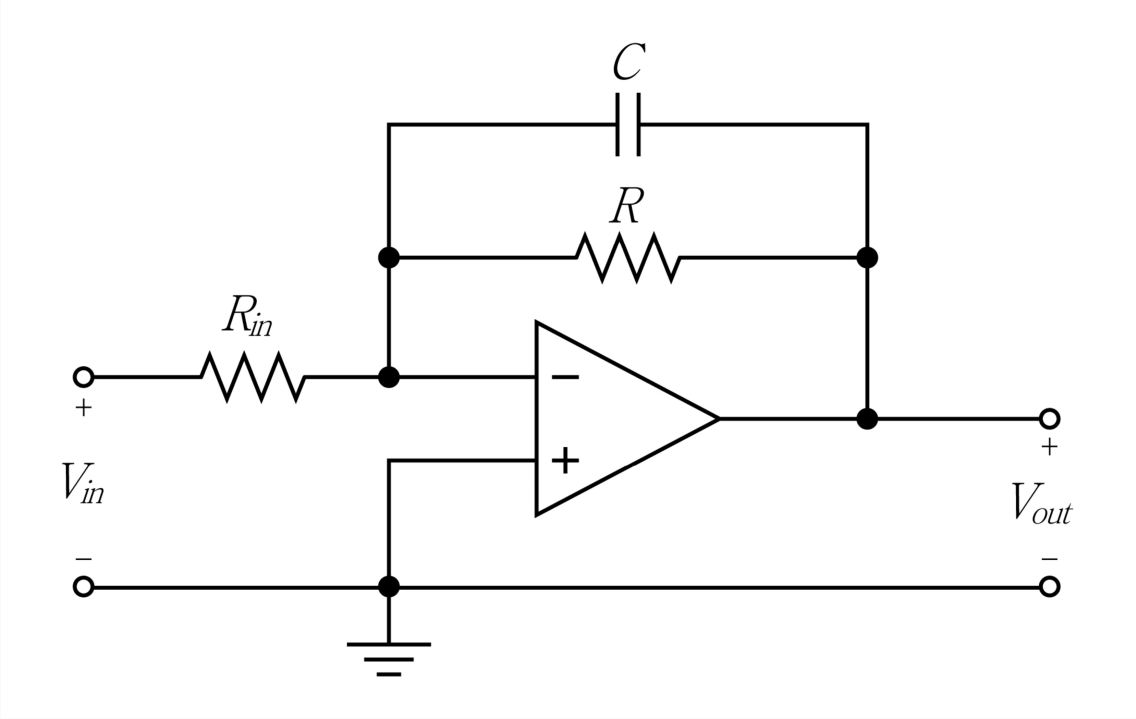
교류 등가회로: 결합 커패시터 C_1, C_2와 바이패스 커패시터 C_3를 단락으로 보는 중간주파수 소신호 해석을 적용한다. 40 V 직류 전원은 교류 접지이고, C_3가 10 kΩ 소스 저항을 우회하므로 **소스의 교류 전압은 0**이다. 입력은 C_1을 통해 게이트에 직접 인가되어 $v_{gs} = v_{in}$이다. 게이트의 12 kΩ과 5 kΩ은 바이어스용 저항이며, 그림의 이상적인 입력 전압원과 게이트 사이에 직렬저항이 없으므로 입력을 분압하지 않는다.

드레인 유효부하: C_2가 교류적으로 단락되면 드레인 저항 $R_D = 4\text{k}\Omega$과 부하 저항 $R_L = 16\text{k}\Omega$이 모두 드레인과 교류 접지 사이에 연결된다. 따라서 **두 저항의 병렬값**을 사용한다. $R_D \parallel R_L = \frac{4 \times 16}{4 + 16}\text{k}\Omega = 3.2\text{k}\Omega$이다. 트랜지스터 자체의 출력저항 r_o는 문제의 조건에 따라 제외한다.

전압이득: 상호컨덕턴스는 게이트−소스 전압 변화에 대한 드레인 전류 변화의 비율이므로 $i_d = g_m v_{gs}$이다. 드레인 전류가 증가하면 드레인 전압은 감소하므로 공통 소스 증폭기의 이득은 $A_v = \frac{v_{out}}{v_{in}} = -g_m(R_D \parallel R_L)$이다. 주어진 $g_m = 5000\mu\text{S} = 0.005\text{S}$와 병렬저항 3200 Ω을 대입하면 $A_v = -0.005 \times 3200 = -16$이다. 음의 부호는 입력과 출력의 위상 반전을 뜻하며, 요구한 전압이득의 크기는 단위 없는 값 16으로 ②에 해당한다.

NoteBase

문 9. 다음 회로의 전달함수가 $H(s)=\frac{V_{out}}{V_{in}}=-\frac{5}{s+5}$인 조건을 만족하는 C[μF]은? (단, 연산증폭기는 이상적이며, $R_{in}=R=100$[kΩ]이다)



① 1

② 2

③ 4

④ 5

정답 2번

간단한 해설

되먹임 저항과 커패시터가 병렬이므로 전달함수는 $H(s)=-\frac{1}{1+sRC}$이다. 주어진 전달함수와 비교하면 **시정수 RC가 0.2초**이므로, R = 100 kΩ에서 C = 2 μF이다.

NoteBase

계산 과정

1. 회로의 조건: 비반전 입력은 접지되어 있고, 출력에서 반전 입력으로 저항 R과 커패시터 C가 **병렬로 되먹임**되어 있다. 이상적 연산증폭기의 음의 되먹임 동작에서는 두 입력의 전압이 같으므로 반전 입력도 0 V인 가상 접지가 된다. 또한 입력 단자로 전류가 흐르지 않아 입력 저항을 지난 전류가 되먹임 회로로 흐른다.

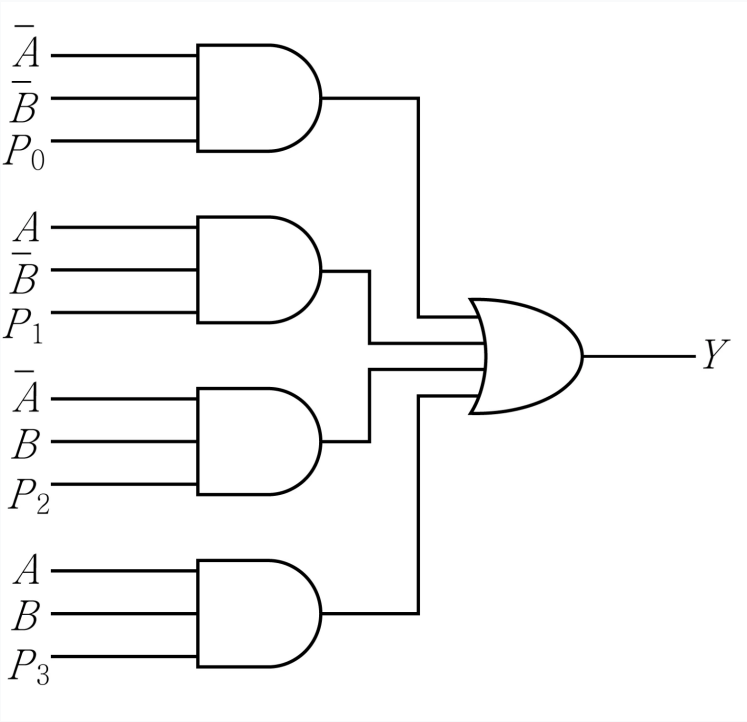
2. 되먹임 임피던스: s를 라플라스 변수라 하면 커패시터의 임피던스는 $\frac{1}{sC}$이다. 병렬 연결에서는 어드미턴스가 더해지므로, 되먹임 임피던스 Z_f는 $\frac{1}{Z_f} = \frac{1}{R} + sC$, 즉 $Z_f = \frac{R}{1+sRC}$이다.

3. 전달함수와 시정수: 가상 접지에서 전류 관계를 적용하면 $\frac{V_{in}}{R_{in}} = -\frac{V_{out}}{Z_f}$이므로 $H(s) = -\frac{Z_f}{R_{in}}$이다. 주어진 $R_{in} = R$을 적용하면 $H(s) = -\frac{1}{1+sRC}$이다. 한편 주어진 전달함수는 $-\frac{5}{s+5} = -\frac{1}{1+s/5}$로 쓸 수 있다. 따라서 **분모의 s 계수를 비교**하면 $RC = \frac{1}{5}$s이다. 이는 회로의 시정수가 0.2초라는 뜻이다.

4. 정전용량 계산: R = 100 kΩ = 100000 Ω이므로 $C = \frac{0.2}{100000}$F이다. 따라서 $C = 2 \cdot 10^{-6}$F, 즉 2 μF이며 ②에 해당한다.

NoteBase

문 10. 다음 디지털 논리회로에서 출력 $Y = A + B$라고 할 때, $P_3P_2P_1P_0$의 값은?



① 1001

② 1011

③ 1110

④ 1101

정답 3번

간단한 해설

$A + B$는 논리 OR이므로 **두 입력이 모두 0일 때만 출력이 0**이다. 각 입력 조합에서 해당 AND 게이트에 연결된 P_i가 그대로 출력되므로 $P_0 = 0$, $P_1 = P_2 = P_3 = 1$이며, 요구한 순서로 쓰면 1110이다.

NoteBase

계산 과정

그림은 네 AND 게이트의 출력을 하나의 OR 게이트로 합친 회로이다. AND는 모든 입력이 1일 때만 1을 출력하고, OR는 입력 중 하나라도 1이면 1을 출력한다. A와 B 위의 막대는 반전을 뜻한다. A, B의 각 조합마다 네 게이트 중 하나에서만 A, B 관련 두 입력이 모두 1이 되므로, **그 게이트에 연결된 P_i가 출력 Y를 결정**한다. 목표 식 $Y = A + B$에서 +는 산술 덧셈이 아니라 논리 OR이다.

P_0: $A = 0$, $B = 0$이면 맨 위 게이트의 $\overline{A}$, $\overline{B}$가 모두 1이다. 나머지 세 게이트는 입력에 0이 포함되어 출력이 0이므로 $Y = P_0$이다. 목표 OR 출력은 0이므로 $P_0 = 0$이다.

P_1: $A = 1$, $B = 0$이면 위에서 두 번째 게이트의 A, $\overline{B}$가 모두 1이고, 나머지 게이트의 출력은 0이다. 따라서 $Y = P_1$이며, 목표 OR 출력이 1이므로 $P_1 = 1$이다.

P_2: $A = 0$, $B = 1$이면 위에서 세 번째 게이트의 $\overline{A}$, B가 모두 1이고, 나머지 게이트의 출력은 0이다. 따라서 $Y = P_2$이며, 목표 OR 출력이 1이므로 $P_2 = 1$이다.

P_3: $A = 1$, $B = 1$이면 맨 아래 게이트의 A, B가 모두 1이고, 나머지 게이트의 출력은 0이다. 따라서 $Y = P_3$이며, OR는 두 입력이 모두 1이어도 출력이 1이므로 $P_3 = 1$이다.

구한 값을 **문제에서 요구한 역순**으로 배열하면 $P_3P_2P_1P_0 = 1110$이며, ③의 1110과 일치한다.

NoteBase

문 11. 실효전압 10[V]의 교류전원에 8[Ω]의 저항과 6[Ω]의 유도 리액턴스를 직렬로 연결할 때, 유효전력[W]와 역률은?

① 유효전력: 6, 역률: 0.6

② 유효전력: 6, 역률: 0.8

③ 유효전력: 8, 역률: 0.6

④ 유효전력: 8, 역률: 0.8

정답 4번

간단한 해설

직렬 R-L 회로에서는 저항과 유도 리액턴스로 구한 임피던스의 크기가 10 Ω이므로 실효전류는 1 A이다.
유효전력은 **저항에서 소비되는 전력**으로 8 W이고, 역률은 **저항과 임피던스 크기의 비**로 0.8이다.

계산 과정

임피던스의 크기: 저항 R = 8 Ω과 유도 리액턴스 $X_L = 6\Omega$는 전압과 전류의 위상 관계가 다르므로 **크기를 단순히 더하지 않는다**. 직렬 R-L 회로의 임피던스는 $Z = R + jX_L$이고, 그 크기는 $|Z| = \sqrt{R^2 + X_L^2}$이다. 따라서 $|Z| = \sqrt{8^2 + 6^2} = 10\Omega$이다.

실효전류: 직렬 회로에서는 저항과 유도 리액턴스에 같은 전류가 흐른다. 실효전압 V = 10 V를 임피던스의 크기로 나누면 $I = \frac{V}{|Z|} = \frac{10}{10} = 1\text{A}$이다. 이 값이 유효전력 계산에 사용하는 전류의 실효값이다.

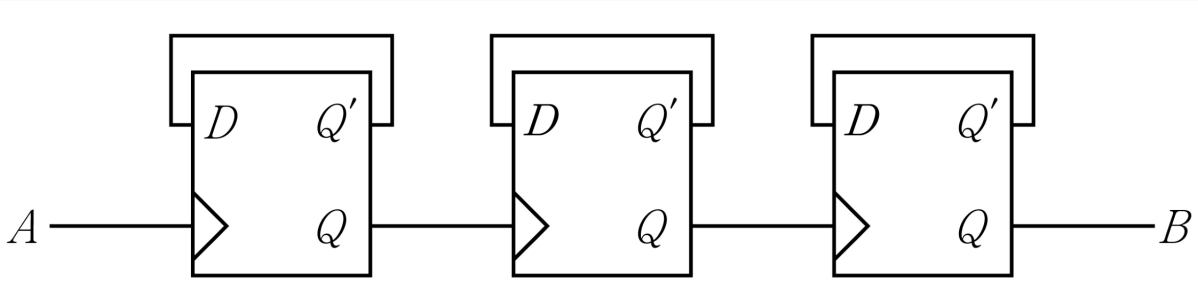
유효전력: 저항은 전기에너지를 소비하지만, 이상적인 인덕터는 에너지를 저장했다가 반환하므로 평균적으로 전력을 소비하지 않는다. 따라서 **유효전력에는 저항 성분만 기여**하며, $P = I^2R = 1^2 \cdot 8 = 8\text{W}$이다.

역률: 역률은 전압과 전류의 위상차를 ϕ라 할 때 $\cos\phi$로 나타낸다. 직렬 R-L 회로에서는 **저항을 임피던스의 크기로 나눈 값**이므로 $\cos\phi = \frac{R}{|Z|} = \frac{8}{10} = 0.8$이다.

유효전력 8 W와 역률 0.8의 조합은 ④에 해당한다.

NoteBase

문 12. 상승 에지에서 트리거 되는 D-플립플롭으로 구성된 다음 회로에서 120 [kHz]의 클록이 입력 A에 인가될 때, 출력 B의 주파수[kHz]는? (단, 플립플롭의 전파지연 시간은 무시한다)



① 15

② 40

③ 120

④ 360

정답 1번

간단한 해설

각 D-플립플롭은 상승 에지마다 출력이 반전되어 입력 주파수를 절반으로 낮춘다. 이 회로는 세 단을 거치므로 **8분주**되어 출력 B의 주파수는 15 kHz이다.

계산 과정

그림에서 각 플립플롭의 반전 출력 Q′가 자신의 D 입력에 연결되어 있고, 앞 단의 Q 출력이 다음 단의 클록 입력으로 들어간다. D-플립플롭은 상승 에지에서 D의 값을 저장하므로, 이 연결에서는 **상승 에지마다 Q가 직전 값의 반대로 바뀐다**. Q가 0 → 1 → 0으로 한 주기를 완성하려면 클록의 상승 에지가 두 번 필요하므로, 각 단의 출력 주파수는 그 단에 입력되는 클록 주파수의 절반이다. 전파지연은 문제의 조건대로 무시한다.

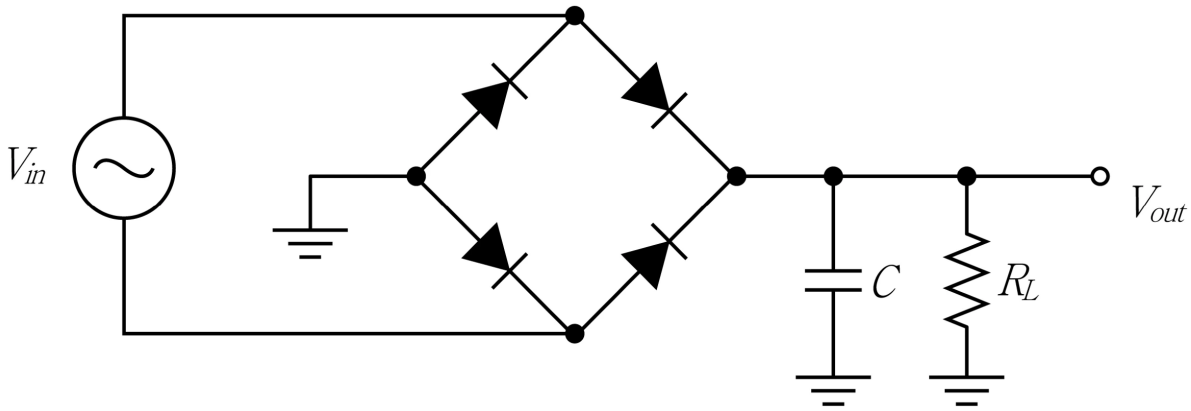
첫 번째 단: 입력 A의 클록 주파수는 120 kHz이다. 첫 번째 Q 출력의 주파수는 $\frac{120}{2} = 60\text{kHz}$이며, 이 신호가 두 번째 단의 클록이 된다.

두 번째 단: 60 kHz 신호의 상승 에지마다 출력이 반전되므로, 두 번째 Q 출력의 주파수는 $\frac{60}{2} = 30\text{kHz}$이다. 이 신호가 세 번째 단의 클록이 된다.

세 번째 단: 30 kHz 신호를 다시 절반으로 나누므로, 출력 B의 주파수는 $\frac{30}{2} = 15\text{kHz}$이다. 전체 분주비는 $2 \times 2 \times 2 = 8$이며, 계산한 15 kHz는 ①의 15에 해당한다.

NoteBase

문 13. 다음 정류기(rectifier)에 대한 설명 중 옳은 것은?



① 출력되는 파형은 음의 값을 갖는다.

② 다이오드 브리지회로를 통과한 파형의 주파수는 입력주파수보다 낮다.

③ 입력신호의 반주기마다 신호를 출력하는 반파정류기(half-wave rectifier)이다.

④ 부하저항 R_L에 커패시터 C가 병렬로 추가됨으로써 정류된 파형의 변동을 줄여 준다.

정답 4번

간단한 해설

부하저항과 병렬로 연결된 커패시터는 출력전압이 높을 때 충전되고, 낮아질 때 부하에 전류를 공급한다. 이 **충전·방전 작용**이 정류된 출력전압의 변동인 리플을 줄여 준다.

NoteBase

선지별 해설

① X: 그림의 브리지는 입력전압의 극성이 바뀌면 도통하는 다이오드 쌍도 바뀌어, 부하에는 항상 같은 방향으로 전류를 흘린다. 접지를 기준으로 오른쪽 출력 단자가 양극이므로 출력전압은 **양의 극성**을 가지며, 입력처럼 양과 음으로 교대로 바뀌지 않는다.

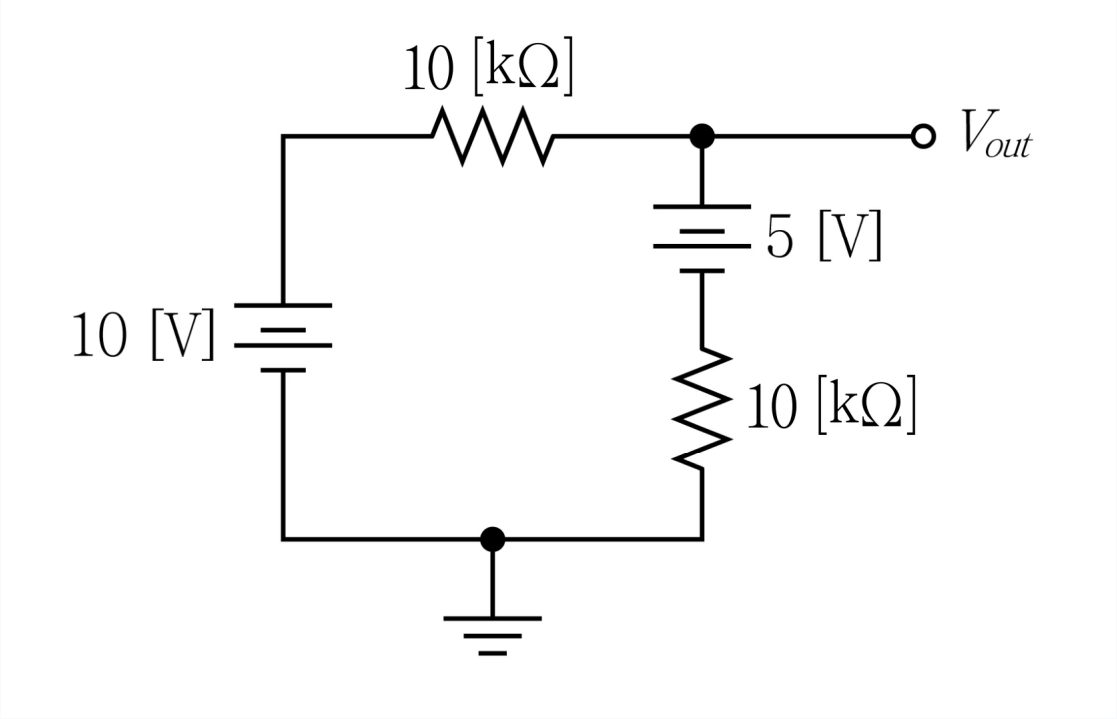
② X: 브리지는 입력의 양의 반주기와 음의 반주기를 모두 같은 극성의 출력으로 바꾼다. 따라서 입력 한 주기마다 정류 펄스가 두 번 생겨, 평활 전 정류 파형의 반복 주파수는 입력주파수의 **2배**이다. 커패시터로 평활한 뒤 남는 리플도 이 반복 주파수를 갖는다.

③ X: 이 회로는 두 반주기를 모두 이용하는 **전파정류기**이다. 양의 반주기와 음의 반주기에서 서로 다른 다이오드 두 개씩이 도통하여 부하전류의 방향을 유지한다. 반파정류기는 입력의 한쪽 반주기만 이용하고 다른 반주기는 차단하는 회로이다.

④ O: 그림에서 커패시터 C와 부하저항 R_L은 출력 단자와 접지 사이에 병렬로 연결되어 있다. 정류 전압이 커패시터 전압보다 다이오드의 순방향 전압강하만큼 높아지면 커패시터가 충전된다. 이후 정류 전압이 낮아져 다이오드가 차단되면, 커패시터가 부하저항을 통해 방전하며 **부하에 전류를 공급**한다. 이로써 다음 충전 시점까지 출력전압이 급격히 떨어지는 것을 막아 리플을 줄인다.

NoteBase

문 14. 다음 회로에서 출력전압 V_{out}[V]는?



① 5

② 7.5

③ 10

④ 12.5

정답 2번

간단한 해설

두 전원은 회로를 한 바퀴 도는 방향에서 서로 반대로 작용하므로, 두 저항에 걸리는 전압은 **10 − 5 = 5 V**이다. 저항값이 같아 각각 2.5 V씩 분담하므로 출력전압은 10 − 2.5 = 7.5 V이다.

NoteBase

계산 과정

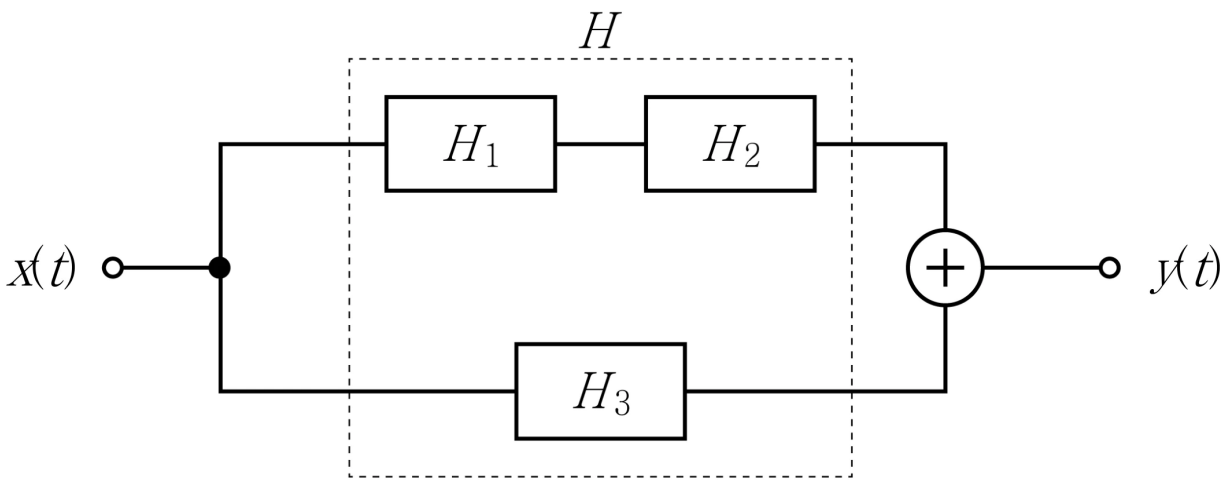
회로 조건과 극성: 아래쪽 접지의 전위를 0 V로 둔다. 전원 기호의 긴 선이 양극이므로 왼쪽 전원의 위쪽 노드는 10 V이고, 오른쪽 5 V 전원은 출력 노드 쪽이 양극이다. 출력 단자에는 부하가 연결되어 있지 않아 두 10 kΩ 저항에는 같은 전류가 흐른다.

회로 전류: 전류 I의 방향을 시계 방향으로 잡는다. 이 방향으로 왼쪽 전원을 지나면 10 V 상승하고 오른쪽 전원을 지나면 5 V 하강한다. 키르히호프 전압법칙에 따라 **저항에서의 전체 전압 강하는 두 전원 전압의 차**인 5 V이다. 두 저항은 직렬이므로 합성저항은 10 + 10 = 20 kΩ이다. 따라서 $I = \frac{10-5}{10+10}\text{mA} = 0.25\text{mA}$이다. V를 kΩ으로 나누었으므로 전류 단위는 mA이다.

출력전압: 위쪽 10 kΩ 저항의 전압 강하는 0.25 mA × 10 kΩ = 2.5 V이다. 전류 방향으로 저항을 지나면 전위가 낮아지므로, 왼쪽 10 V 노드에서 이 전압 강하를 빼면 $V_{out} = 10 - 2.5 = 7.5\text{V}$이다. 이는 선택지 ②의 7.5 V에 해당한다.

NoteBase

문 15. 그림과 같은 선형 시불변 시스템 H_1, H_2, H_3가 각각 임펄스 응답함수 $h_1(t)$, $h_2(t)$, $h_3(t)$를 갖는다고 할 때, 점선으로 표시한 등가시스템 H에 대한 설명으로 옳지 않은 것은?



① 시스템 H의 특성은 시간에 상관없이 일정한 특성을 나타낸다.

② 시스템 H의 임펄스 응답은 $h_1(t)h_2(t) + h_3(t)$이다.

③ 시스템 H에 입력신호 $x(t-a)$를 인가하였을 때 어떠한 상수 a에 대해서도 출력은 $y(t-a)$로 나타난다.

④ 시스템 H에 입력신호를 $bx(t)$로 인가하였을 때 어떠한 상수 b에 대해서도 출력은 $by(t)$로 나타난다.

정답 2번

간단한 해설

②는 직렬 연결의 임펄스 응답을 단순 곱으로 나타냈다. 시간 영역에서 직렬 연결은 **컨볼루션**으로 구하고, 병렬로 연결된 두 경로의 응답은 더하므로 등가 임펄스 응답은 $h(t) = (h_1 * h_2)(t) + h_3(t)$이다.

NoteBase

선지별 해설

① O: 선형 시불변 시스템을 직렬로 연결하거나, 병렬로 연결하여 출력을 더해도 선형성과 시불변성이 유지된다. 따라서 그림의 등가시스템 H도 **시불변 시스템**이다. 이는 입력을 가하는 시점이 달라도 입출력 관계가 같다는 뜻이며, 출력 신호의 값이 시간에 따라 변하지 않는다는 뜻은 아니다.

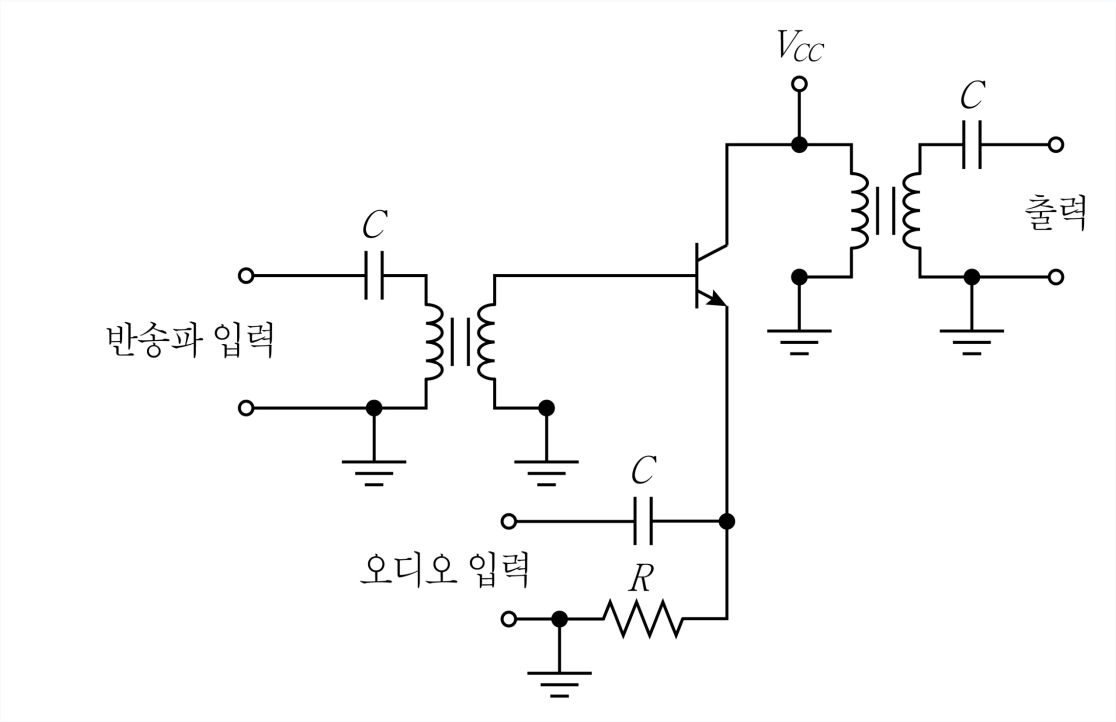
② X: 그림의 위쪽 경로에서는 H_1과 H_2가 직렬로 연결되어 있다. 임펄스를 입력하면 H_1의 출력은 $h_1(t)$가 되고, 이 신호가 H_2에 입력되므로 위쪽 경로의 임펄스 응답은 $(h_1 * h_2)(t)$이다. 여기서 $*$는 **컨볼루션 연산**을 뜻한다. 아래쪽 경로의 임펄스 응답은 $h_3(t)$이며, 오른쪽 덧셈기에서 두 출력을 더하므로 $h(t) = (h_1 * h_2)(t) + h_3(t)$이다. 선지의 단순 곱 $h_1(t)h_2(t)$을 컨볼루션 $(h_1 * h_2)(t)$으로 고쳐야 한다.

③ O: 원래 입력 $x(t)$에 대한 출력이 $y(t)$일 때, 시불변성에 따라 입력을 $x(t-a)$로 바꾸면 출력도 $y(t-a)$가 된다. **입력과 출력에 같은 시간 이동**이 적용되며, 양의 a는 지연, 음의 a는 앞당김을 뜻한다. 이 관계는 어떠한 상수 a에 대해서도 성립한다.

④ O: 등가시스템 H는 선형이므로 **동차성**을 만족한다. 입력 $x(t)$를 상수 b배 한 $bx(t)$로 바꾸면 출력도 같은 비율로 변하여 $by(t)$가 된다. 예를 들어 입력의 크기를 2배로 하면 출력의 크기도 2배가 된다.

NoteBase

문 16. 다음 회로의 기능과 커패시터 C의 역할을 바르게 연결한 것은?



① 기능: AM(Amplitude Modulation), C의 역할: 직류 차단

② 기능: AM(Amplitude Modulation), C의 역할: 고주파 신호 차단

③ 기능: FM(Frequency Modulation), C의 역할: 고주파 신호 차단

④ 기능: FM(Frequency Modulation), C의 역할: 직류 차단

정답 1번

간단한 해설

반송파를 베이스에, 오디오 신호를 이미터에 가하여 반송파의 **진폭을 변화시키는 AM** 방식이다. 신호 경로에 직렬로 연결된 C는 교류 신호를 전달하면서 **직류 성분을 차단**한다.

NoteBase

구성 요소별 해설

회로의 기능: 왼쪽의 반송파 입력은 변압기를 거쳐 트랜지스터의 베이스로 들어가고, 아래쪽의 오디오 입력은 C를 거쳐 이미터로 들어간다. 오디오 신호가 이미터 전압을 변화시키면 베이스와 이미터 사이의 전압이 달라져 트랜지스터의 전류와 반송파에 대한 증폭 정도가 변한다. 이처럼 오디오 신호에 따라 **반송파의 진폭을 변화시키는 방식**이 AM이며, 이러한 구성을 이미터 변조라고 한다. 반송파의 주파수를 변화시키는 FM과 구별된다.

C의 역할: 그림의 C는 반송파 입력, 오디오 입력, 출력의 각 신호 경로에 직렬로 놓인 결합 커패시터이다. 커패시터는 충전이 끝난 직류 정상상태에서 전류를 계속 흘리지 않으므로, 회로 사이의 **직류 성분 전달을 막는다**. 반면 시간에 따라 변하는 교류 신호는 충전과 방전을 통해 전달한다. 결합 커패시터는 전달하려는 신호 대역에서 충분히 작은 임피던스를 갖도록 사용하며, 이상적인 커패시터의 리액턴스는 주파수가 높을수록 작아진다. 따라서 이 위치의 C를 고주파 신호 차단용으로 설명하면 안 된다.

회로의 기능은 AM, C의 역할은 직류 차단이므로 ①의 연결과 일치한다.

NoteBase

문 17. PNP BJT소자가 활성영역에서 동작할 때, 베이스에 흐르는 전류 (I_B)를 구성하는 성분에 대한 설명으로 옳지 않은 것은?

① 이미터와 컬렉터에서 넘어온 전자들로 베이스의 남는 잉여 전자를 방출하기 위한 전자에 의한 전류

② 이미터 접합에 가해진 순방향 전압에 의해 베이스에서 이미터로 주입되는 전자에 의한 전류

③ 베이스 중성영역을 확산에 의해 통과하는 동안 손실된 재결합 전류로서 베이스 단자에서 주입되는 전자에 의한 전류

④ 컬렉터 공핍영역 내에서 열생성된 전자가 전계에 의해 드리프트(drift)되어 베이스로 공급되는 전자에 의한 전류

정답 1번

간단한 해설

①은 PNP에서 이미터가 주입하는 주된 운반자를 전자로 잘못 설명했다. 이미터에서 베이스로 주입되는 것은 **정공**이며, 베이스 전류에는 정공과 재결합하여 소모된 전자를 **외부에서 보충하는 성분**이 포함된다.

선지별 해설

① X: PNP의 이미터와 컬렉터는 p형이고 베이스는 n형이다. 활성영역에서는 이미터의 정공이 베이스로 주입되어 대부분 컬렉터로 이동한다. 일부 정공은 베이스의 전자와 재결합하므로 외부 베이스 단자를 통해 **소모된 전자를 보충**해야 한다. 따라서 베이스 전류를 이미터와 컬렉터에서 넘어온 잉여 전자를 방출하기 위한 전류로 설명하는 것은 부적절하다.

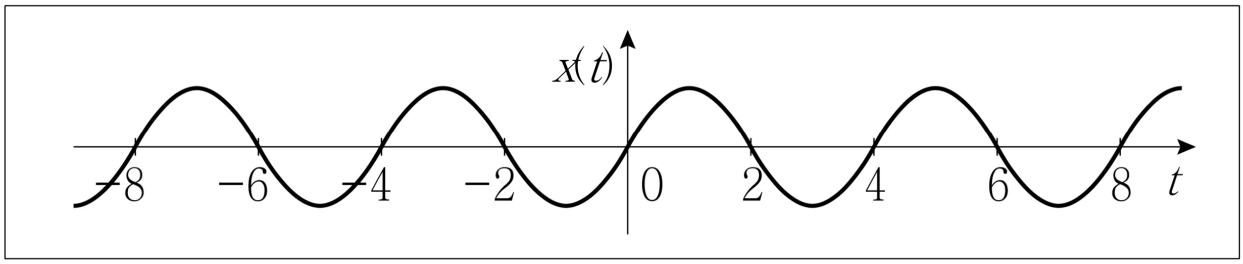
② O: 활성영역에서 이미터–베이스 접합은 순방향 바이어스된다. 이때 정공이 이미터에서 베이스로 주입되는 동시에, n형 베이스의 전자도 **베이스에서 이미터로 주입**된다. 이렇게 빠져나간 전자를 외부 베이스 단자에서 공급하는 과정이 베이스 전류의 한 성분을 이룬다.

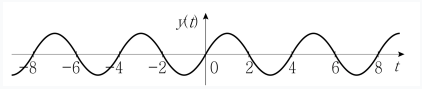
③ O: 이미터에서 주입된 정공이 베이스 중성영역을 확산하여 통과하는 동안 일부는 베이스의 전자와 재결합한다. 이로 인해 줄어든 전자를 **베이스 단자에서 공급**하므로 재결합에 대응하는 베이스 전류가 생긴다. 여기서 확산 중 재결합으로 손실되는 주입 운반자는 정공이다.

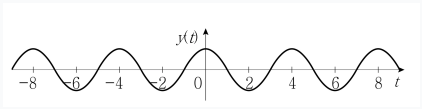
④ O: 활성영역에서 컬렉터–베이스 접합은 역방향 바이어스된다. 이 접합의 공핍영역에서 열적으로 생성된 전자·정공 쌍은 전계에 의해 분리되어, **전자는 n형 베이스 쪽으로**, 정공은 p형 컬렉터 쪽으로 이동한다. 베이스로 공급되는 전자에 의한 누설전류 성분은 ②·③에서 외부가 전자를 보충하는 성분과 반대 방향으로 기여한다.

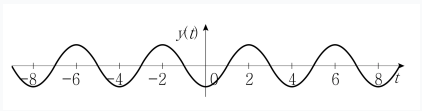
NoteBase

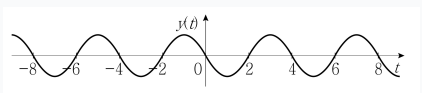
문 18. 선형 시불변 시스템의 라플라스 영역 전달함수가 $H(s) = \frac{2}{\pi}se^{-s}$이고 다음과 같은 $x(t) = \sin\left(\frac{\pi t}{2}\right)$가 입력신호로 인가될 때, 출력 신호 $y(t)$로 옳은 것은? (단, 입력신호는 0초 이전부터 계속 인가되고 있다)



① 

② 

③ 

④ 

정답 1번

간단한 해설

전달함수의 s에 의한 미분은 사인파의 위상을 앞당기고, e^{-s}에 의한 **1초 지연**은 그만큼 위상을 늦춘다. 두 효과가 상쇄되고 진폭도 1로 유지되어 **출력은 입력과 같은 파형**이 된다.

계산 과정

전달함수의 s는 시간 영역의 미분, e^{-s}는 1초 지연에 대응한다. 따라서 입력을 미분하고 $\frac{2}{\pi}$배 한 뒤 1초 늦추면 된다. 입력은 **0초 이전부터 계속 인가**되므로, 0초에 켜지는 신호로 취급하지 않는다.

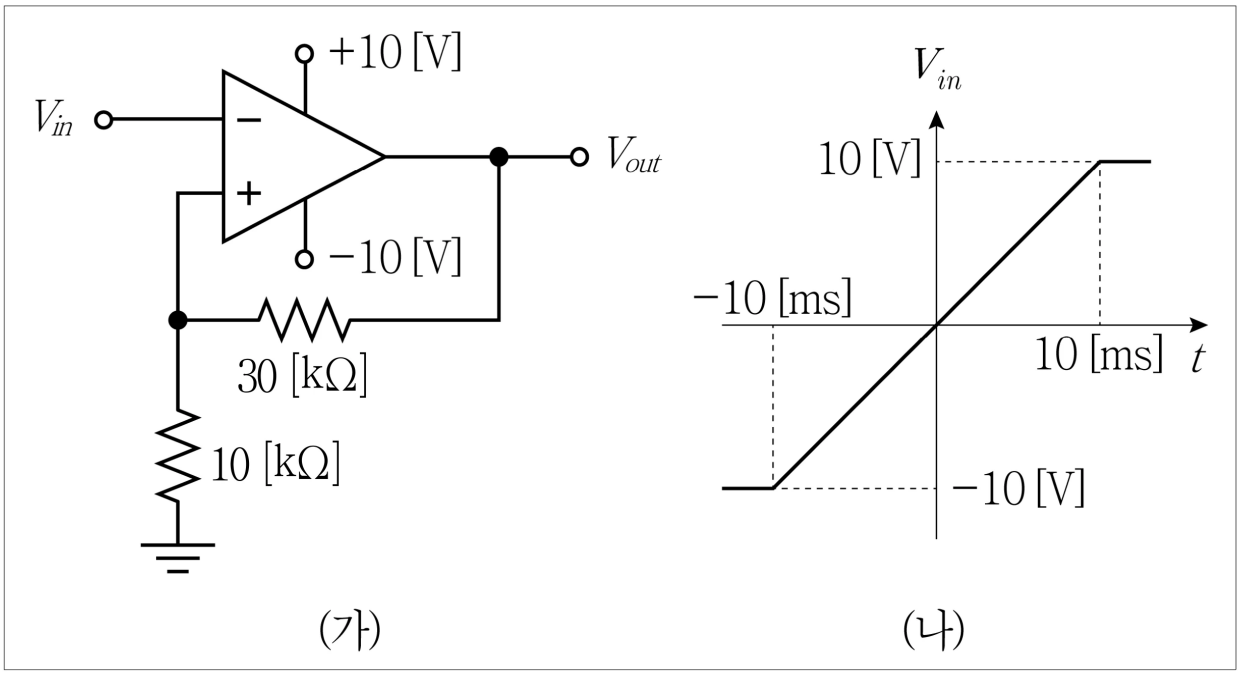
먼저 $x(t) = \sin\left(\frac{\pi t}{2}\right)$를 미분하면 $x'(t) = \frac{\pi}{2}\cos\left(\frac{\pi t}{2}\right)$이다. 여기에 $\frac{2}{\pi}$를 곱하면 $\cos\left(\frac{\pi t}{2}\right)$가 된다. 미분으로 생긴 진폭 계수 $\frac{\pi}{2}$가 상쇄되어 **진폭은 1**이다.

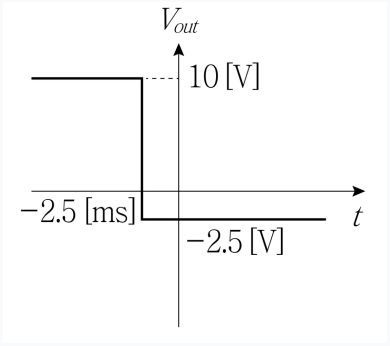
이 신호를 1초 지연시키므로 $y(t) = \cos\left(\frac{\pi(t-1)}{2}\right)$이다. $\cos\left(\theta - \frac{\pi}{2}\right) = \sin\theta$를 적용하면 $y(t) = \sin\left(\frac{\pi t}{2}\right)$이다. 즉, 미분에 따른 위상 앞섬과 1초 지연에 따른 위상 늦어짐이 서로 상쇄된다.

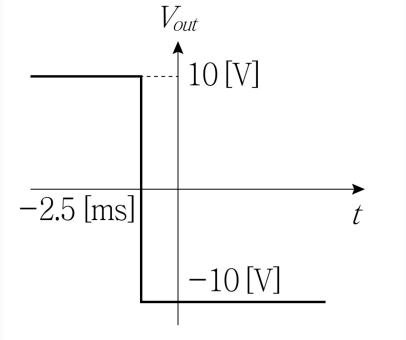
출력의 주기는 4초이며, **0초에서 0을 지나 증가**하고 1초에서 최댓값, 2초에서 다시 0, 3초에서 최솟값을 갖는다. 이 파형은 ①의 그래프와 일치한다.

NoteBase

문 19. 다음 그림 (가)의 회로에 그림 (나)의 신호가 인가될 때, 출력 V_{out}은? (단, 연산증폭기는 이상적이며 초기 $V_{out} = 10[V]$이다)

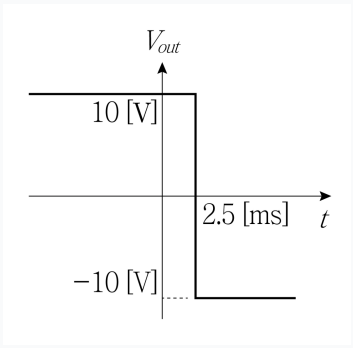


① 

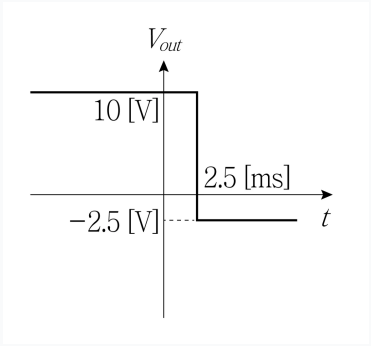
② 

NoteBase

③



④



정답 3번

간단한 해설

출력이 +10 V일 때 저항 분압으로 비반전 입력은 **+2.5 V**가 된다. 입력이 이 문턱을 넘는 **2.5 ms에서 출력이 −10 V로 전환**되고, 이후에는 그 상태를 유지한다.

계산 과정

회로와 전환 조건: 출력이 비반전(+) 입력으로 되먹임되는 **양의 되먹임 회로**이므로 슈미트 트리거로 동작한다. 이상적 연산증폭기의 입력 전류는 0이므로 30 kΩ과 10 kΩ이 출력 전압을 분압한다. 비반전 입력 전압을 V_+라 하면 $V_+ = \frac{10}{30+10} V_{out} = \frac{V_{out}}{4}$이다. 반전(−) 입력에는 V_{in}이 인가되므로, $V_{in} < V_+$이면 출력은 +10 V, $V_{in} > V_+$이면 −10 V가 된다.

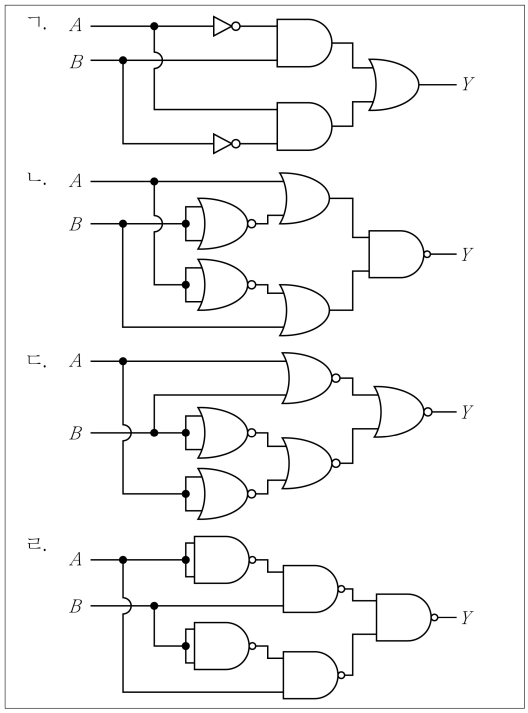
전환 문턱: 초기 출력이 +10 V이므로 $V_+ = \frac{10}{4} = 2.5\text{V}$이다. 따라서 증가하는 입력이 0 V를 지날 때는 출력이 바뀌지 않고, **+2.5 V를 넘을 때** 높은 출력에서 낮은 출력으로 전환된다.

전환 시각: 그림 (나)의 입력은 −10 ms에서 −10 V, 10 ms에서 +10 V이며 원점을 지나는 직선이다. 기울기는 $\frac{10-(-10)}{10-(-10)} = 1\text{V/ms}$이므로 전환 시각은 $t_s = \frac{2.5\text{V}}{1\text{V/ms}} = 2.5\text{ms}$이다.

전환 이후와 출력 파형: 출력이 −10 V가 되면 비반전 입력도 $V_+ = \frac{-10}{4} = -2.5\text{V}$로 내려간다. 입력은 계속 증가하여 −2.5 V보다 높게 유지되므로 출력은 −10 V에 머문다. 여기서 **−2.5 V는 전환 후의 문턱 전압**이며 출력의 낮은 전압은 −10 V이다. 따라서 +10 V를 유지하다가 2.5 ms에서 −10 V로 떨어지는 파형이며, ③과 일치한다.

NoteBase

문 20. 다음 중 출력 Y의 논리식이 같은 논리회로만을 모두 고르면?



① ㄱ, ㄴ

② ㄱ, ㄴ, ㄷ

③ ㄱ, ㄷ, ㄹ

④ ㄱ, ㄴ, ㄷ, ㄹ

정답 4번

간단한 해설

입력을 함께 묶은 NAND·NOR 게이트는 **NOT 게이트처럼 입력을 반전**한다. 이를 반영해 드모르간 법칙으로 정리하면, 네 회로 모두 **두 입력이 다를 때만 1인 XOR**의 논리식 $Y = \overline{A} \cdot B + A \cdot \overline{B}$가 된다.

NoteBase

보기별 해설

논리식에서 +는 OR, ·는 AND, 윗줄은 NOT을 뜻한다. 게이트 출력의 작은 원은 반전을 나타낸다. 같은 신호 X를 두 입력에 연결하면 NOR 출력은 $\overline{X+X}=\overline{X}$, NAND 출력은 $\overline{X\cdot X}=\overline{X}$이므로 둘 다 NOT으로 작동한다.

ㄱ: 위쪽 AND 게이트에는 반전된 A와 B가 들어가므로 출력은 $\overline{A}\cdot B$이다. 아래쪽 AND 게이트에는 A와 반전된 B가 들어가므로 출력은 $A\cdot\overline{B}$이다. 마지막 OR 게이트가 두 출력을 합하므로 $Y=\overline{A}\cdot B+A\cdot\overline{B}$이다. 이는 A와 B가 서로 다를 때만 1을 출력하는 XOR이다.

ㄴ: 왼쪽의 입력을 묶은 NOR 게이트들이 각각 B와 A를 반전한다. 따라서 위쪽 OR 출력은 $u=A+\overline{B}$, 아래쪽 OR 출력은 $v=\overline{A}+B$이다. **마지막 게이트가 NAND**이므로 $Y=\overline{u\cdot v}=\overline{u}+\overline{v}$이다. 드모르간 법칙을 각 항에 적용하면 $\overline{u}=\overline{A}\cdot B$, $\overline{v}=A\cdot\overline{B}$이므로 ㄱ과 같은 XOR 논리식이 된다.

ㄷ: 위쪽 NOR 출력은 $p=\overline{A+B}$이다. 왼쪽에서 입력을 묶은 두 NOR 게이트는 각각 B와 A를 반전하므로, 그 오른쪽 NOR 출력은 $q=\overline{\overline{B}+\overline{A}}=A\cdot B$이다. **마지막 게이트도 NOR**이므로 $Y=\overline{p+q}$이다. 드모르간 법칙을 적용하면 $Y=(A+B)\cdot\overline{A\cdot B}$이고, 다시 쓰면 $Y=(A+B)\cdot(\overline{A}+\overline{B})$이다. 이를 전개할 때 $A\cdot\overline{A}=0$, $B\cdot\overline{B}=0$이므로 $Y=\overline{A}\cdot B+A\cdot\overline{B}$만 남는다.

ㄹ: 왼쪽의 입력을 묶은 NAND 게이트들이 각각 A와 B를 반전한다. 가운데 위쪽 NAND 출력은 $u=\overline{\overline{A}\cdot B}$, 아래쪽 NAND 출력은 $v=\overline{A\cdot\overline{B}}$이다. 마지막 NAND에서 $Y=\overline{u\cdot v}=\overline{u}+\overline{v}$가 된다. 이때 각 항의 **이중 부정이 제거**되므로 $Y=\overline{A}\cdot B+A\cdot\overline{B}$이다.

ㄱ·ㄴ·ㄷ·ㄹ의 출력 논리식이 모두 같으므로, 네 회로를 모두 포함하는 ④에 해당한다.

NoteBase