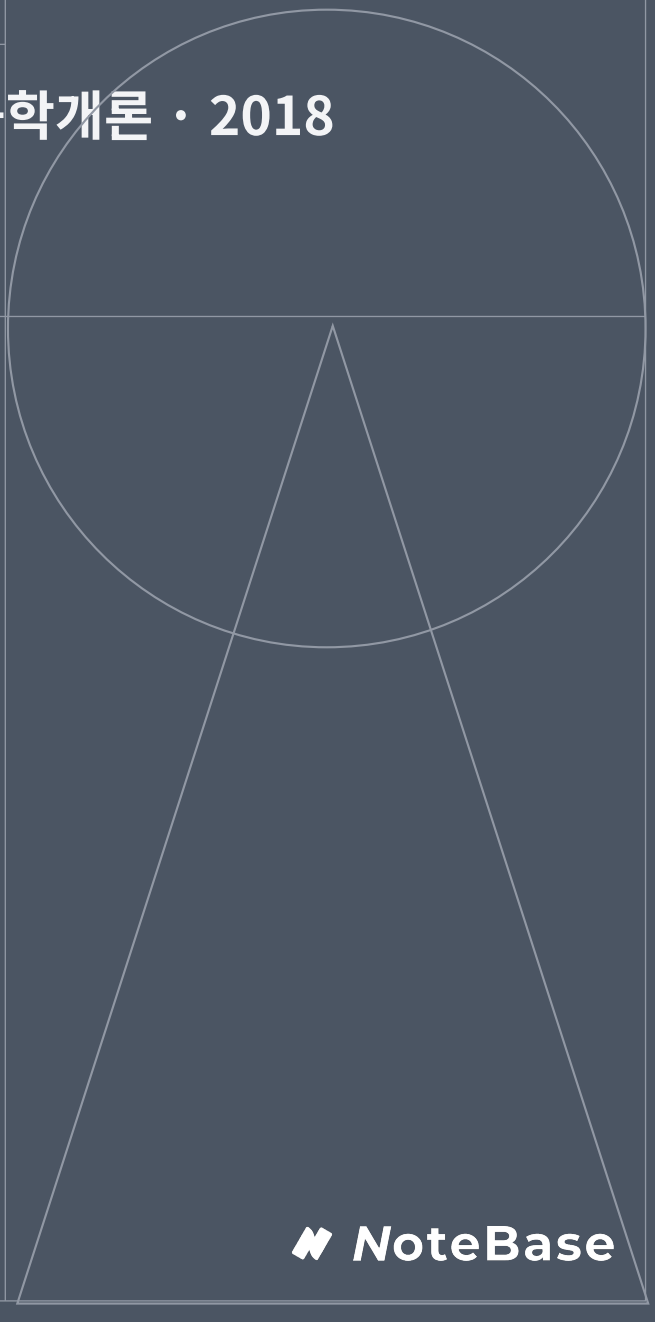
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2018



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2018

공무원/국가직/9급 · 전자공학개론 · 2018

문 1. PCM 방식에서 ㉠, ㉡의 값은?

◯ 최대 주파수 10 [kHz]로 대역 제한된 신호를 왜곡 없이 복원할 수 있는 ㉠ 최소 샘플링 주파수 [kHz]
◯ 양자화 레벨의 수가 126일 때, 2진 부호화하는 경우 하나의 양자화된 표본값을 표현하는 데 필요한 ㉡ 최소 비트 수

① ㉠: 10, ㉡: 7
② ㉠: 10, ㉡: 8
③ ㉠: 20, ㉡: 7
④ ㉠: 20, ㉡: 8

정답 3번

간단한 해설

표본화 정리에 따른 최소 샘플링 주파수는 **신호의 최대 주파수의 2배**이므로 20 kHz이다. 126개의 양자화 레벨을 구별하려면 **최소 7비트**가 필요하다. 6비트로는 64개, 7비트로는 128개를 표현할 수 있기 때문이다.

계산 과정

㉠ 최소 샘플링 주파수: 최대 주파수가 f_{max}인 대역 제한 신호의 이론적 최소 샘플링 주파수, 즉 나이퀴스트율은 $f_{s,\,min} = 2f_{max}$이다. 샘플링 주파수가 이 기준보다 낮으면 서로 다른 주파수 성분이 겹치는 에일리어싱이 발생할 수 있어 원래 신호를 복원할 수 없다. 주어진 최대 주파수는 10 kHz이므로, 최소 샘플링 주파수는 $2 \times 10 = 20$ kHz이다. 여기서 10 kHz는 **원래 신호의 최대 주파수**이며, 초당 표본을 얻는 횟수인 샘플링 주파수와 구별한다.

㉡ 최소 비트 수: n비트의 이진 부호는 2^n개의 서로 다른 부호를 만들 수 있다. 양자화 레벨 126개를 각각 구별하려면 **표현 가능한 부호 수가 레벨 수 이상**이어야 하므로 $2^n \geq 126$을 만족하는 최소 정수 n을 구한다. 6비트는 $2^6 = 64$개로 부족하지만, 7비트는 $2^7 = 128$개를 표현할 수 있다. 따라서 하나의 양자화된 표본값에 필요한 최소 비트 수는 7비트이다.

계산 결과는 ㉠ = 20 kHz, ㉡ = 7비트이며, 이 조합은 ③에 해당한다.

NoteBase

문 2. BJT와 MOSFET을 비교한 설명으로 옳지 않은 것은?

① MOSFET은 다수캐리어의 이동에 의하여 동작 특성이 결정되므로 단극성(unipolar) 소자이다.

② BJT에 비해 MOSFET은 입력 임피던스 값이 매우 커서 입력 전류의 크기가 매우 작다.

③ BJT에 비해 MOSFET은 속도가 빠르므로 고속 회로 설계에 더 적합하다.

④ BJT에 비해 MOSFET은 단위소자 면적을 줄일 수 있어서 고밀도 집적회로 설계가 가능하다.

정답 3번

간단한 해설

MOSFET이 BJT보다 빨라 고속 회로에 더 적합하다고 일반화할 수 없다. 같은 바이어스 전류에서 BJT는 보통 **상호컨덕턴스가 더 커 고주파 증폭에 유리하다**.

선지별 해설

① O: MOSFET의 채널 전류는 n채널에서는 전자, p채널에서는 정공이 담당한다. 이처럼 한 소자에서 **한 종류의 캐리어가 주로 전도에 참여**하므로 단극성 소자라고 한다. 전자와 정공이 모두 동작에 관여하는 양극성 소자인 BJT와 구별된다.

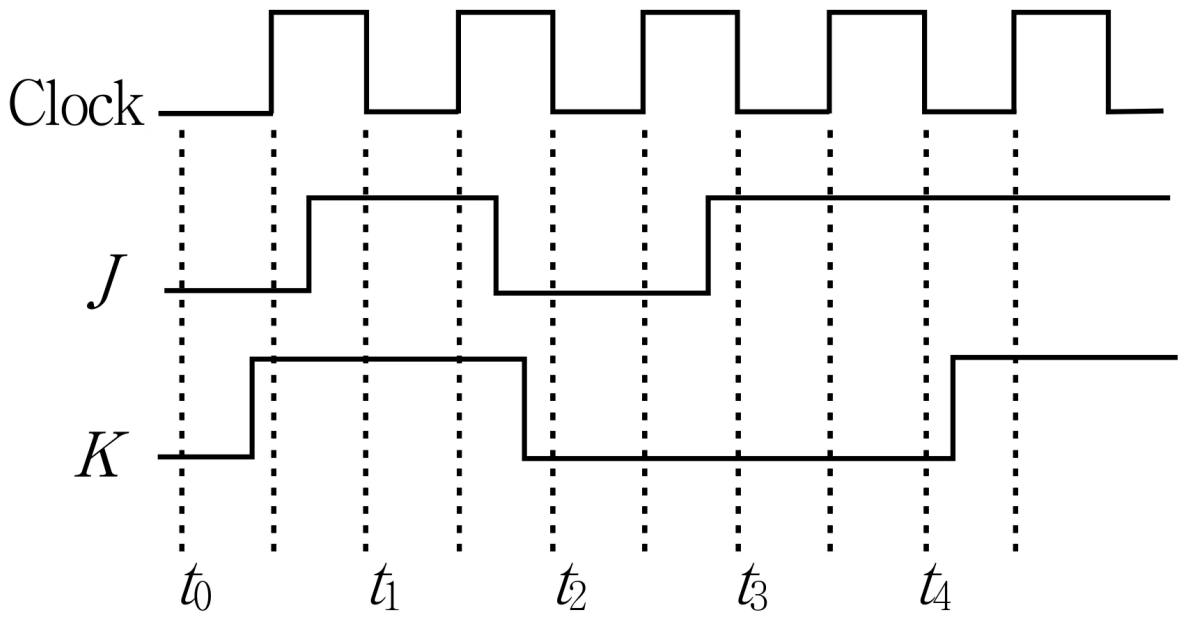
② O: MOSFET은 게이트가 채널과 **절연막으로 분리**되어 있어 정상상태의 게이트 전류가 거의 흐르지 않는다. 따라서 베이스 전류가 필요한 BJT보다 입력 임피던스가 매우 크다. 다만 게이트 전압이 변할 때는 게이트 정전용량을 충전하거나 방전하는 전류가 흐를 수 있다.

③ X: MOSFET이 BJT보다 빠르다는 설명을 일반적인 특성으로 볼 수 없다. 같은 바이어스 전류에서는 BJT의 **상호컨덕턴스가 보통 더 커 고주파 증폭에 유리**하다. 상호컨덕턴스는 입력 전압의 작은 변화에 대해 출력 전류가 얼마나 크게 변하는지를 나타낸다. 실제 속도는 소자의 크기, 기생 정전용량, 바이어스와 구동 조건 등에 따라 달라지므로 모든 회로에서 어느 한 소자가 더 빠르다고 단정해서는 안 된다.

④ O: 집적회로용 MOSFET은 게이트와 채널의 크기를 줄이는 **미세화에 유리**하여 단위소자의 면적을 작게 만들 수 있다. 같은 칩 면적에 더 많은 소자를 배치할 수 있으므로 고밀도 집적회로를 구현하는 데 적합하다.

NoteBase

문 3. 다음 파형을 상승에지 트리거 J-K 플립플롭에 인가하였을 때, 시간 $t = t_1, t_2, t_3, t_4$에서의 출력 Q를 차례대로 바르게 나열한 것은? (단, Q는 $t = t_0$에서 1로 초기화되어 있으며, 게이트에서 전파지연은 없다고 가정한다)



① 0, 1, 0, 1

② 0, 0, 1, 1

③ 0, 1, 1, 1

④ 1, 0, 1, 0

정답 3번

간단한 해설

상승에지 트리거 J-K 플립플롭은 **클록이 0에서 1로 바뀌는 순간**의 J, K에 따라 출력이 갱신된다. 특히 t_2와 t_3 사이의 상승에지에서는 J = K = 0이므로 이전 출력 1이 유지되며, 그 뒤 J가 변해도 다음 상승에지 전까지 출력은 바뀌지 않는다.

NoteBase

계산 과정

상승에지에서 J, K가 각각 0, 0이면 이전 출력을 유지하고, 0, 1이면 0으로 리셋하며, 1, 0이면 1로 세트하고, 1, 1이면 이전 출력을 반전한다. **상승에지 사이에는 출력이 유지**되므로, 그림의 하강에지에 놓인 관측 시각에서는 직전 상승에지에서 결정된 값을 읽는다. 초기값은 t_0에서 Q = 1이며, 전파지연은 없다고 주어졌다.

t_1: t_0와 t_1 사이의 첫 상승에지에서 J = 0, K = 1이다. 따라서 초기 출력 1이 **0으로 리셋**되며, t_1에서 Q = 0이다.

t_2: t_1과 t_2 사이의 두 번째 상승에지에서 J = 1, K = 1이다. 따라서 직전 출력 0을 **반전하여 1**로 바꾸며, t_2에서 Q = 1이다.

t_3: t_2와 t_3 사이의 세 번째 상승에지에서 J = 0, K = 0이다. 따라서 직전 출력 1을 유지한다. 이후 t_3 직전에 J가 1로 바뀌지만 **상승에지가 아니므로 출력은 변하지 않는다**. t_3에서 Q = 1이다.

t_4: t_3과 t_4 사이의 네 번째 상승에지에서 J = 1, K = 0이다. 따라서 출력을 **1로 세트**한다. 직전 출력도 1이었으므로 값은 그대로이며, t_4에서 Q = 1이다.

따라서 t_1, t_2, t_3, t_4에서의 출력은 차례대로 0, 1, 1, 1이며, ③의 배열과 일치한다.

NoteBase

문 4. 다음 다이오드에 대한 설명으로 옳지 않은 것은?

① 제너 다이오드(Zener diode)는 순방향 바이어스에서의 제너 항복현상에 의해서 일정한 전압을 공급한다.

② 발광 다이오드(light-emitting diode)는 순방향 바이어스 상태에서 전류가 인가되면 빛을 방출한다.

③ PN 접합 다이오드에서 역방향 바이어스를 인가하면 PN 접합부의 공핍층이 늘어난다.

④ 광수신 다이오드(photo diode)는 역방향 바이어스 상태에서 빛이 인가되면 전류를 발생시킨다.

정답 1번

간단한 해설

제너 다이오드는 순방향이 아니라 **역방향 항복 영역**에서 거의 일정한 전압을 유지한다. 따라서 '순방향 바이어스에서의 제너 항복현상'이라는 표현이 잘못되었다.

선지별 해설

① X: 제너 다이오드는 **역방향 바이어스의 항복 영역**을 이용하여 전압을 일정하게 유지하는 소자이다. 이 영역에서는 전류가 변해도 양단 전압의 변화가 작으므로 정전압 회로에 사용한다. 전류 제한 저항 등을 두어 허용 동작 전류 범위 안에서 사용해야 하며, 순방향에서 제너 항복을 이용하는 것은 아니다.

② O: 발광 다이오드에 순방향 바이어스를 가하면 전자와 정공이 접합부로 주입된다. 이들이 **재결합할 때 에너지를 빛으로 방출**하므로 전류를 흘리면 빛이 난다.

③ O: 역방향 바이어스는 P형 쪽에 음극을, N형 쪽에 양극을 연결하는 것이다. 이때 다수 운반자인 정공과 전자가 접합부에서 멀어지는 방향으로 이동하므로, 이동 가능한 전하 운반자가 거의 없는 **공핍층의 폭이 증가**한다.

④ O: 광수신 다이오드에 빛이 입사하면 반도체 내부에서 전자·정공 쌍이 생성된다. 역방향 바이어스에 의한 전기장이 이들을 서로 반대 방향으로 이동시켜 **광전류**를 발생시키므로 빛을 전기 신호로 검출할 수 있다.

NoteBase

문 5. FM 방송에서 FM 변조 전에 프리엠퍼시스 필터를 사용하고 수신측에서는 디엠퍼시스 필터를 사용하는 이유는?

① 수신단 출력 잡음의 고주파 성분을 줄이기 위해

② 비선형 양자화를 위해

③ 스테레오 방송을 가능하게 하기 위해

④ 페이딩 현상을 방지하기 위해

정답 1번

간단한 해설

송신측에서 음성 신호의 고주파 성분을 미리 강조하고, 수신측에서 이를 다시 감쇠시키면 원래의 신호 특성을 복원하면서 **수신 과정에서 더해진 고주파 잡음**을 줄일 수 있다.

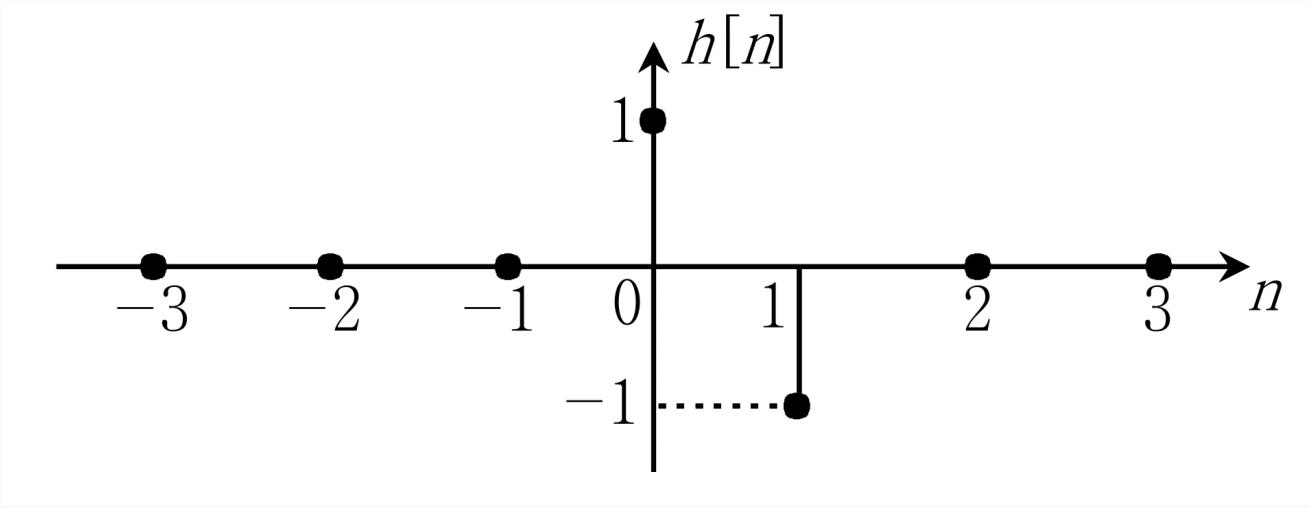
공통 해설

FM 복조 후의 잡음은 음성 대역에서 주파수가 높아질수록 커지는 특성이 있다. 따라서 고주파 대역의 신호 대 잡음비를 개선하기 위해 송신측과 수신측에 서로 보완되는 주파수 특성의 필터를 사용한다.

프리엠퍼시스는 FM 변조 전에 음성 신호의 고주파 성분을 저주파 성분에 비해 상대적으로 크게 만든다. 수신측의 디엠퍼시스는 복조 후 고주파 성분을 감쇠시켜 송신측에서 강조한 신호를 원래의 주파수 특성으로 되돌린다. 이때 전송·수신 과정에서 더해진 잡음은 송신측의 강조를 거치지 않았으므로, 디엠퍼시스에 의해 **신호는 복원되고 고주파 잡음은 감소**한다. 두 필터를 함께 사용하는 목적은 이처럼 수신단 출력 잡음의 고주파 성분을 줄이는 것이다.

NoteBase

문 6. 그림과 같은 임펄스 응답 $h[n]$을 갖는 선형 시불변 이산시스템에서 입력신호 $x[n]$에 대한 출력신호를 $y[n]$이라고 할 때, 이에 대한 설명으로 옳지 않은 것은? (단, $h[0]=1$, $h[1]=-1$이고 그 외의 모든 n에 대해서는 $h[n]=0$이다)



① $x[n]$이 $n=0$에서는 1이고 그 외의 모든 n에 대해서는 0이라면, $y[1]=-1$이다.

② 모든 n에 대하여 $x[n]=1$이라면, 모든 n에 대하여 $y[n]=0$이다.

③ 입력신호 $x[n-2]$에 대한 출력신호는 $y[n-2]$이다.

④ $y[n]$은 $x[n+1]$의 영향을 받는다.

정답 4번

간단한 해설

출력은 $y[n]=x[n]-x[n-1]$로, **현재 입력과 한 시점 전의 입력**으로 결정된다. 미래 입력인 $x[n+1]$의 영향은 받지 않는다.

NoteBase

선지별 해설

선형 시불변 이산시스템의 출력은 입력과 임펄스 응답의 합성곱으로 구한다. 그림에서 임펄스 응답은 $n = 0$에서 1, $n = 1$에서 -1이고 나머지는 0이므로, 현재 입력에 1을 곱한 값과 한 시점 전 입력에 -1을 곱한 값만 더한다. 따라서 $y[n] = x[n] - x[n-1]$이다.

① O: 주어진 입력은 단위 임펄스이므로 출력은 임펄스 응답과 같다. 출력식에 직접 대입해도 $x[1] = 0$, $x[0] = 1$이므로 $y[1] = 0 - 1 = -1$이다.

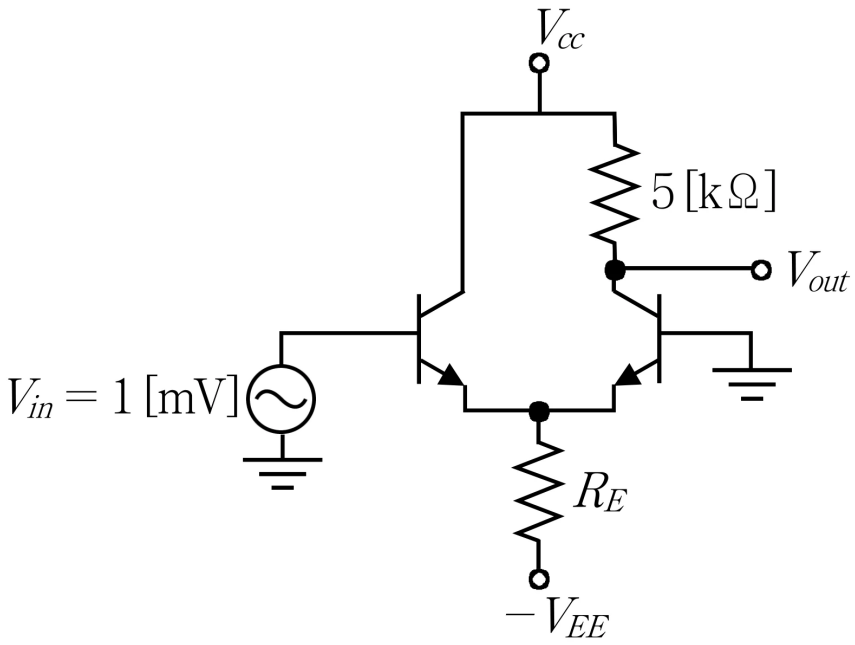
② O: **모든 시점에서 입력이 1**이므로 현재 입력과 한 시점 전 입력이 모두 1이다. 따라서 모든 n에 대하여 $y[n] = 1 - 1 = 0$이다.

③ O: **시불변성**에 따라 입력을 두 시점 지연시키면 출력도 두 시점 지연된다. 입력을 $x[n-2]$로 바꾸면 출력은 $x[n-2] - x[n-3]$이 되며, 이는 기존 출력식의 n을 $n-2$로 바꾼 $y[n-2]$와 같다.

④ X: 출력식에는 $x[n]$과 $x[n-1]$만 나타나고 미래 입력인 $x[n+1]$은 나타나지 않는다. 따라서 출력은 **현재와 한 시점 전의 입력에만 의존**하며, 미래 입력의 영향을 받는다는 설명은 성립하지 않는다.

NoteBase

문 7. 다음 차동증폭기 회로에서 입력 임피던스 Z_{in}[kΩ]과 출력전압 V_{out}[mV]는? (단, BJT는 서로 동일하고, BJT의 전류 이득 $\beta_{ac} = 100$와 교류 이미터 저항 $r'_e = 25$[Ω]이다. $R_E \gg r'_e$이고 BJT가 활성영역에서 동작한다고 가정한다.) $V_{in} = 1$[mV]



① Z_{in}: 2.5, V_{out}: 100

② Z_{in}: 5, V_{out}: 100

③ Z_{in}: 2.5, V_{out}: 200

④ Z_{in}: 5, V_{out}: 200

정답 2번

간단한 해설

공통 이미터 전압이 입력의 약 절반만큼 변하므로, 입력 임피던스는 **두 BJT의 베이스 입력 저항을 합한 값**인 5 kΩ이다. 오른쪽 컬렉터에서 얻는 출력은 입력과 동상이며, 전압 이득이 100이므로 출력전압은 **100 mV**이다.

NoteBase

계산 과정

공통 이미터 전압: 왼쪽 베이스에 1 mV가 인가되고 오른쪽 베이스는 접지되어 있다. 두 BJT가 동일하고 $R_E \gg r'_e$이므로, 공통 이미터 저항으로 흐르는 전체 전류의 교류 변화는 작다. 따라서 한쪽 이미터 전류의 증가와 다른 쪽의 감소가 거의 같아지며, 공통 이미터 전압은 $v_e \approx \frac{V_{in}}{2}$가 된다. 왼쪽과 오른쪽의 베이스–이미터 전압 변화는 각각 +0.5 mV와 −0.5 mV이다.

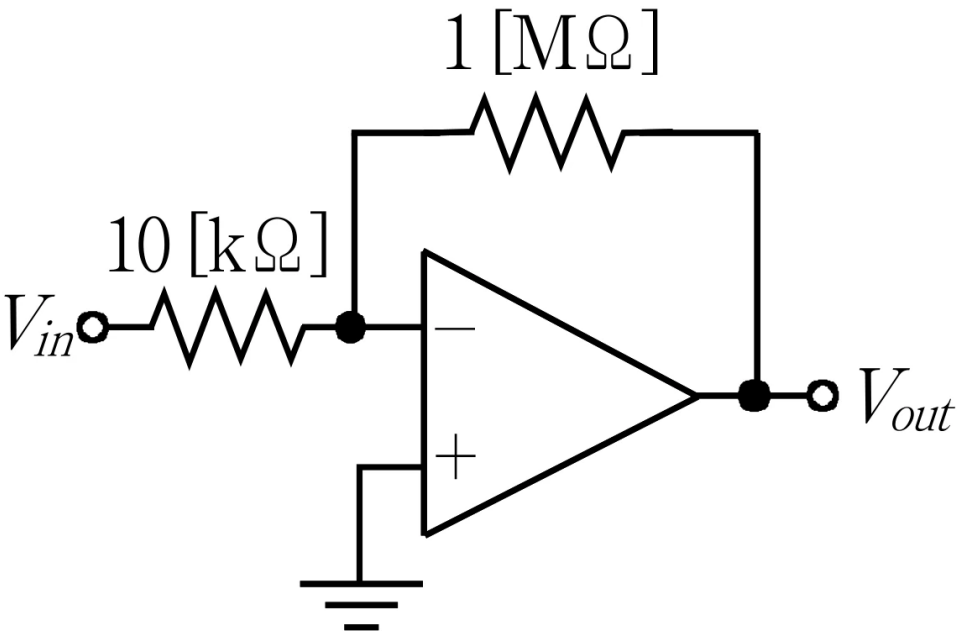
입력 임피던스: BJT 하나의 베이스에서 본 소신호 저항은 $r_\pi \approx \beta_{ac} r'_e$이다. 따라서 $r_\pi \approx 100 \cdot 25 = 2500\Omega$이다. 왼쪽 베이스 전류는 $i_{b1} \approx \frac{V_{in}}{2r_\pi}$이므로, 입력 전압을 이 전류로 나누면 $Z_{in} \approx 2r_\pi = 5\text{k}\Omega$이다. **입력 전압 전체가 왼쪽 베이스–이미터 사이에 걸리는 것이 아니므로** BJT 하나의 저항인 2.5 kΩ을 그대로 쓰지 않는다.

출력전압: 오른쪽 BJT의 베이스–이미터 전압 변화는 $-\frac{V_{in}}{2}$이다. 활성영역의 소신호 근사에서 컬렉터 전류 변화는 $i_{c2} \approx -\frac{V_{in}}{2r'_e}$이므로, $i_{c2} \approx -\frac{1\text{mV}}{2 \cdot 25\Omega} = -20\mu\text{A}$이다. 오른쪽 컬렉터 저항은 5 kΩ이고, 전원 전압은 교류적으로 일정하므로 $v_{out} = -i_{c2} R_C$이다. 따라서 $v_{out} \approx -(-20\mu\text{A}) \cdot 5\text{k}\Omega = 100\text{mV}$이다. 입력이 증가하면 오른쪽 컬렉터 전류가 감소하여 저항의 전압 강하가 작아지므로, **오른쪽 출력전압은 증가**한다.

따라서 $Z_{in} \approx 5\text{k}\Omega$, $V_{out} \approx 100\text{mV}$이며, 이 값의 조합은 ②에 해당한다.

NoteBase

문 8. 다음 반전증폭기 회로에서 고역 차단주파수[kHz]는? (단, 연산 증폭기 자체의 중간영역 개방루프 전압이득은 100 [dB]이고 고역 차단주파수는 10 [Hz]이다)



① 1

② 10

③ 50

④ 100

정답 2번

간단한 해설

개방루프 이득 100 dB는 전압비로 10만 배이므로 이득·대역폭 곱은 1 MHz이다. 이를 반전증폭기의 **잡음이득 101**로 나누면 고역 차단주파수는 **약 10 kHz**가 된다.

NoteBase

계산 과정

회로의 저항값: 입력 저항은 $R_i = 10\text{k}\Omega$, 출력에서 반전 입력으로 연결된 귀환 저항은 $R_f = 1\text{M}\Omega = 1000\text{k}\Omega$이다. 비반전 입력은 접지되어 있으며, 중간영역의 신호 전압이득은 $A_V \approx -\frac{R_f}{R_i} = -100$이다. 음수 부호는 출력의 위상이 입력과 반대임을 뜻한다.

개방루프 이득의 환산: 전압이득의 데시벨값은 $20\log_{10} A_0$이므로, 100 dB를 전압비로 바꾸면 $A_0 = 10^{100/20} = 10^5$이다. 고역 응답을 하나의 지배적인 극으로 근사하면 이득·대역폭 곱은 $f_T \approx A_0 f_H$이다. 여기서 f_H는 개방루프 고역 차단주파수이므로 $f_T \approx 10^5 \cdot 10\text{Hz} = 10^6\text{Hz}$, 즉 1 MHz이다.

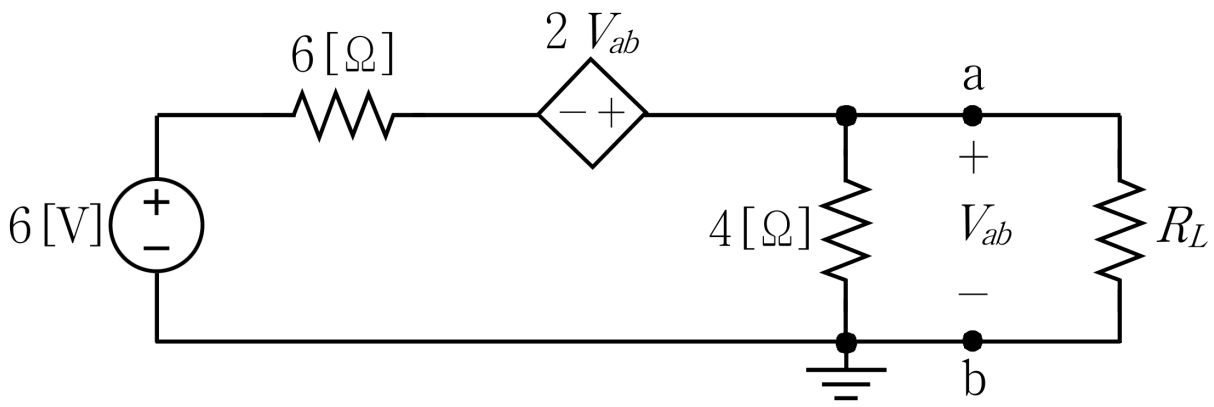
대역폭을 결정하는 이득: 반전증폭기의 대역폭에는 **신호이득의 크기 대신 잡음이득**을 사용한다. 잡음이득은 입력 신호를 0으로 두었을 때 귀환 전압의 비율인 귀환계수의 역수이다. 이 회로에서는 두 저항이 출력 전압을 분압하므로 $\beta = \frac{R_i}{R_i + R_f} = \frac{1}{101}$이고, 잡음이득은 $G_N = \frac{1}{\beta} = 101$이다.

고역 차단주파수 계산: 음귀환은 중간영역 이득을 낮추는 대신 대역폭을 넓힌다. 단일 지배극 근사에서 폐루프 고역 차단주파수는 $f_{H,\text{CL}} \approx \frac{f_T}{G_N}$이므로 $f_{H,\text{CL}} \approx \frac{10^6}{101}\text{Hz} \approx 9.90\text{kHz}$이다.

따라서 고역 차단주파수는 약 10 kHz이며, 선택지 ②의 10에 해당한다.

NoteBase

문 9. 다음 회로에서 최대 전력이 부하 R_L에 전달되기 위한 R_L[Ω]은?



① 6

② 8

③ 10

④ 12

정답 4번

간단한 해설

저항 부하에는 **부하 저항과 테브난 등가저항이 같을 때** 최대 전력이 전달된다. 종속전압원을 유지한 채 부하 단자에서 본 등가저항을 구하면 12 Ω이므로, R_L도 12 Ω이다.

계산 과정

1. 최대 전력 전달 조건: 부하 R_L을 제외한 회로를 테브난 전압 V_{th}와 직렬 저항 R_{th}로 바꾸면, 부하 전류는 $I_L = \frac{V_{\text{th}}}{R_{\text{th}} + R_L}$이다. 따라서 부하 전력은 $P_L = \frac{V_{\text{th}}^2 R_L}{(R_{\text{th}} + R_L)^2}$이며, 양의 저항 부하에서 $R_L = R_{\text{th}}$일 때 최대가 된다.

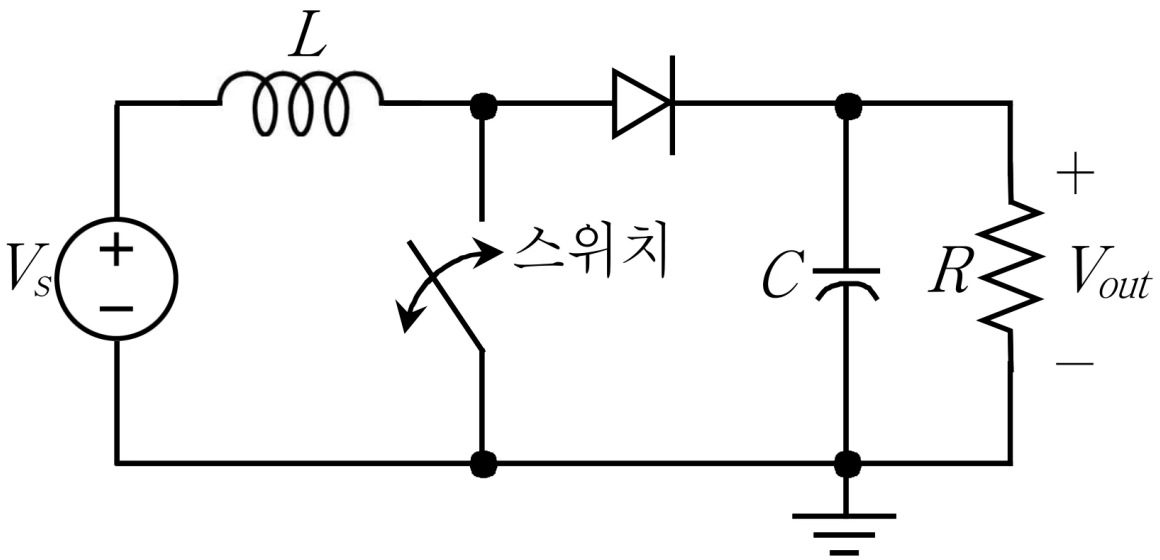
2. 시험 전압 적용: R_L을 떼어 내고 독립전압원 6 V를 단락한다. **종속전압원은 제거하지 않고 유지**한 상태에서 a-b 사이에 시험 전압 V_t를 걸고, b를 0 V로 둔다. 그러면 $V_{ab} = V_t$이다. 종속전압원은 오른쪽이 +이고 전압이 $2V_{ab}$이므로, 왼쪽 단자의 전위를 V_c라 하면 $V_t - V_c = 2V_t$, 즉 $V_c = -V_t$이다.

3. 테브난 등가저항 계산: a에서 왼쪽 가지로 나가는 전류는 6 Ω 저항을 흐르는 전류와 같으므로 $\frac{V_c}{6} = -\frac{V_t}{6}$이다. 음의 부호는 실제 전류가 가정한 방향과 반대임을 뜻한다. 4 Ω 저항으로 나가는 전류는 $\frac{V_t}{4}$이므로, 시험 전원이 회로에 공급하는 전체 전류는 $I_t = \frac{V_t}{4} - \frac{V_t}{6} = \frac{V_t}{12}$이다. 따라서 $R_{\text{th}} = \frac{V_t}{I_t} = 12\Omega$이다.

4. 부하 저항 결정: **최대 전력 전달 조건**에 따라 $R_L = R_{\text{th}} = 12\Omega$이며, 이는 ④의 12 Ω에 해당한다.

NoteBase

문 10. 다음 스위칭 전원 회로에서 주기 T마다 듀티싸이클 D의 비율만큼 스위치가 닫힐 때, 정상상태의 출력전압 V_{out}[V]는? (단, $V_S = 1$[V], $L = 1$[mH], $D = 0.5$, $T = 10[\mu s]$, $R = 50$[Ω], C는 출력전압이 일정하도록 충분히 크고, 다이오드 및 스위치는 이상적이며, 인덕터 전류는 연속이라고 가정한다)



① 0.25

② 0.5

③ 1

④ 2

정답 4번

간단한 해설

이 회로는 스위치가 열릴 때 전원과 인덕터가 함께 출력으로 에너지를 전달하는 **승압형 컨버터**이다. 연속 전류의 정상상태에서는 $V_{out} = \frac{V_S}{1-D}$이므로, 듀티싸이클이 0.5이면 출력전압은 입력의 두 배인 2 V이다.

NoteBase

계산 과정

회로에서 인덕터 뒤의 접점은 스위치를 통해 접지에 연결되고, 다이오드를 통해 출력에 연결된다. 이는 승압형 컨버터의 구성이다. 인덕터 전류의 양의 방향을 전원에서 다이오드 쪽으로 잡고, 인덕터 왼쪽 전압에서 오른쪽 전압을 뺀 값을 v_L로 둔다. 출력 커패시터가 충분히 크므로 V_{out}은 한 주기 동안 일정하게 취급한다.

스위치가 닫힌 구간: 인덕터 오른쪽 접점이 접지 전위가 되어 $v_L = V_S$이다. 다이오드는 역방향으로 바이어스되어 차단되고, 커패시터가 부하에 전력을 공급한다. 인덕터에는 양의 전압이 걸리므로 전류가 증가하며 **에너지가 저장된다**. 이 구간의 길이는 DT로, 주어진 값에서는 5 μs이다.

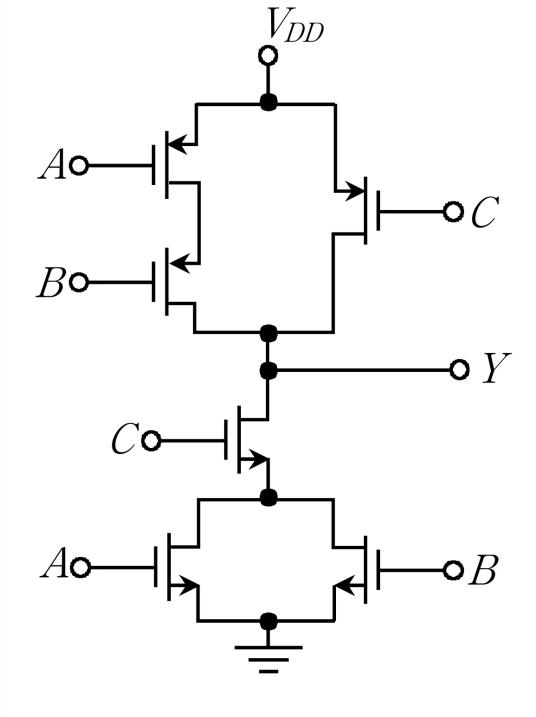
스위치가 열린 구간: 연속으로 흐르던 인덕터 전류가 다이오드를 통해 출력으로 흐른다. 이상적인 다이오드의 전압강하는 0이므로 인덕터 오른쪽 전압은 V_{out}이고, $v_L = V_S - V_{out}$이다. 이때 전원과 인덕터가 함께 출력에 에너지를 전달하며 인덕터 전류는 감소한다. 이 구간의 길이는 $(1-D)T$로, 역시 5 μs이다.

정상상태에서는 인덕터 전류가 매 주기 같은 값으로 돌아온다. $v_L = L\frac{di_L}{dt}$이므로, 한 주기 동안 **인덕터 전압의 시간 적분은 0**이어야 한다. 따라서 $V_S DT + (V_S - V_{out})(1-D)T = 0$이다. 양변에서 T를 약분하고 정리하면 $V_S - (1-D)V_{out} = 0$, 즉 $V_{out} = \frac{V_S}{1-D}$를 얻는다.

주어진 입력전압 1 V와 듀티싸이클 0.5를 대입하면 $V_{out} = \frac{1}{1-0.5} = 2\text{V}$이다. 이 값은 ④의 2에 해당한다. 이상적인 소자와 연속 인덕터 전류라는 조건에서 전압비를 구하므로, 인덕턴스와 부하저항의 수치를 별도로 대입할 필요는 없다.

NoteBase

문 11. 다음 CMOS 논리회로에서 입력 $A = 1, B = 1, C = 0$일 때 출력 $Y = Y_1$이라고 하고 입력 $A = 0, B = 1, C = 1$일 때 출력 $Y = Y_2$라고 할 때, Y_1과 Y_2는?



① Y_1: 1, Y_2: 1

② Y_1: 1, Y_2: 0

③ Y_1: 0, Y_2: 1

④ Y_1: 0, Y_2: 0

정답 2번

간단한 해설

첫 입력에서는 C가 0이므로 위쪽 C의 pMOS가 켜져 출력이 **전원에 연결**되고 $Y_1 = 1$이 된다. 두 번째 입력에서는 C와 B가 모두 1이므로 아래쪽 nMOS를 통한 **접지 경로가 연결**되어 $Y_2 = 0$이 된다.

NoteBase

계산 과정

CMOS 논리회로에서 pMOS는 게이트 입력이 0일 때 켜지고, nMOS는 1일 때 켜진다. 출력이 전원 V_{DD}에 연결되면 논리 1, 접지에 연결되면 논리 0이다. 그림의 위쪽 pMOS망은 A·B의 직렬 가지와 C의 가지가 병렬이고, 아래쪽 nMOS망은 A·B의 병렬 부분에 C가 직렬로 연결되어 있다. 따라서 **접지 경로가 연결되는 조건**은 C가 1이면서 A 또는 B가 1인 경우이다. 출력 논리식은 $Y = \overline{C \cdot (A + B)}$이다. 여기서 +는 논리합, ·는 논리곱을 뜻한다.

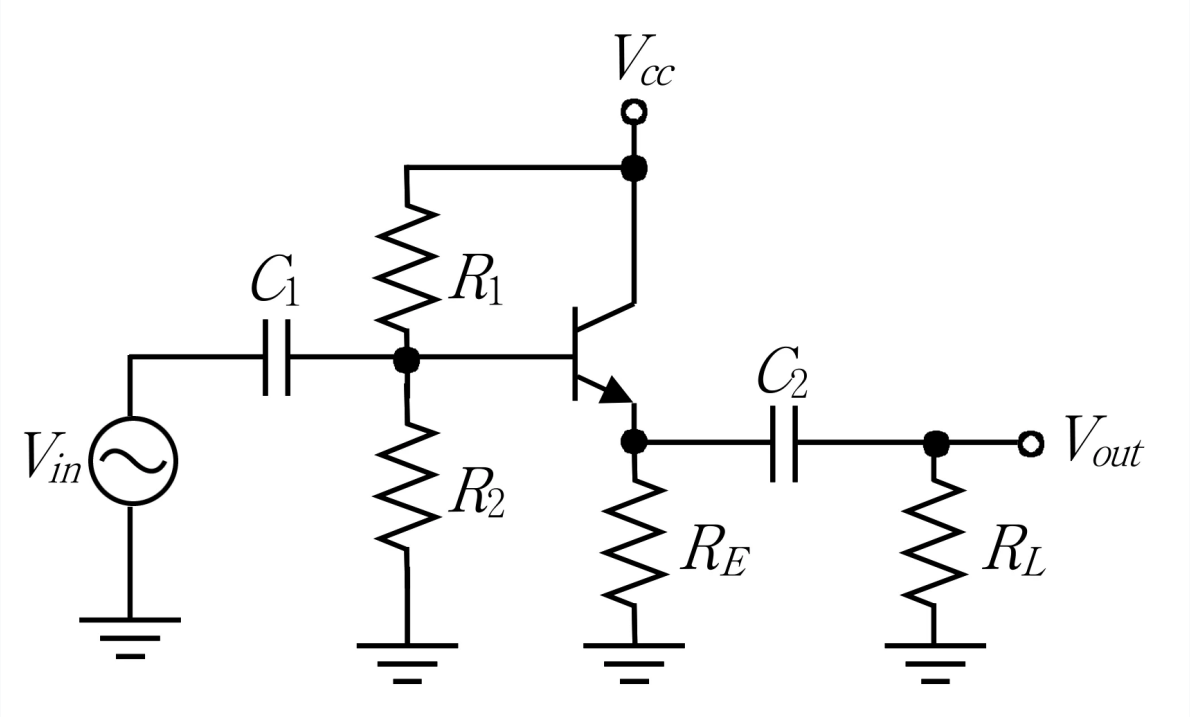
Y_1: $A = 1, B = 1, C = 0$을 대입하면 $Y_1 = \overline{0 \cdot (1 + 1)} = \overline{0} = 1$이다. 논리합에서 $1 + 1 = 1$이다. 위쪽 A·B의 pMOS는 꺼져 있지만 C의 pMOS가 켜져 출력과 전원이 연결된다. 아래쪽은 **C의 nMOS가 꺼져** 있으므로 A·B의 nMOS가 켜져 있어도 접지까지 이어지지 않는다.

Y_2: $A = 0, B = 1, C = 1$을 대입하면 $Y_2 = \overline{1 \cdot (0 + 1)} = \overline{1} = 0$이다. 위쪽은 C의 pMOS가 꺼지고, A·B의 직렬 가지도 B의 pMOS가 꺼져 전원 경로가 끊긴다. 아래쪽은 **C와 B의 nMOS가 모두 켜져** 출력에서 C의 nMOS와 B의 nMOS를 거쳐 접지로 이어진다. A의 nMOS가 꺼져도 병렬인 B의 경로가 있으므로 출력은 0이다.

따라서 $Y_1 = 1, Y_2 = 0$이며, 이 조합은 ②에 해당한다.

NoteBase

문 12. 다음 BJT 공통컬렉터 증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, 이 증폭기는 중간주파수대역에서 동작하고 있다고 가정한다)



① 전압 이득 (V_{out}/V_{in})은 1에 가깝다.

② 높은 입력저항 특성을 가지고 있어 버퍼 역할을 할 수 있다.

③ 커패시터 C_1, C_2는 직류신호를 차단하는 데 사용된다.

④ 출력신호는 입력신호와 180도의 위상차가 난다.

정답 4번

간단한 해설

공통컬렉터 증폭기는 에미터 전압이 베이스의 입력 전압 변화를 따라가는 회로이다. 중간주파수대역에서 입력과 출력은 **동상으로 위상차가 약 0도**이므로, '180도의 위상차'라는 설명은 잘못되었다.

NoteBase

선지별 해설

① O: 그림은 베이스에 입력을 가하고 에미터에서 출력을 얻는 공통컬렉터 회로로, '에미터 팔로어'라고도 한다. 베이스 전압이 변하면 에미터 전압도 이를 따라 변하며, 베이스-에미터 사이 전압의 변화는 상대적으로 작다. 따라서 중간주파수대역의 전압 이득은 **1보다 약간 작고 1에 가깝다**.

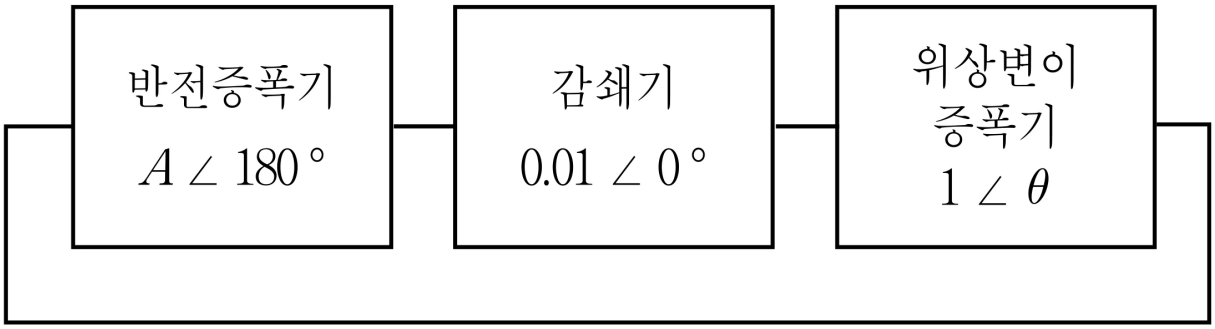
② O: 베이스에는 작은 입력 전류가 흐르지만 에미터에서는 더 큰 전류를 부하에 공급할 수 있다. 공통컬렉터 증폭기는 **입력저항이 높고 출력저항이 낮아** 앞단에서 끌어오는 전류를 줄이면서 부하를 구동하는 버퍼로 사용된다. 버퍼는 신호 전압을 거의 유지하면서 앞단에 대한 부하의 영향을 줄이는 역할을 한다.

③ O: C_1과 C_2는 **직류를 차단하고 교류 신호를 전달하는** 결합 커패시터이다. C_1은 신호원과 베이스 바이어스 회로의 직류 성분을 분리하고, C_2는 에미터의 직류 바이어스 전압이 부하에 전달되는 것을 막는다. 중간주파수대역에서는 이 커패시터들의 리액턴스가 충분히 작아 교류 신호에 대해 거의 단락으로 취급한다.

④ X: 입력에 의해 베이스 전압이 상승하면 에미터 전류가 증가하고, 에미터 저항에 걸리는 전압도 상승한다. 출력은 이 에미터 전압의 교류 성분을 C_2를 통해 얻으므로 입력과 같은 방향으로 변한다. 따라서 위상차는 180도가 아니라 **약 0도이며 위상이 반전되지 않는다**. 180도 위상 반전은 베이스에 입력하고 컬렉터에서 출력하는 공통에미터 증폭기의 특성이다.

NoteBase

문 13. 다음 발진기 블록 다이어그램에서, 정상상태의 발진을 만들기 위해 필요한 반전증폭기의 이득 A와 위상변이증폭기의 위상 변이 θ[°]는?



① A: 1, θ: 0

② A: 1, θ: 180

③ A: 10, θ: 0

④ A: 100, θ: 180

정답 4번

간단한 해설

정상상태의 발진에서는 **루프 이득의 크기가 1**이고 **전체 위상 변이가 360°의 정수배**여야 한다. 감쇠기 이득 0.01을 보상하려면 A = 100이 필요하며, 반전증폭기의 180°에 위상 변이 180°를 더해야 한다.

NoteBase

계산 과정

정상상태에서 일정한 진폭의 발진을 유지하려면 신호가 회로를 한 바퀴 돌아왔을 때 처음과 같은 크기와 위상이 되어야 한다. 이를 바르크하우젠 발진 조건이라 하며, 루프 이득의 크기는 1, 전체 위상 변이는 360°의 정수배가 되어야 한다.

이득 A: 그림에서 반전증폭기의 이득 크기는 A, 감쇠기는 0.01, 위상변이증폭기는 1이다. 직렬로 연결된 블록들의 이득 크기를 곱하면 $|L| = A \cdot 0.01 \cdot 1 = 1$이다. 따라서 $A = \frac{1}{0.01} = 100$이다. 감쇠기가 신호 크기를 1/100로 줄이므로 반전증폭기가 **100배로 증폭하여 감쇠를 보상**해야 한다. 이득은 입력에 대한 출력의 비이므로 단위가 없다.

위상 변이 θ: 직렬로 연결된 블록들의 위상 변이는 더한다. 반전증폭기에서 180°, 감쇠기에서 0°가 생기므로 $180^\circ + 0^\circ + \theta = 360^\circ$를 만족해야 한다. 따라서 $\theta = 180^\circ$이다. 두 번의 180° 위상 변이로 전체 위상이 360°가 되어 **되돌아온 신호가 처음 신호와 동상**이 된다.

A = 100, θ = 180°의 조합은 ④에 해당한다.

NoteBase

문 14. 증가형 n-채널 MOSFET의 문턱전압에 대한 설명 중 옳지 않은 것은?

① 기판의 도핑농도가 클수록 문턱전압은 증가한다.

② 채널 폭이 좁아질수록 문턱전압은 감소한다.

③ 채널 길이가 짧아질수록 문턱전압은 감소한다.

④ 드레인-소스 전압이 증가할수록 문턱전압은 감소한다.

정답 2번

간단한 해설

②의 '채널 폭이 좁아질수록 문턱전압은 감소한다'는 변화 방향을 반대로 설명했다. 통상적인 **협채널 효과**에서는 채널 폭이 좁아질수록 가장자리 공핍 영역의 상대적 영향이 커져 문턱전압이 **증가한다**.

선지별 해설

문턱전압은 게이트 아래의 p형 기판 표면에 전자로 이루어진 반전 채널이 형성되는 기준 게이트-소스 전압이다. 각 선지는 다른 조건이 같을 때의 일반적인 변화 경향으로 판단한다.

① O: p형 기판의 도핑농도가 커지면 반전에 필요한 공핍층 전하량의 크기가 증가한다. 이를 보상하고 반전 채널을 형성하려면 **더 높은 게이트 전압**이 필요하므로 문턱전압이 증가한다.

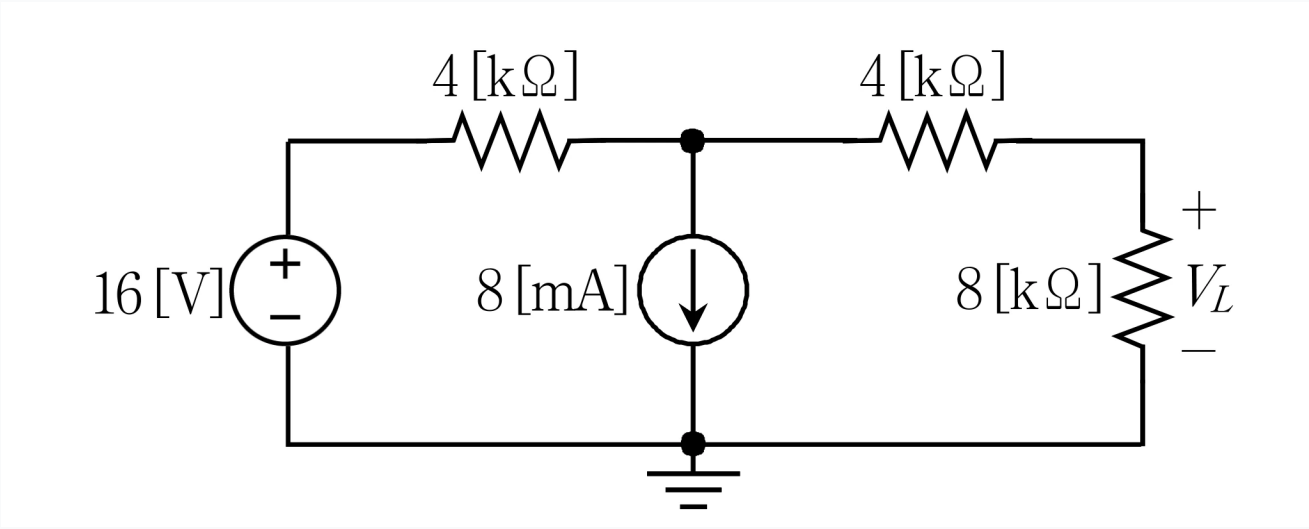
② X: 통상적인 협채널 효과에서는 채널 폭이 좁아질수록 문턱전압이 **증가한다**. 게이트 가장자리 바깥으로 퍼지는 공핍 영역의 상대적 비중이 커져, 게이트 면적당 감당해야 할 공핍 전하가 증가하기 때문이다. 따라서 '감소한다'를 '증가한다'로 고쳐야 한다.

③ O: 채널 길이가 짧아지면 소스·드레인 접합의 공핍 영역이 채널 아래의 공핍 전하를 분담하는 비중이 커진다. 게이트가 담당해야 할 전하가 줄어 더 낮은 게이트 전압으로도 채널을 형성할 수 있으므로 문턱전압이 감소한다. 이를 **단채널 효과**라고 한다.

④ O: 단채널 소자에서는 드레인-소스 전압이 커질수록 드레인 전기장이 소스 쪽까지 영향을 주어, 전자가 소스에서 채널로 들어갈 때 넘어야 하는 전위 장벽을 낮춘다. 이에 따라 더 낮은 게이트 전압에서도 전자가 유입되어 문턱전압이 감소한다. 이를 **드레인 유도 장벽 저하(DIBL)**라고 한다. 이상적인 장채널 모델에서는 이러한 드레인 전압 의존성을 무시한다.

NoteBase

문 15. 다음 회로에서 저항 8[kΩ]의 양단에 걸리는 전압 V_L[V]는?



① −8

② −4

③ 4

④ 8

정답 1번

간단한 해설

중앙 접점에서 전류 법칙을 적용하면 접점 전압은 −12 V가 된다. 오른쪽 4 kΩ과 8 kΩ은 직렬이므로 전압 분배에 따라 $V_L = -12 \cdot \frac{8}{4+8} = -8\text{V}$이며, 음수는 **표시된 극성과 실제 전압의 극성이 반대**라는 뜻이다.

NoteBase

계산 과정

아래 접지선을 0 V로 두고 중앙 위쪽 접점의 전압을 V_A라 하자. 전압원의 위쪽이 +극이므로 왼쪽 4 kΩ의 왼쪽 끝은 16 V이다. 오른쪽 4 kΩ과 8 kΩ 사이에는 분기점이 없어 두 저항은 **직렬 연결**이며, 합성 저항은 12 kΩ이다.

중앙 접점에서 **들어오는 전류의 합과 나가는 전류의 합은 같다**. 왼쪽에서 들어오는 전류는 $\frac{16 - V_A}{4}$, 오른쪽 가지로 나가는 전류는 $\frac{V_A}{12}$이다. 전압을 V, 저항을 kΩ 단위로 넣었으므로 두 전류의 단위는 mA이다. 전류원은 화살표 방향인 아래쪽으로 8 mA를 내보내므로 다음 식이 성립한다.

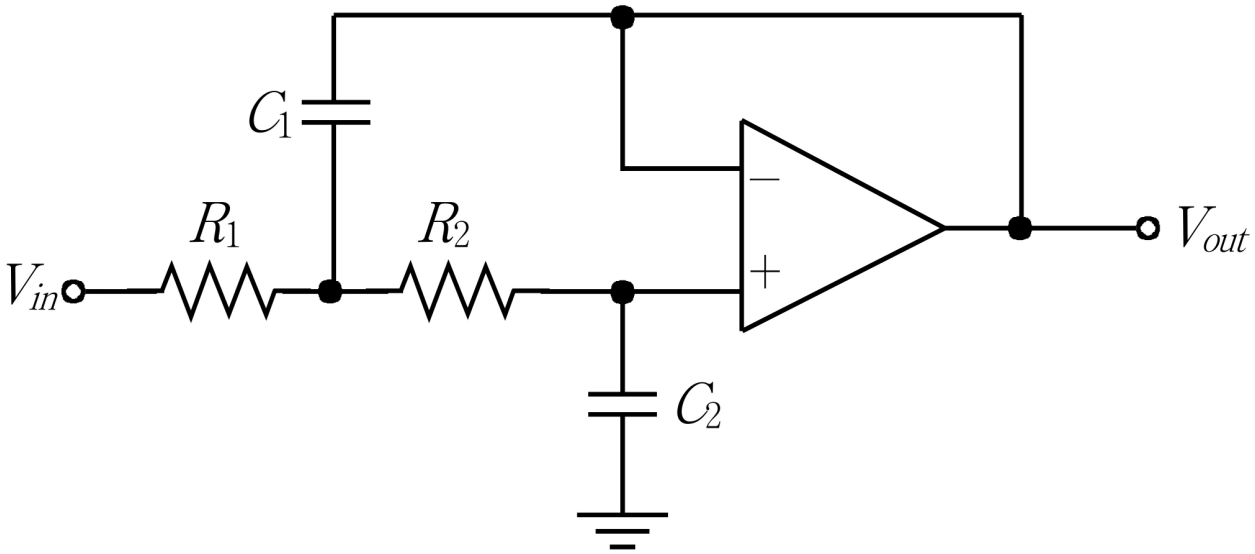
$$\frac{16 - V_A}{4} = 8 + \frac{V_A}{12}$$

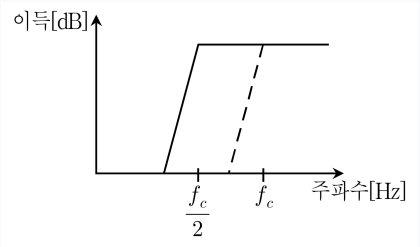
양변에 12를 곱하면 $3(16 - V_A) = 96 + V_A$이다. 이를 정리하면 $4V_A = -48$이므로 $V_A = -12\text{V}$이다. 즉, 중앙 접점은 접지보다 전위가 12 V 낮다.

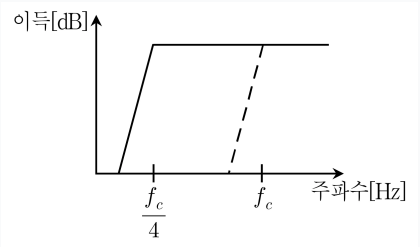
오른쪽 직렬 가지에서 8 kΩ에 걸리는 전압은 저항 비율로 분배된다. 그림의 V_L은 위쪽 전위에서 아래쪽 접지 전위를 뺀 값이므로 $V_L = V_A \frac{8}{4+8} = -8\text{V}$이다. 따라서 ①의 −8 V에 해당한다. **음의 부호를 유지**해야 하며, 실제로는 8 kΩ 저항의 아래쪽 전위가 위쪽보다 8 V 높다.

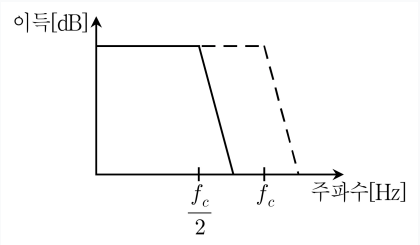
NoteBase

문 16. 다음 차단주파수가 f_c인 2극 능동 필터 회로에서 R_1과 R_2를 각각 2배씩 증가시켰을 때, 주파수 응답특성의 변화로 옳은 것은? (단, 점선은 다음 회로의 주파수 응답특성이고 실선은 R_1과 R_2를 각각 2배씩 증가시켰을 때의 주파수 응답특성이다. 연산증폭기는 이상적이라고 가정한다)

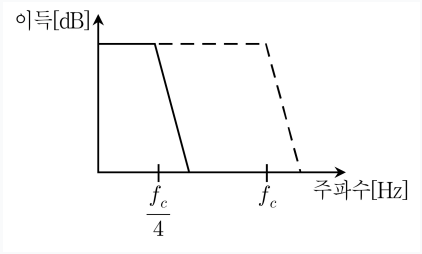


① 

② 

③ 

NoteBase

④ 

정답 3번

간단한 해설

이 회로는 낮은 주파수를 통과시키는 **저역통과 필터**이다. 두 저항을 모두 2배로 하면 주파수 응답의 형태와 통과대역 이득은 유지되고, **차단주파수는 절반**인 $f_C/2$로 낮아진다.

계산 과정

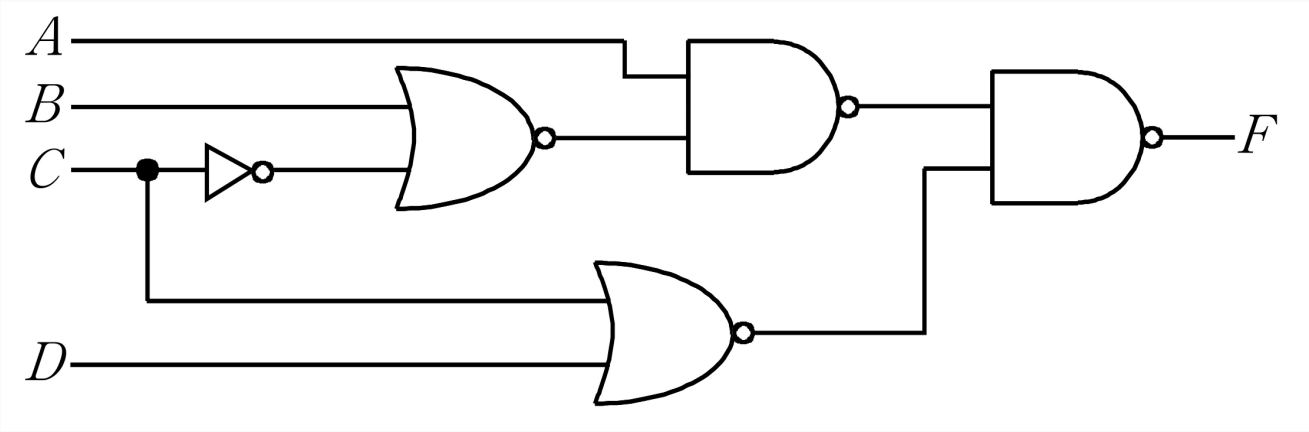
회로의 특성: 연산증폭기의 출력이 반전 입력에 직접 연결되어 있으므로 전압 팔로어로 동작한다. 직류에서는 두 커패시터가 개방되고 이상적인 연산증폭기의 입력 전류가 0이므로 저항에 전압 강하가 생기지 않는다. 따라서 출력은 입력과 같고 직류 이득은 1, 즉 0 dB이다. 주파수가 높아지면 접지에 연결된 C_2의 임피던스가 작아져 비반전 입력의 신호가 감쇠하므로 **저역통과 특성**을 갖는다.

저항 변화와 주파수의 관계: 커패시턴스는 그대로 두고 R_1과 R_2를 모두 2배로 한다. 커패시터의 임피던스는 $Z_C(f) = \frac{1}{j2\pi fC}$이므로 주파수를 절반으로 하면 $Z_C(f/2) = 2Z_C(f)$가 된다. 따라서 변경 후 회로를 주파수 $f/2$에서 보면 두 저항과 두 커패시터의 임피던스가 모두 원래 회로의 주파수 f에서보다 2배이다. **임피던스의 비가 같으므로** 입출력 전압비도 같다. 이상적인 연산증폭기에는 이 관계를 바꾸는 자체 주파수 제한이 없다.

차단주파수와 그래프: 원래 주파수 f에서의 응답이 변경 후에는 $f/2$에서 나타나므로, 새로운 차단주파수는 $f_c' = \frac{f_C}{2}$이다. 통과대역 이득과 2극 필터의 감쇠 특성은 유지되고 주파수 위치만 낮아진다. 따라서 실선이 저역통과 형태를 유지하면서 점선의 f_C보다 낮은 $f_C/2$에서 꺾이는 **③의 그래프**에 해당한다. ①·②는 고역통과 형태이고, ④는 차단주파수를 $f_C/4$로 나타내므로 계산 결과와 다르다.

NoteBase

문 17. 다음 회로에서 출력 F의 논리식은?



① 1

② $C + D$

③ $AB + \overline{C} + D$

④ $A + B + C + \overline{D}$

정답 2번

간단한 해설

마지막 NAND에 드모르간 법칙을 적용하면 $F = A\overline{B}C + C + D$가 된다. **흡수 법칙**에 의해 $A\overline{B}C$항이 C에 흡수되므로 출력은 $F = C + D$이다.

NoteBase

계산 과정

논리식에서 +는 OR, 곱은 AND, 윗줄은 NOT을 뜻한다. 회로의 출력에 붙은 작은 원은 반전을 나타내므로, OR 모양에 원이 붙으면 NOR, AND 모양에 원이 붙으면 NAND이다. 각 게이트의 출력을 순서대로 구한 뒤 최종 논리식을 간소화한다.

C 반전과 왼쪽 NOR: 입력 C는 인버터를 거쳐 $\overline{C}$가 되고, 이것이 B와 함께 왼쪽 NOR에 들어간다. 그 출력을 X라 하면 $X = \overline{B + \overline{C}} = \overline{B}C$이다. NOR는 **OR 결과를 반전**하므로 드모르간 법칙에 따라 각 입력의 반전을 AND로 묶는다.

위쪽 NAND: 입력 A와 왼쪽 NOR의 출력 X를 AND한 뒤 반전한다. 이 출력을 Y라 하면 $Y = \overline{AX} = \overline{A\overline{B}C}$이다.

아래쪽 NOR: C에서 아래로 갈라지는 선은 **인버터를 거치기 전**에 분기된다. 따라서 아래쪽 NOR의 입력은 C와 D이며, 그 출력을 Z라 하면 $Z = \overline{C + D}$이다.

최종 NAND와 간소화: 마지막 게이트는 Y와 Z의 NAND이므로 $F = \overline{YZ} = \overline{Y} + \overline{Z}$이다. 앞에서 구한 출력을 대입하면 $F = A\overline{B}C + C + D$가 된다. 여기서 **C가 1이면 이미 출력이 1**이고, C가 0이면 $A\overline{B}C$항도 0이므로 이 항은 출력에 영향을 주지 않는다. 즉, 흡수 법칙 $C + A\overline{B}C = C$를 적용하면 $F = C + D$이며, 이는 ②의 식과 일치한다.

NoteBase

문 18. 다음 논리식 F와 동일한 논리식은?

$F = XYZ + \overline{X}Y\overline{Z} + \overline{X}YZ + X\overline{Y}Z + XY\overline{Z}$

① $Z + XY$

② $Y + \overline{XZ}$

③ $X + Y\overline{Z}$

④ $Y + XZ$

정답 4번

간단한 해설

Y가 포함된 네 항은 보수 법칙으로 Y 하나로 묶인다. 남은 항까지 **흡수 법칙**을 적용하면 $F = Y + XZ$로 간소화된다.

계산 과정

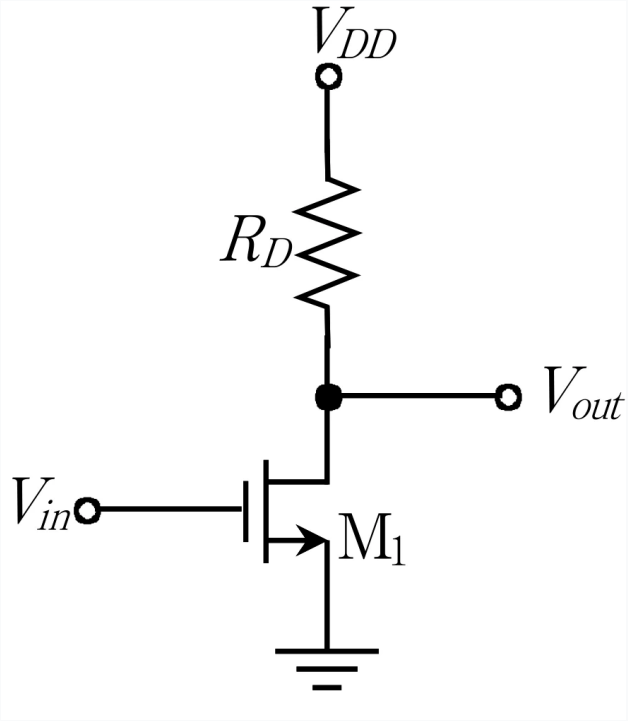
1. 보수변수가 다른 항끼리 묶기: 각 변수는 0 또는 1이며, 논리식의 +는 OR, 곱은 AND, 윗줄은 NOT을 뜻한다. 변수와 그 보수의 OR는 항상 1이므로 $Z + \overline{Z} = 1$이다. 이를 이용해 $XYZ + XY\overline{Z} = XY(Z + \overline{Z}) = XY$로 묶는다. 또한 $\overline{X}Y\overline{Z} + \overline{X}YZ$도 $\overline{X}Y(\overline{Z} + Z) = \overline{X}Y$로 간소화된다. 두 경우 모두 **서로 보수인 변수만 다른 두 항**을 묶어 그 변수를 없앤 것이다.

2. Y가 포함된 네 항 결합하기: 앞에서 얻은 두 항을 다시 묶으면 $XY + \overline{X}Y = Y(X + \overline{X}) = Y$이다. 따라서 원래 다섯 항 중 네 항은 Y로 합쳐지고, 나머지 $X\overline{Y}Z$를 더하면 $F = Y + X\overline{Y}Z$가 된다. 이는 **Y가 1이면 X와 Z의 값에 관계없이 출력이 1**임을 뜻한다.

3. 남은 항 흡수하기: 부울대수의 흡수 관계 $A + \overline{A}B = A + B$에 $A = Y$, $B = XZ$를 대입하면 $F = Y + \overline{Y}XZ = Y + XZ$이다. Y가 1이면 두 식 모두 1이고, Y가 0이면 두 식 모두 XZ가 되므로 같은 논리식이다. 따라서 간소화한 $Y + XZ$는 ④의 식과 일치한다.

NoteBase

문 19. 다음 MOSFET 공통소스 증폭기 회로에서 M_1이 포화영역에서 동작할 때, 이에 대한 설명으로 옳은 것은? (단, M_1의 전달컨덕턴스 $g_m = 200[\mathrm{mS}]$, 소신호 출력저항 $r_o = 10[\mathrm{k\Omega}]$이고 $R_D = 10[\mathrm{k\Omega}]$이다)



① M_1의 드레인−소스 전압 V_{DS}는 $V_{OV}(= V_{GS} - V_t, V_t$는 문턱 전압)보다 작다.

② 증폭기 출력저항 $R_{out} = 10[\mathrm{k\Omega}]$이다.

③ M_1의 얼리전압(Early voltage) $V_A = 20[\mathrm{V}]$이라면 드레인전류 $I_D = 2[\mathrm{mA}]$이다.

④ 증폭기 전압이득 $A_v = 30[\mathrm{dB}]$이다.

정답 3번

간단한 해설

포화영역에서 채널 길이 변조를 고려하면 소신호 출력저항은 $r_o \approx V_A/I_D$이다. 따라서 드레인전류는 $I_D \approx \frac{20\mathrm{V}}{10\mathrm{k\Omega}} = 2\mathrm{mA}$로, **얼리전압을 소신호 출력저항으로 나눈 값**이다.

NoteBase

선지별 해설

그림에서 M_1의 소스는 접지되고, 드레인은 저항 R_D를 거쳐 전원에 연결되어 있다. 소신호 해석에서는 일정한 직류 전원을 교류 접지로 취급한다.

① X: NMOS가 켜진 상태에서 포화영역에 있으려면 $V_{GS} > V_t$이고 $V_{DS} \geq V_{GS} - V_t = V_{OV}$이어야 한다. 즉 드레인−소스 전압은 **과구동전압 이상**이어야 한다. $0 \leq V_{DS} < V_{OV}$인 구간은 포화영역이 아니라 트라이오드영역이다.

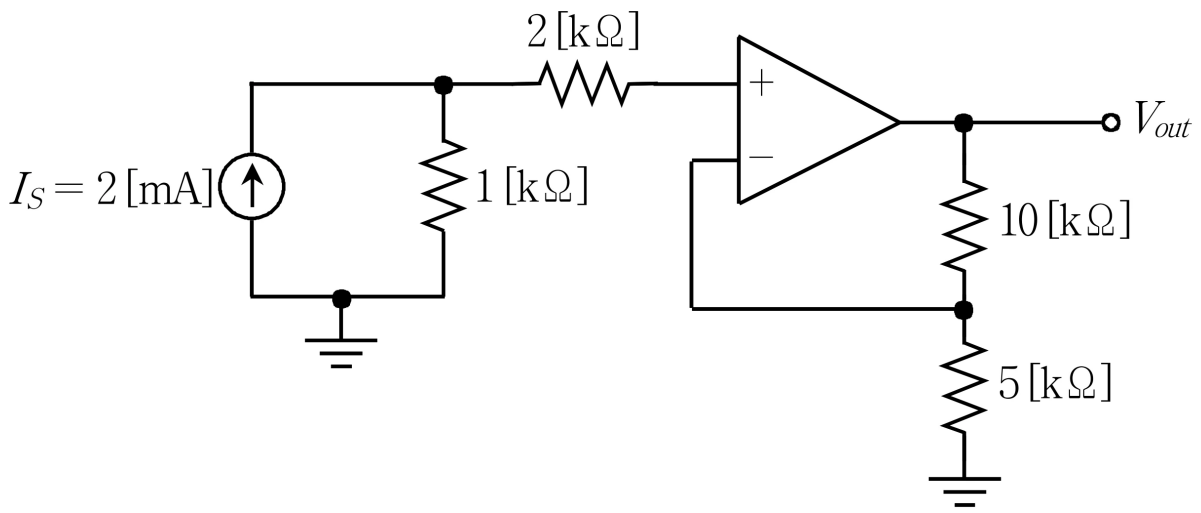
② X: 출력저항을 구할 때는 입력 소신호 전압을 0으로 두므로 $v_{gs} = 0$이 되어 전달컨덕턴스에 의한 종속 전류원이 꺼진다. 출력단에서 보면 R_D와 r_o가 모두 교류 접지로 연결되므로 **두 저항의 병렬값**을 구해야 한다. $R_{out} = R_D \parallel r_o$이며, $R_{out} = \frac{10 \cdot 10}{10+10}\text{k}\Omega = 5\text{k}\Omega$이다.

③ O: 채널 길이 변조 때문에 포화영역에서도 드레인전류가 드레인−소스 전압에 따라 조금씩 변하며, 이를 소신호 출력저항으로 나타낸다. 얼리전압을 이용한 근사 관계는 $r_o \approx \frac{V_A}{I_D}$이다. 이를 드레인전류에 대해 정리하면 $I_D \approx \frac{V_A}{r_o}$이므로, $I_D \approx \frac{20\text{V}}{10\text{k}\Omega} = 2\text{mA}$이다.

④ X: 소스가 접지된 공통소스 증폭기에서는 입력전압이 증가하면 드레인전류가 증가하고, R_D의 전압강하가 커져 출력전압은 감소한다. 따라서 **입력과 출력의 위상이 반전**되며, 전압이득은 $A_v = -g_m(R_D \parallel r_o)$이다. 200 mS = 0.2 S이므로 $A_v = -0.2 \cdot 5000 = -1000$이다. dB로 나타낼 때는 전압이득 크기의 상용로그에 20을 곱하므로 $20\log_{10}|A_v| = 20\log_{10} 1000 = 60\text{dB}$이다. 선지의 30 dB는 60 dB로 고친다.

NoteBase

문 20. 다음 증폭회로에서 입력 전류원 $I_S = 2[\mathrm{mA}]$일 때, 출력전압 V_{out}[V]는? (단, 연산증폭기는 이상적이다)



① 1

② 2

③ 4

④ 6

정답 4번

간단한 해설

이상적 연산증폭기는 **입력 전류가 0**이므로 2 kΩ 저항에는 전압 강하가 없고, 비반전 입력 전압은 2 V이다. 10 kΩ과 5 kΩ으로 구성된 비반전 증폭기의 전압 이득은 3이므로 출력전압은 **6 V**이다.

NoteBase

계산 과정

입력 전압: 이상적 연산증폭기의 두 입력 단자로 흐르는 전류는 0이다. 따라서 비반전 입력 앞의 **2 kΩ 저항에는 전류가 흐르지 않아 전압 강하도 없다**. 전류원이 위쪽 접점으로 공급하는 2 mA는 모두 1 kΩ 저항을 통해 접지로 흐른다. 비반전 입력 전압을 V_+라 하면, 옴의 법칙으로 $V_+ = 2\text{mA} \cdot 1\text{k}\Omega = 2\text{V}$이다.

피드백 조건: 출력과 반전 입력 사이에 10 kΩ 저항이 연결되어 음의 피드백이 걸린다. 이상적 연산증폭기가 선형 동작하므로 **두 입력 전압이 같다**. 따라서 반전 입력 전압도 $V_- = V_+ = 2\text{V}$이다. 이는 두 입력이 실제로 도선으로 연결된다는 뜻은 아니다.

출력전압 계산: 반전 입력으로 전류가 들어가지 않으므로 10 kΩ과 5 kΩ 저항에는 같은 전류가 흐른다. 반전 입력은 두 저항 사이의 접점이므로 전압 분배에 따라 $V_- = \frac{5}{10+5} V_{out} = \frac{V_{out}}{3}$이다. 여기에 $V_- = 2\text{V}$를 대입하면 $V_{out} = 3V_- = 6\text{V}$이다.

출력전압은 6 V이며, 이는 ④의 값과 일치한다.

NoteBase