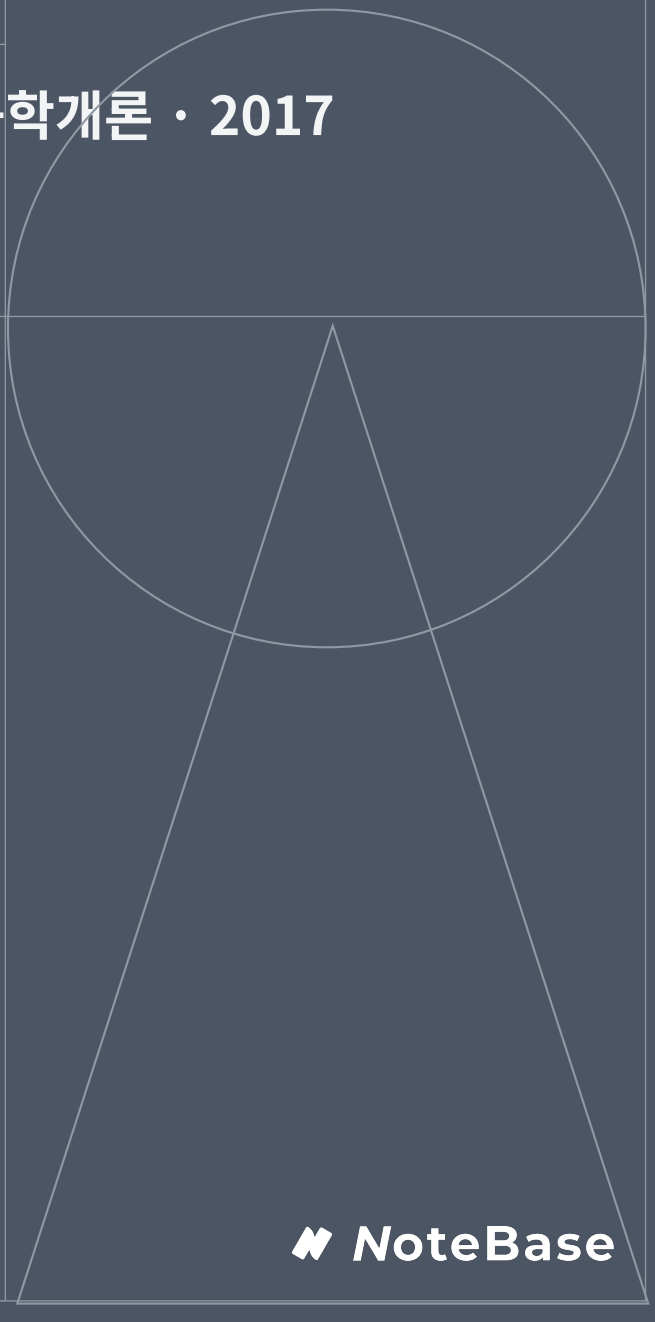
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2017



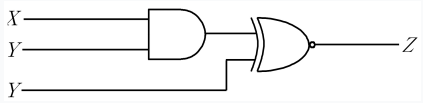
NoteBase

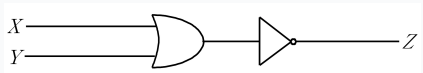
기출OX 해설집

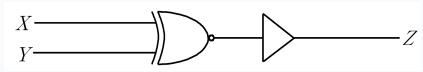
공무원/국가직/9급 · 전자공학개론 · 2017

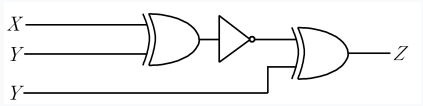
공무원/국가직/9급 · 전자공학개론 · 2017

문 1. 다음 회로 중에서 출력 Z가 1이 되는 회로는? (단, X = 0, Y = 1이다)

① 

② 

③ 

④ 

정답 4번

간단한 해설

④에서는 첫 XOR의 출력 1을 NOT이 0으로 반전한다. 마지막 XOR에는 이 0과 Y의 1이 들어가므로, **두 입력이 서로 달라** 출력 Z가 1이 된다.

NoteBase

계산 과정

X = 0, Y = 1을 넣고 각 게이트의 출력을 다음 게이트의 입력으로 전달한다. XOR는 두 입력이 다르면 1, 같으면 0을 출력하며, XNOR는 그 반대이다. 게이트 출력의 작은 원은 논리값의 반전을 뜻한다.

① AND → XNOR: AND는 두 입력이 모두 1일 때만 1을 출력하므로, X와 Y를 받는 첫 게이트의 출력은 0이다. 뒤의 게이트는 XOR 기호의 출력에 작은 원이 붙은 XNOR이다. 이 게이트에는 앞의 출력 0과 아래 배선의 Y = 1이 들어간다. **두 입력이 다르므로 XNOR의 출력 Z는 0**이다.

② OR → NOT: OR는 입력 중 하나라도 1이면 1을 출력하므로, X = 0과 Y = 1에 대한 출력은 1이다. 뒤의 삼각형에는 출력 쪽 작은 원이 있으므로 NOT이며, **1을 0으로 반전**하여 Z = 0이 된다.

③ XNOR → 버퍼: 첫 게이트는 입력 쪽에 곡선이 하나 더 있고 출력 쪽에 작은 원이 있으므로 XNOR이다. X와 Y가 서로 달라 이 게이트의 출력은 0이다. 뒤의 **작은 원이 없는 삼각형은 입력값을 그대로 전달하는 버퍼**이므로 Z = 0이다.

④ XOR → NOT → XOR: 첫 XOR는 서로 다른 X = 0과 Y = 1을 받아 1을 출력한다. NOT이 이를 0으로 바꾸므로, 마지막 XOR의 두 입력은 **NOT을 거친 0과 아래 배선으로 직접 들어온 Y = 1**이다. 두 입력이 달라 최종 출력은 Z = 1이다.

따라서 출력 Z가 1이 되는 회로는 ④이다.

NoteBase

문 2. 입력 전력이 20[dB] 감소하는 감쇄기에 94[W]의 신호를 입력했을 때, 출력 신호의 전력[W]은?

① 0.74

② 0.94

③ 7.4

④ 9.4

정답 2번

간단한 해설

전력이 20 dB 감소한다는 것은 **출력 전력이 입력 전력의 100분의 1**이 된다는 뜻이다. 따라서 94 W를 입력하면 출력 전력은 0.94 W이다.

계산 과정

전력의 감쇠량은 입력 전력이 출력 전력보다 얼마나 큰지를 dB로 나타낸 값이다. 입력 전력을 P_{in}, 출력 전력을 P_{out}, 감쇠량을 A라 하면 $A = 10\log_{10}\frac{P_{\text{in}}}{P_{\text{out}}}$이다. 이 문제는 **전력비이므로 계수 10**을 사용한다.

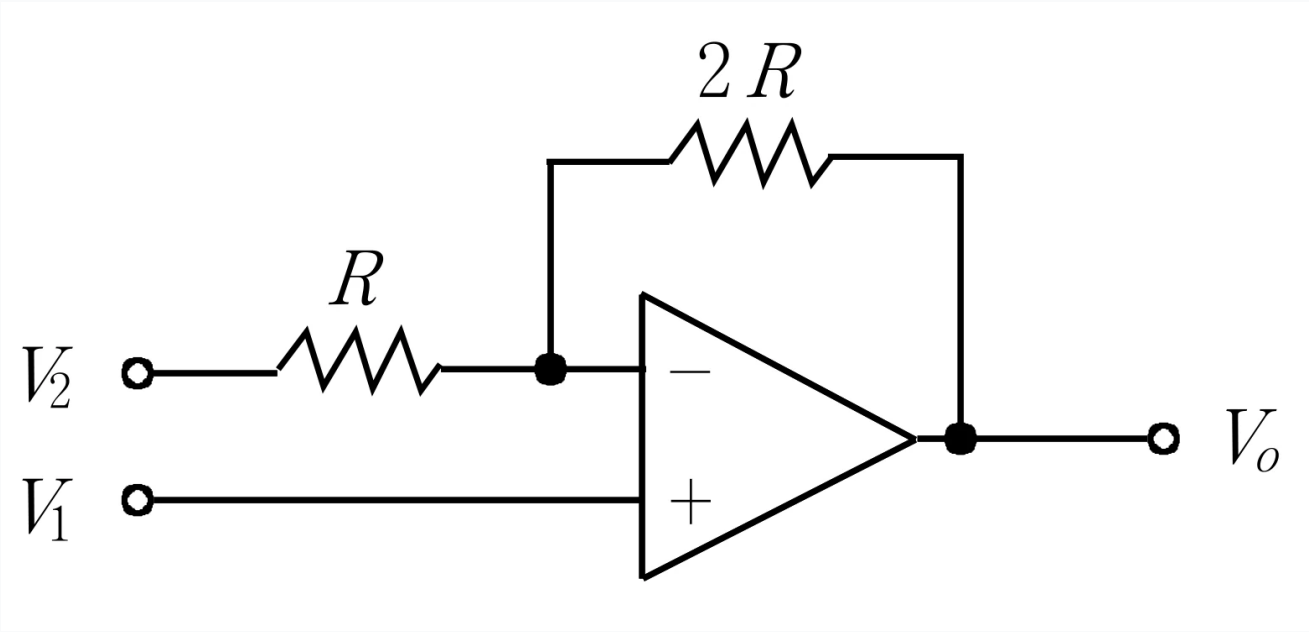
감쇠량이 20 dB이므로 $\frac{P_{\text{in}}}{P_{\text{out}}} = 10^{20/10} = 100$이다. 즉, 입력 전력이 출력 전력의 100배이므로 출력 전력은 입력 전력의 100분의 1이다.

입력 전력 94 W를 대입하면 $P_{\text{out}} = \frac{94}{100} = 0.94\text{W}$이다.

출력 전력은 0.94 W이며, ②의 값과 일치한다.

NoteBase

문 3. 다음 회로에서 입력전압 V_1, V_2와 출력전압 V_o 사이의 관계식은? (단, op-amp는 이상적이다)



① $V_o = 3V_1 - 2V_2$

② $V_o = 2V_1 - 3V_2$

③ $V_o = V_1 - \frac{2}{3}V_2$

④ $V_o = \frac{2}{3}V_1 - V_2$

정답 1번

간단한 해설

음의 피드백이 걸린 이상적 연산증폭기는 **두 입력 단자의 전압이 같고 입력 전류는 0**이다. 반전 입력점의 전압을 V_1로 두고 전류 관계를 적용하면 $V_o = 3V_1 - 2V_2$가 된다.

NoteBase

계산 과정

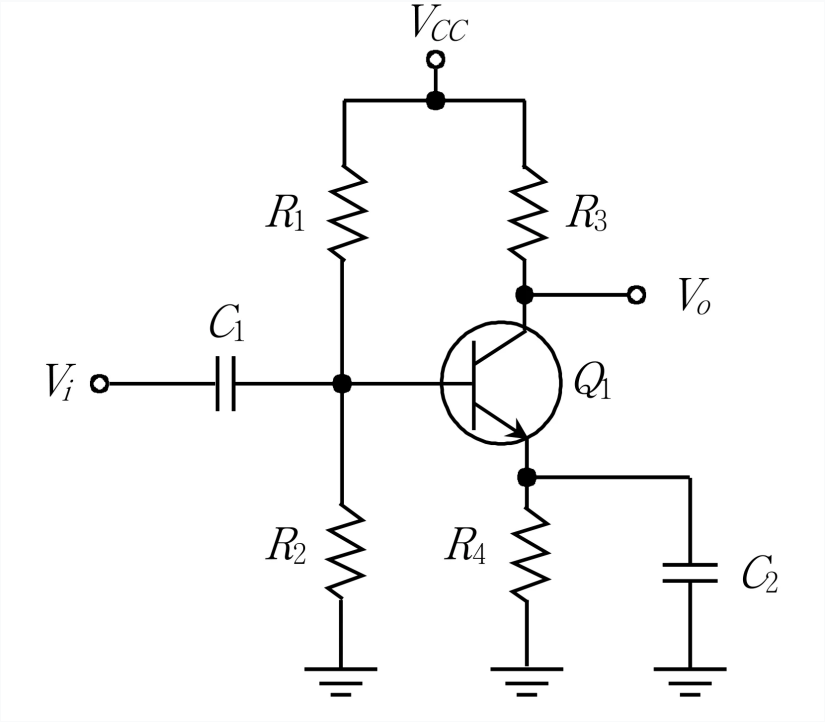
입력 단자 전압: 그림에서 비반전 입력(+)은 V_1에 직접 연결되고, 출력은 저항 $2R$을 거쳐 반전 입력(−)으로 되돌아간다. 이 음의 피드백 회로가 선형 동작할 때 이상적 연산증폭기의 **두 입력 단자 전압은 같다**. 따라서 반전 입력점의 전압도 V_1이다. 이 점이 접지 전위인 것은 아니다.

전류 관계: 이상적 연산증폭기로 **들어가는 입력 전류는 0**이므로, V_2에서 저항 R을 통해 반전 입력점으로 흐르는 전류는 그 점에서 저항 $2R$을 통해 출력으로 흐르는 전류와 같다. 옴의 법칙을 적용하면 $\frac{V_2 - V_1}{R} = \frac{V_1 - V_o}{2R}$이다. 각 분자의 전압 차는 정한 전류 방향에 따른 저항 양단의 전압이다.

출력전압 계산: 양변에 $2R$을 곱하면 $2(V_2 - V_1) = V_1 - V_o$이다. 이를 출력전압에 대해 정리하면 $V_o = V_1 - 2(V_2 - V_1)$, 즉 $V_o = 3V_1 - 2V_2$이다. 따라서 입력전압과 출력전압의 관계는 ①의 식과 일치한다.

NoteBase

문 4. 다음 증폭기 회로에서 C_2가 추가됨에 따라 생기는 변화는?



① 출력 V_o의 DC 전압이 내려간다.

② 출력 V_o의 DC 전압이 올라간다.

③ 중간 주파수 영역에서 전압이득의 크기가 감소한다.

④ 중간 주파수 영역에서 전압이득의 크기가 증가한다.

정답 4번

간단한 해설

C_2는 이미터 저항 R_4를 교류적으로 우회시키는 **바이패스 커패시터**이다. 중간 주파수 영역에서 이미터 저항에 의한 부귀환이 줄어 **전압이득의 크기가 증가**하며, 직류 동작점은 변하지 않는다.

NoteBase

선지별 해설

회로는 베이스에 입력하고 컬렉터에서 출력하는 공통 이미터 증폭기이다. C_2는 이미터 저항 R_4와 병렬로 연결되어 있으므로, 직류 해석과 교류 해석에서 그 역할을 구분해야 한다.

① X: 정상상태의 직류에서 커패시터는 **개방회로**로 취급한다. 따라서 C_2를 추가해도 R_4를 지나는 직류 경로와 바이어스 조건이 그대로 유지되므로, 출력 V_o의 DC 전압은 내려가지 않고 변하지 않는다.

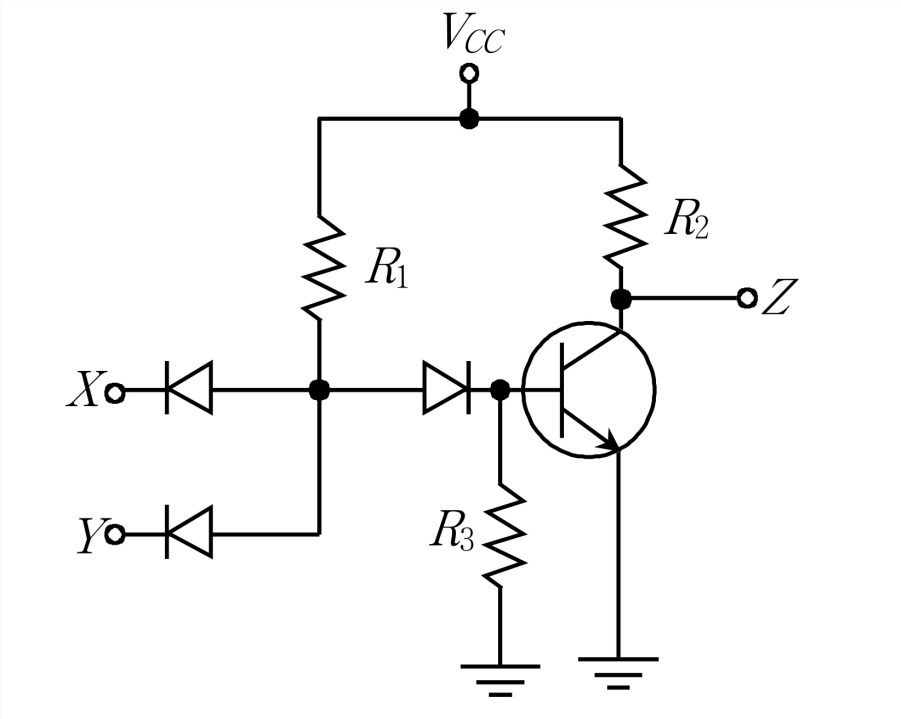
② X: C_2는 직류 전류의 우회 경로를 만들지 않으므로 컬렉터의 직류 전류도 변하지 않는다. 이에 따라 컬렉터 저항 R_3의 직류 전압강하가 같게 유지되어, 출력 V_o의 DC 전압은 올라가지 않고 **그대로 유지된다**.

③ X: C_2가 없을 때에는 신호에 따라 이미터 전류가 증가하면 R_4의 전압강하도 증가하여 이미터 전압이 올라간다. 이는 베이스–이미터 전압의 증가를 억제하는 부귀환으로 작용한다. 중간 주파수 영역에서 C_2를 추가하면 교류 임피던스가 작아져 R_4를 우회하므로, 이 **부귀환이 줄어** 전압이득의 크기는 감소하는 것이 아니라 증가한다.

④ O: 중간 주파수 영역에서는 C_2를 근사적으로 단락으로 취급하여 이미터가 **교류적으로 접지**된다. 따라서 같은 베이스 입력 신호에 대해 이미터 전압의 변동이 억제되고, 베이스–이미터 전압의 변동은 더 커진다. 그 결과 컬렉터 전류와 출력 전압의 변동이 커져 전압이득의 크기가 증가한다.

NoteBase

문 5. 다음 DTL(Diode-Transistor Logic)로 설계된 디지털 회로는 어떤 논리 게이트인가? (단, 입력 X, Y의 논리레벨 1은 $V_{CC} = 5$ V, 논리레벨 0은 0 V이다)



① AND

② OR

③ NAND

④ NOR

정답 3번

간단한 해설

입력 중 하나라도 0이면 트랜지스터가 꺼져 출력은 1이 되고, **두 입력이 모두 1일 때만** 트랜지스터가 켜져 출력이 0이 된다. 따라서 입력의 AND 결과를 반전하는 NAND 동작이다.

NoteBase

도식 해설

회로 연결: 입력 다이오드의 캐소드(막대 쪽)는 각각 X와 Y에 연결되고, 애노드는 R_1 아래의 공통 접점에 연결된다. 이 접점은 다이오드 하나를 거쳐 NPN 트랜지스터의 베이스에 연결된다. 출력 Z는 **컬렉터에서 꺼내므로** 트랜지스터가 켜지면 낮아지고, 꺼지면 R_2를 통해 전원 쪽으로 높아진다.

입력 중 하나 이상이 0인 경우: 0 V인 입력 쪽 다이오드가 순방향으로 도통하여 공통 접점 전압을 낮게 제한한다. 공통 접점과 베이스 사이에 있는 다이오드까지 고려하면 베이스를 켤 만큼의 전압이 확보되지 않아 트랜지스터는 차단된다. 따라서 컬렉터 출력 Z는 R_2에 의해 높은 전압으로 유지되어 **논리레벨 1**이 된다. 입력이 (0, 0), (0, 1), (1, 0)인 세 경우가 여기에 해당한다.

두 입력이 모두 1인 경우: X와 Y가 모두 5 V이면 입력 쪽 다이오드들은 공통 접점을 낮은 전압으로 제한하지 않는다. 전원에서 R_1과 베이스 앞 다이오드를 거쳐 베이스 전류가 공급되므로 트랜지스터가 도통한다. 이에 따라 컬렉터 전압이 낮아져 출력 Z는 **논리레벨 0**이 된다.

논리 기능: 두 입력이 모두 1일 때만 출력이 0이므로 논리식은 $Z = \overline{X \cdot Y}$이다. 이는 **AND의 출력을 반전한 NAND**이다. AND는 (1, 1)에서 출력이 1이고, OR는 (0, 0)에서 출력이 0이며, NOR는 (0, 1)과 (1, 0)에서 출력이 0이므로 이 회로의 동작과 구별된다.

NoteBase

문 6. 드레인 전류(I_D)와 게이트-소스 전압(V_{GS})의 관계식이 $I_D = 9 + 19(V_{GS} - 1) + 10(V_{GS} - 1)^2$ [mA]인 N형 MOSFET에서 $V_{GS} = 1$ [V]일 때, 소신호 모델 전달컨덕턴스(transconductance) [mA/V]는?

① 9

② 10

③ 19

④ 29

정답 3번

간단한 해설

소신호 전달컨덕턴스는 전류–전압 관계식의 **동작점에서의 기울기**이다. 주어진 식을 미분한 뒤 $V_{GS} = 1$ V를 대입하면 19 mA/V이다.

계산 과정

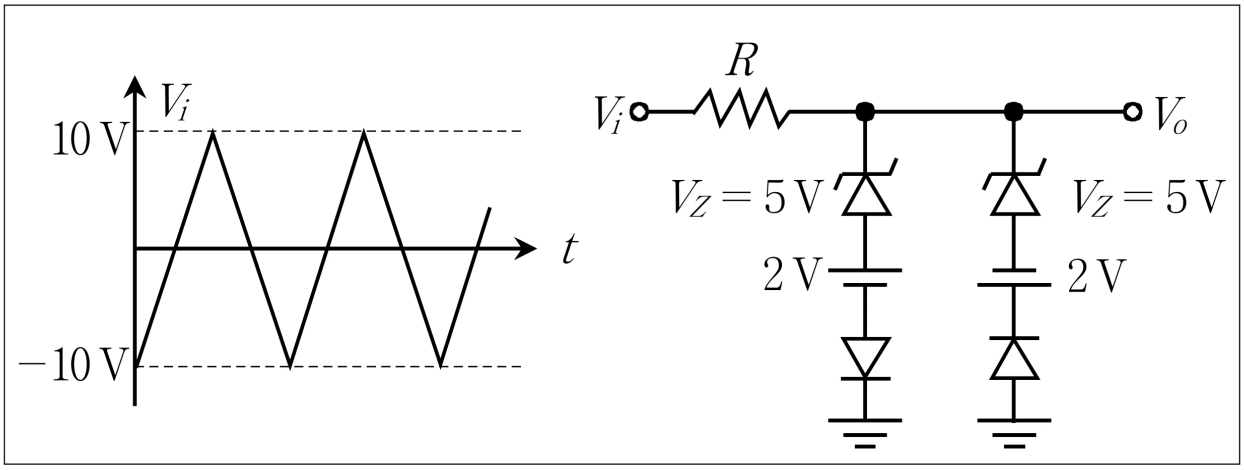
전달컨덕턴스의 의미: 드레인-소스 전압이 일정할 때, 게이트-소스 전압의 작은 변화에 드레인 전류가 얼마나 변하는지를 나타낸다. 따라서 **전류 자체가 아니라 동작점에서의 미분값**을 구하며, $g_m = \frac{dI_D}{dV_{GS}}$이다. 전류가 mA, 전압이 V로 주어졌으므로 단위는 mA/V이다.

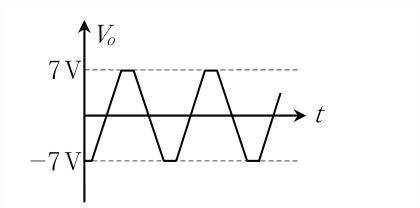
관계식 미분: 상수항 9의 미분값은 0이고, 일차항 $19(V_{GS} - 1)$의 미분값은 19이다. 이차항 $10(V_{GS} - 1)^2$을 미분하면 $20(V_{GS} - 1)$이므로, $g_m = 19 + 20(V_{GS} - 1)$이며 단위는 mA/V이다.

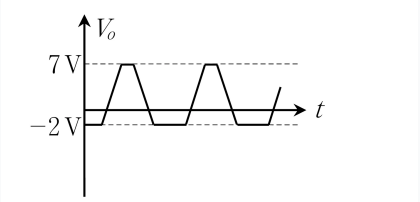
동작점 대입: $V_{GS} = 1$ V에서는 $V_{GS} - 1 = 0$이므로 이차항에서 나온 미분값은 0이 된다. 따라서 전달컨덕턴스는 $19 + 20 \times 0 = 19$ mA/V이며, ③의 값과 일치한다.

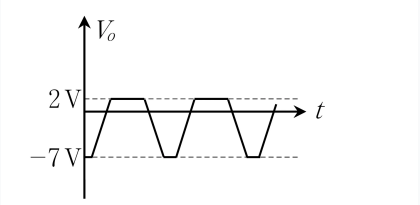
NoteBase

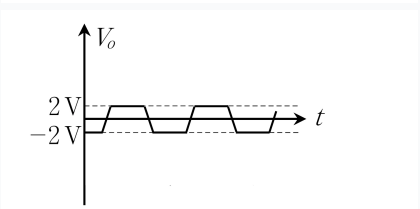
문 7. 다음 회로에 입력전압이 V_i일 때 출력전압 V_o는? (단, 다이오드와 제너다이오드는 이상적이다)



① 

② 

③ 

④ 

정답 2번

간단한 해설

양의 입력에서는 제너 항복전압과 전원 전압이 더해져 출력이 **7 V로 제한**된다. 음의 입력에서는 오른쪽 가지의 제너다이오드도 순방향으로 도통하므로 출력은 **−2 V로 제한**되며, 두 제한값 사이에서는 입력을 그대로 따른다.

NoteBase

계산 과정

입력은 −10 V에서 10 V까지 변하는 삼각파이다. 이상적인 다이오드는 순방향 도통 시 전압강하가 0 V이고, 제너다이오드는 역방향 항복 시 양단 전압이 5 V이다. 출력에 연결된 두 가지의 도통 조건을 각각 구하면 출력의 상한과 하한을 알 수 있다.

양의 전압 제한: 왼쪽 아래 다이오드는 위에서 접지로 전류가 흐르는 방향으로 도통한다. 이때 다이오드 위쪽은 0 V이고, 2 V 전원의 긴 선이 위쪽이므로 제너다이오드의 애노드는 2 V이다. 출력에 연결된 캐소드가 애노드보다 5 V 높아지면 **왼쪽 제너다이오드가 역방향 항복**한다. 따라서 $V_o = 2 + 5 = 7\text{V}$이며, 입력이 7 V를 넘는 동안 출력은 7 V로 유지된다. 초과 전압은 저항 R에 걸린다.

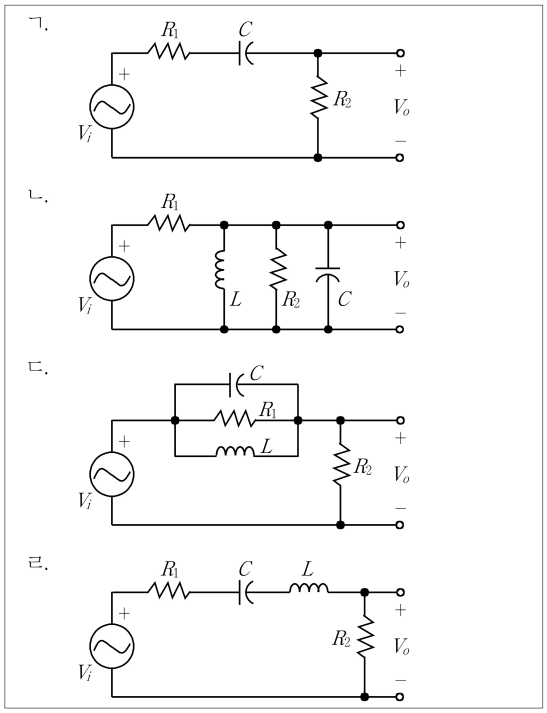
음의 전압 제한: 오른쪽 아래 다이오드는 접지에서 위쪽으로 전류가 흐르는 방향으로 도통한다. 이때 다이오드 위쪽은 0 V이고, 오른쪽 2 V 전원은 긴 선이 아래쪽이므로 제너다이오드의 애노드는 −2 V이다. 출력이 이보다 낮아지려 하면 **오른쪽 제너다이오드는 순방향으로 도통**한다. 순방향 전압강하가 0 V이므로 $V_o = -2\text{V}$이며, 입력이 −2 V보다 낮은 동안 출력은 −2 V로 유지된다. 이 구간에는 제너 항복전압 5 V를 더하지 않는다.

제한값 사이: $-2\text{V} < V_i < 7\text{V}$에서는 어느 가지에도 전류가 흐르지 않는다. 따라서 저항 R의 전압강하가 0 V이므로 $V_o = V_i$이다.

출력은 위쪽이 7 V, 아래쪽이 −2 V에서 평평하게 잘리고, 그 사이에서는 입력 삼각파를 그대로 따르는 ②의 파형이다.

NoteBase

문 8. 다음 중 대역통과필터 특성을 보이는 회로로만 묶은 것은?



① ㄱ, ㄷ

② ㄱ, ㄹ

③ ㄴ, ㄷ

④ ㄴ, ㄹ

정답 4번

간단한 해설

ㄴ은 **병렬 공진으로 출력단 임피던스가 커지고**, ㄹ은 **직렬 공진으로 입력 경로 임피던스가 작아져** 공진 주파수 부근의 출력이 커진다. 두 회로 모두 낮은 주파수와 높은 주파수에서는 출력이 작다.

NoteBase

보기별 해설

대역통과필터는 낮은 주파수와 높은 주파수의 신호를 감쇠시키고, 그 사이의 특정 주파수 대역을 통과시킨다. 코일은 주파수가 낮을수록, 커패시터는 주파수가 높을수록 리액턴스가 작아진다. 각 회로에서는 이 소자들이 입력 경로에 있는지, 출력단과 접지 사이에 있는지를 구분해야 한다.

ㄱ. 고역통과필터: 커패시터 C가 입력 경로에 직렬로 연결되어 있고, 출력은 저항 R_2 양단에서 얻는다. 낮은 주파수에서는 C의 리액턴스가 커서 전류와 출력이 작다. 높은 주파수에서는 C의 리액턴스가 작아져 두 저항에 의한 전압 분배만 남으므로 출력이 일정한 값에 가까워진다. **고주파에서 출력이 다시 작아지지 않으므로** 대역통과필터가 아니다.

ㄴ. 대역통과필터: L, C, R_2가 출력단과 접지 사이에 병렬로 연결되어 있다. 낮은 주파수에서는 L이, 높은 주파수에서는 C가 출력단을 접지 쪽으로 낮은 임피던스로 연결하므로 출력이 작다. 공진 주파수에서는 L과 C의 무효전류가 상쇄되어 **병렬 회로의 임피던스가 최대**가 되고, 입력 저항 R_1과의 전압 분배에서 출력이 가장 커진다.

ㄷ. 대역저지필터: R_1, L, C의 병렬 회로가 입력과 출력 사이에 놓여 있고, 출력은 R_2 양단에서 얻는다. 낮은 주파수에서는 L이, 높은 주파수에서는 C가 입력과 출력 사이를 낮은 임피던스로 연결하므로 신호가 잘 전달된다. 반면 공진 주파수에서는 병렬 회로의 임피던스가 커져 그 부분의 전압 강하가 증가하고 출력이 작아진다. 따라서 **공진 주파수 부근을 감쇠**시키는 특성이다. 병렬 저항 R_1이 있으므로 공진 시 출력이 반드시 0이 되는 것은 아니다.

ㄹ. 대역통과필터: C와 L이 입력 경로에 직렬로 연결되어 있고, 출력은 R_2 양단에서 얻는다. 낮은 주파수에서는 C의 큰 리액턴스가, 높은 주파수에서는 L의 큰 리액턴스가 전류를 제한하여 출력이 작다. 공진 주파수에서는 L과 C의 리액턴스가 상쇄되어 **직렬 경로의 임피던스가 최소**가 되므로 전류와 출력이 가장 커진다.

대역통과 특성을 보이는 회로는 ㄴ과 ㄹ이며, 이를 묶은 선택지는 ④이다.

NoteBase

문 9. 공진주파수가 f_0인 R, L, C 직렬회로에 주파수가 $2f_0$인 입력신호를 인가하였을 때, 총 리액턴스 성분의 크기가 저항 R 값의 15배가 된다. 이 회로의 Q_0(quality factor)는?

① 5

② 10

③ 15

④ 20

정답 2번

간단한 해설

주파수가 공진주파수의 2배이면 유도성 리액턴스는 공진 때의 2배, 용량성 리액턴스의 크기는 1/2이 된다. 따라서 **두 리액턴스의 차**에 대해 $\frac{|X|}{R} = \frac{3}{2}Q_0 = 15$가 성립하므로 품질계수는 10이다.

계산 과정

공진 조건: 각주파수를 $\omega_0 = 2\pi f_0$라 두면, 직렬 RLC 회로의 공진에서는 **유도성 리액턴스와 용량성 리액턴스의 크기가 같다**. 따라서 $\omega_0 L = \frac{1}{\omega_0 C}$이다.

품질계수: 직렬 RLC 회로의 품질계수는 공진 때의 리액턴스 크기를 저항으로 나눈 $Q_0 = \frac{\omega_0 L}{R}$이다. 즉, $\omega_0 L = Q_0 R$로 나타낼 수 있다.

입력 주파수가 $2f_0$일 때: 각주파수도 $2\omega_0$가 되므로 $X_L = 2\omega_0 L$, $X_C = \frac{1}{2\omega_0 C} = \frac{1}{2}\omega_0 L$이다. 총 리액턴스는 두 크기를 더하는 것이 아니라 **유도성 성분에서 용량성 성분을 뺀 값**이므로, $X = X_L - X_C = \frac{3}{2}\omega_0 L$이다. 이 값은 양수이므로 회로는 유도성이며 $|X| = \frac{3}{2}Q_0 R$이다.

조건 적용: 문제에서 $|X| = 15R$이므로 $\frac{3}{2}Q_0 R = 15R$이다. 양변을 저항 R로 나누면 $\frac{3}{2}Q_0 = 15$이고, $Q_0 = 15 \times \frac{2}{3} = 10$을 얻는다. 품질계수는 같은 단위인 리액턴스와 저항의 비이므로 단위가 없으며, 계산값 10은 ②에 해당한다.

NoteBase

문 10. 입력 전압 36[V]에 연결된 발열선의 발열량이 1[kW]이다. 동일한 재료로 단면의 지름을 두 배로 늘리고, 길이를 반으로 줄여 만든 발열선에 동일한 전압을 인가했을 때, 발열량[kW]은?

① 4

② 6

③ 8

④ 10

정답 3번

간단한 해설

지름이 두 배가 되면 단면적은 네 배가 되고, 길이까지 반으로 줄면 **저항은 원래의 1/8**이 된다. 같은 전압에서 발열 전력은 저항에 반비례하므로 **8배인 8 kW**가 된다.

계산 과정

단면적 변화: 원래 발열선의 지름을 d, 단면적을 A라 하면 원형 단면의 넓이는 $A = \frac{\pi d^2}{4}$이다. 단면적은 **지름의 제곱에 비례**하므로 지름을 두 배로 늘린 발열선의 단면적은 $A\prime = 4A$이다.

저항 변화: 발열선의 저항은 $R = \rho\frac{\ell}{A}$이며, ρ는 비저항, ℓ은 길이이다. 같은 재료이고 온도에 따른 비저항 변화는 고려하지 않으므로 ρ는 같다고 둔다. 새 발열선은 길이가 절반, 단면적이 네 배이므로 $\frac{R\prime}{R} = \frac{1/2}{4} = \frac{1}{8}$이다. 즉, 전류가 흐르는 길이는 짧아지고 통로는 넓어져 **저항이 원래의 1/8**로 줄어든다.

발열 전력 계산: 문제의 발열량은 단위가 kW이므로 단위 시간당 발생하는 열에너지인 전력을 뜻한다. 저항에서 전기에너지가 열로 전환되는 전력은 $P = VI = \frac{V^2}{R}$이다. **전압을 36 V로 유지**하므로 저항이 원래의 1/8이 되면 전력은 여덟 배가 된다. 따라서 새 발열 전력은 8 × 1 = 8 kW이며, ③의 값과 일치한다.

NoteBase

문 11. 논리식 $F(W, X, Y) = \overline{W}XY + W\overline{X} + WXY$에 대한 진리표는?

①

W	X	Y	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

②

W	X	Y	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

③

W	X	Y	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

④

W	X	Y	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

정답 1번

간단한 해설

첫째 항과 셋째 항을 묶으면 $F = XY + W\overline{X}$가 된다. 따라서 **X와 Y가 모두 1이거나 W가 1이고 X가 0일 때** 출력이 1이고, 나머지는 0이다.

NoteBase

계산 과정

논리식에서 변수 사이의 곱은 AND, +는 OR, 윗줄은 NOT을 뜻한다. AND는 모든 입력이 1일 때 1이고, OR는 입력 중 하나라도 1이면 1이다. NOT은 0과 1을 서로 바꾼다.

식의 정리: 첫째 항과 셋째 항에서 XY를 묶으면 $\overline{W}XY + WXY = (\overline{W} + W)XY$이다. W와 그 부정 중 하나는 반드시 1이므로 $\overline{W} + W = 1$이다. 따라서 주어진 식은 $F = XY + W\overline{X}$로 정리된다.

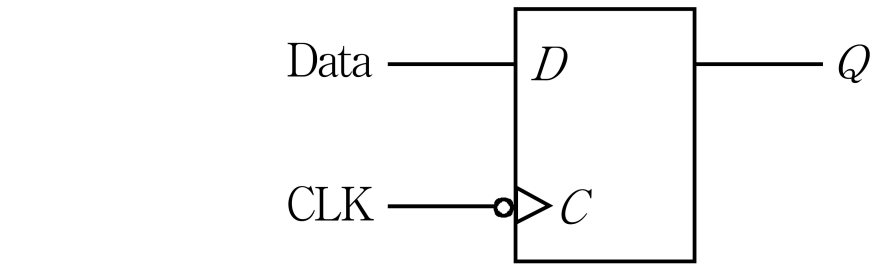
W = 0인 네 행: $W\overline{X} = 0$이므로 $F = XY$이다. **X와 Y가 모두 1일 때만** 출력이 1이다. 입력 (W, X, Y)가 (0, 0, 0), (0, 0, 1), (0, 1, 0), (0, 1, 1)인 순서에서 F는 0, 0, 0, 1이다.

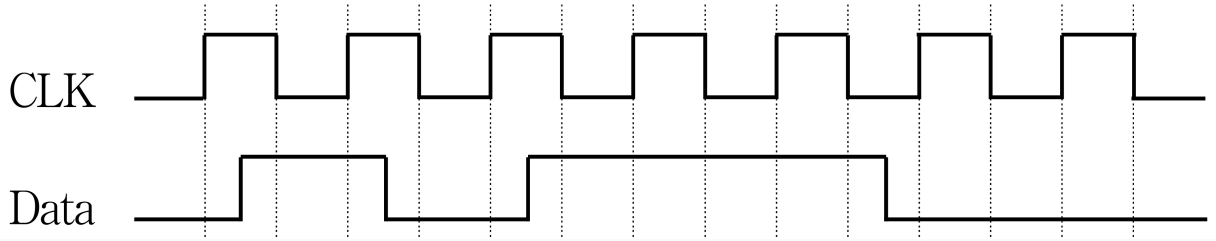
W = 1인 네 행: $F = XY + \overline{X}$이다. **X가 0이면 Y와 관계없이** $\overline{X} = 1$이므로 F는 1이다. X가 1이면 $\overline{X} = 0$이고 $XY = Y$이므로 F는 Y와 같다. 따라서 입력 (1, 0, 0), (1, 0, 1), (1, 1, 0), (1, 1, 1)인 순서에서 F는 1, 1, 0, 1이다.

진리표 대조: 각 표의 입력 행은 (0, 0, 0)부터 (1, 1, 1)까지 같은 순서로 배열되어 있다. 위에서 아래로 F가 0, 0, 0, 1, 1, 1, 0, 1인 표는 ①이다.

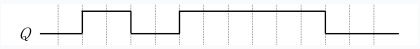
NoteBase

문 12. 다음 D 플립플롭에서 출력 Q의 동작은? (단, D 플립플롭은 하강에지에서 동작하고 Q의 초기값은 0이다)





① ①



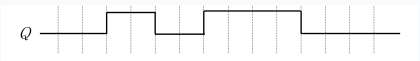
② ②



③ ③



④ ④



정답 1번

간단한 해설

D 플립플롭은 **CLK의 하강에지에서만 Data 값을 출력 Q에 저장**하고, 다음 하강에지까지 그 값을 유지한다. 각 하강에지의 Data 값이 1·0·1·1·1·0·0이므로, Q는 초기값 0에서 첫 번째·세 번째 하강에지에 올라가고 두 번째·여섯 번째 하강에지에 내려간다.

NoteBase

도식 해설

동작 기준: 회로의 CLK 입력에 있는 삼각형과 작은 원은 하강에지 동작을 나타낸다. CLK가 1에서 0으로 내려가는 순간의 Data 값을 Q에 저장하며, **그 사이에 Data가 바뀌어도 Q는 이전 값을 유지**한다. Q의 초기값은 0이다.

첫 번째·두 번째 하강에지: 첫 번째 하강에지에서 Data는 1이므로 Q가 0에서 1로 바뀐다. Data가 그 뒤 0으로 내려가도 Q는 바로 바뀌지 않는다. 두 번째 하강에지에서 Data가 0이므로 Q가 1에서 0으로 바뀐다.

세 번째~다섯 번째 하강에지: 세 번째 하강에지에서 Data가 1이므로 Q가 다시 1이 된다. 네 번째와 다섯 번째 하강에지에서도 Data가 계속 1이므로 Q는 높은 상태를 유지한다. 하강에지가 와도 **저장할 값이 같으면** 출력은 변하지 않는다.

여섯 번째·일곱 번째 하강에지: Data는 다섯 번째 하강에지 이후 0으로 내려가지만, Q는 여섯 번째 하강에지까지 1을 유지한다. 여섯 번째 하강에지에서 Q가 0으로 내려가고, 일곱 번째 하강에지에서도 Data가 0이므로 그대로 유지된다.

파형 대응: Q가 첫 번째 하강에지에 상승하고 두 번째에 하강한 뒤, 세 번째에 다시 상승하여 여섯 번째에 하강하는 파형은 ①이다. CLK의 상승에지에 맞추어 Q가 변하거나 Data의 변화 시점에 곧바로 Q가 변하는 파형은 주어진 동작 조건과 맞지 않는다.

NoteBase

문 13. 무선 통신에서 전송하고자 하는 신호를 변조하는 이유로 옳은 것만을 모두 고른 것은?

ㄱ. 안테나의 길이를 축소할 수 있다.
ㄴ. 채널에 유입되는 잡음을 줄일 수 있다.
ㄷ. 다중 통신이 가능하다.
ㄹ. 주파수 효율을 높일 수 있다.

① ㄴ, ㄷ
② ㄱ, ㄴ, ㄷ
③ ㄱ, ㄷ, ㄹ
④ ㄱ, ㄴ, ㄷ, ㄹ

정답 4번

간단한 해설

적절한 변조 방식을 선택하면 **잡음의 영향을 줄이고 주파수 이용 효율을 높일 수 있다**. 예를 들어 단측파대(SSB) 변조는 같은 정보를 양측파대 변조보다 좁은 대역폭으로 전달한다.

NoteBase

보기별 해설

변조는 정보 신호에 따라 반송파의 진폭·주파수·위상 등을 변화시키는 것이다. 반송파는 정보를 실어 보내는 파동이며, 무선 통신에서는 정보 신호를 전송에 적합한 주파수 대역으로 옮기는 데 사용한다.

ㄱ. O: 효율적으로 전파를 방사하는 안테나의 길이는 사용하는 전파의 파장과 관련된다. 정보 신호를 높은 주파수의 반송파에 실으면 **파장이 짧아지므로**, 저주파 정보 신호를 직접 방사할 때보다 안테나 길이를 줄일 수 있다.

ㄴ. O: 적절한 변조 방식과 수신 처리를 이용하면 **잡음이 복원된 정보에 미치는 영향을 줄일 수 있다**. 예를 들어 주파수 변조(FM)는 정보를 주파수 변화에 담으므로, 수신기의 진폭 제한기로 잡음에 의한 진폭 변동을 억제할 수 있다. 여기서 잡음을 줄인다는 것은 채널에서 잡음이 발생하지 않게 한다는 뜻이 아니라, 통신에 미치는 잡음의 영향을 줄인다는 의미이다.

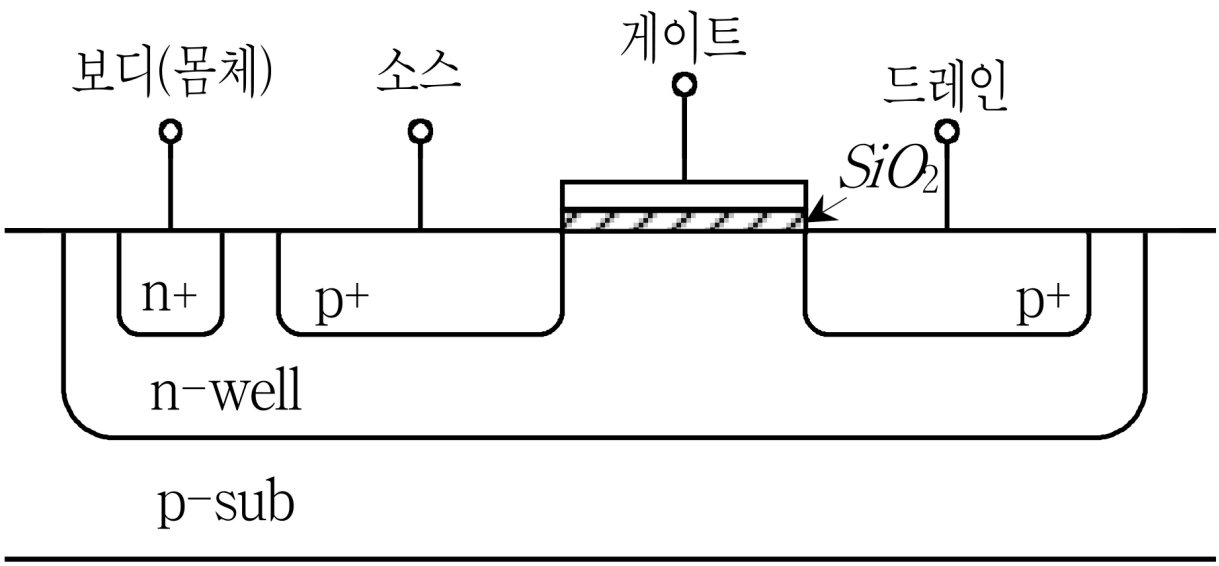
ㄷ. O: 여러 정보 신호를 **서로 다른 반송파 주파수**에 실어 주파수 대역이 겹치지 않도록 배치하면 하나의 전송 매체로 함께 보낼 수 있다. 수신 측에서는 원하는 대역을 골라 복조한다. 이것이 주파수 분할 다중화의 원리이다.

ㄹ. O: 전달할 정보와 채널 조건에 적합한 변조 방식을 선택하면 주파수 자원을 효율적으로 사용할 수 있다. 예를 들어 단측파대(SSB) 변조는 같은 정보를 담은 두 측파대 중 **하나만 전송**하므로, 양측파대 변조의 절반 대역폭으로 정보를 전달한다. 따라서 같은 전체 대역폭에 더 많은 통신 채널을 배치할 수 있다. 이는 모든 변조 방식이 항상 대역폭을 줄인다는 뜻은 아니다.

ㄱ·ㄴ·ㄷ·ㄹ은 모두 변조를 사용하는 이유에 해당하므로, 이들을 모두 포함한 ④와 연결된다.

NoteBase

문 14. 다음 MOSFET에 대한 설명으로 옳지 않은 것은?



① 선형 및 포화영역 동작에서 전류 반송자는 전자이다.

② 선형 및 포화영역 동작은 전류 반송자의 드리프트(drift) 현상에 의한다.

③ P채널 증가형 MOSFET이다.

④ CMOS 집적회로에 사용되는 소자이다.

정답 1번

간단한 해설

그림은 n-well 안에 p+ 소스와 드레인을 둔 P채널 MOSFET이다. 선형영역과 포화영역에서 채널 전류를 운반하는 것은 전자가 아니라 **정공**이다.

NoteBase

선지별 해설

① X: 그림에서 소스와 드레인은 p+ 영역이고, 이들 사이의 몸체는 n-well이다. 게이트 전압으로 P형 반전 채널이 형성되면 그 채널에서 전류를 운반하는 반송자는 **전자가 아니라 정공**이다. 선형영역과 포화영역 모두 이 점은 같다.

② O: 드리프트는 전하를 띤 반송자가 **전기장에 의해 이동**하는 현상이다. 선형영역과 포화영역의 채널 전류는 소스와 드레인 사이의 전기장에 의한 정공의 드리프트가 주된 원인이다. 포화영역에서 드레인 쪽 채널이 핀치오프되어도 정공은 그 부근의 전기장에 의해 드레인으로 이동하므로 전류가 끊기지 않는다.

③ O: n-well에 p+ 소스와 드레인이 형성되어 있고, 게이트 아래에는 미리 만들어진 P형 채널이 없다. 게이트 전압을 소스보다 충분히 낮추면 게이트 아래 n형 표면에 정공이 모여 P형 반전 채널이 생긴다. 이처럼 **게이트 전압으로 채널을 유도하여 켜는** 소자가 P채널 증가형 MOSFET이다.

④ O: CMOS는 **N채널과 P채널 MOSFET을 상보적으로 조합**하는 집적회로 기술이다. 그림의 P채널 MOSFET은 그 구성 소자로 사용된다. 예를 들어 CMOS 인버터에서는 P채널 소자가 출력을 전원 쪽으로 연결하고, N채널 소자가 출력을 접지 쪽으로 연결한다.

NoteBase

문 15. PCM(Pulse Code Modulation) 방식에 대한 설명으로 옳지 않은 것은?

① 샘플링된 신호에 이산적인 값을 할당하는 양자화와 펄스 부호로 변환하는 부호화가 필요하다.

② 양자화 레벨 수가 증가하면 양자화 오차가 늘어난다.

③ 디지털전송신호 방식으로 원거리통신에 중계기의 사용이 가능하다.

④ 아날로그 방식보다 잡음 및 왜곡의 영향에 강한 장점이 있다.

정답 2번

간단한 해설

②의 '양자화 오차가 늘어난다'는 설명은 반대이다. 같은 입력 범위에서 **양자화 레벨 수가 증가**하면 신호를 더 세밀하게 표현할 수 있어 **양자화 오차가 줄어든다**.

선지별 해설

① O: PCM은 아날로그 신호를 표본화한 뒤 양자화하고 부호화하는 방식이다. 양자화는 각 표본의 진폭을 정해진 이산적인 레벨 중 하나로 나타내는 과정이고, 부호화는 그 레벨에 대응하는 **이진 부호**를 부여하여 펄스열로 표현하는 과정이다.

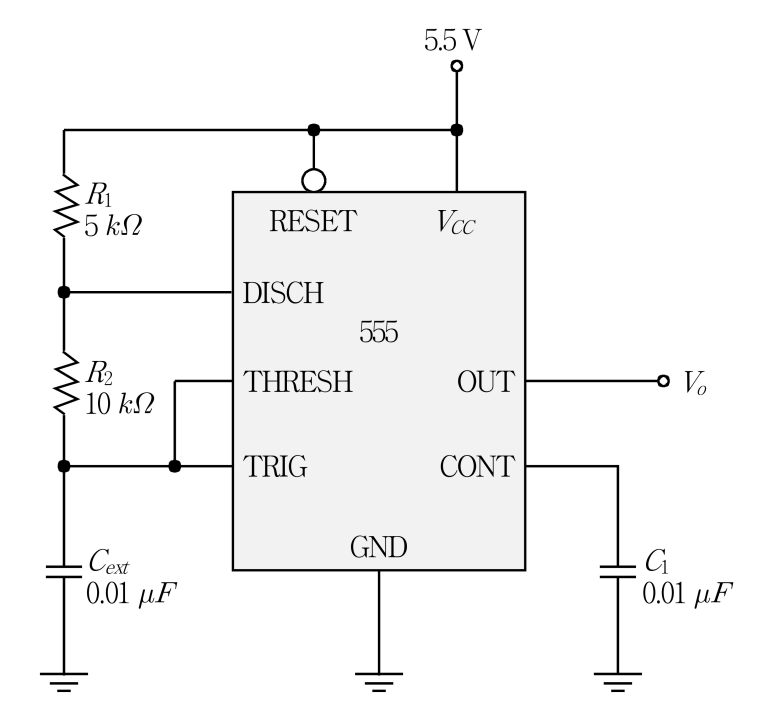
② X: 양자화 오차는 실제 표본값과 그 값을 대신하여 표현한 양자화 레벨 사이의 차이이다. 같은 입력 범위를 균일하게 나눌 때 레벨 수가 많아지면 **레벨 사이의 간격이 좁아져** 실제 표본값을 더 가깝게 표현할 수 있다. 따라서 양자화 오차는 늘어나는 것이 아니라 줄어든다.

③ O: PCM 신호는 디지털 펄스열이므로 원거리 통신에서 **재생 중계기**를 사용할 수 있다. 재생 중계기는 수신한 펄스의 비트를 판별하고 파형과 타이밍을 복원하여 다시 전송하므로, 전송 중 약해지거나 일그러진 신호를 재생할 수 있다.

④ O: PCM은 수신 파형의 진폭을 그대로 정보로 쓰는 대신 비트가 0인지 1인지 판별한다. 잡음이나 왜곡이 있어도 **비트 판별을 바꿀 정도가 아니면** 원래의 부호를 복원할 수 있으므로 아날로그 방식보다 그 영향에 강하다. 다만 잡음이 커서 비트 판별이 잘못되면 오류가 발생할 수 있다.

NoteBase

문 16. 다음은 비안정 모드로 동작하는 555 타이머 회로이다. 출력신호 V_o에 대한 듀티 사이클(duty cycle)[%]은?



① 60

② 65

③ 70

④ 75

정답 1번

간단한 해설

555 타이머는 **충전 중 출력이 높고 방전 중 출력이 낮다**. 충전에는 두 저항이, 방전에는 아래쪽 저항만 관여하므로, 높은 상태가 한 주기에서 차지하는 비율은 $\frac{5+10}{5+2\cdot 10} \times 100 = 60\%$이다.

NoteBase

계산 과정

회로의 저항은 $R_1 = 5\text{k}\Omega$, $R_2 = 10\text{k}\Omega$이고, 충·방전 시간을 정하는 커패시터는 $C_{ext} = 0.01\mu\text{F}$이다. 듀티 사이클은 **한 주기 중 출력이 높은 시간의 비율**이다. 정상적인 비안정 동작에서 출력이 높은 시간을 t_H, 낮은 시간을 t_L로 둔다.

충전 시간: 출력이 높을 때 내부 방전 스위치가 꺼져, 커패시터는 전원에서 R_1과 R_2를 거쳐 충전된다. 커패시터 전압이 $V_{CC}/3$에서 $2V_{CC}/3$까지 상승하는 시간이므로 $t_H \simeq 0.693(R_1 + R_2)C_{ext}$이다.

방전 시간: 커패시터 전압이 $2V_{CC}/3$에 도달하면 출력이 낮아지고 DISCH 단자의 내부 방전 스위치가 켜진다. 커패시터는 R_2**만을 거쳐 방전**하며, 전압이 $V_{CC}/3$까지 내려가는 시간은 $t_L \simeq 0.693R_2C_{ext}$이다.

주기와 비율: 한 주기는 충전 시간과 방전 시간의 합이므로 $T = t_H + t_L \simeq 0.693(R_1 + 2R_2)C_{ext}$이다. 따라서 $D = \frac{t_H}{T} \times 100$에 위 식들을 대입하면 $D = \frac{R_1 + R_2}{R_1 + 2R_2} \times 100$이 된다. 공통 인자인 $0.693C_{ext}$가 약분되므로 듀티 사이클은 두 저항의 비로 정해진다.

수치 대입: 저항의 단위를 kΩ으로 통일하면 $D = \frac{5 + 10}{5 + 2 \cdot 10} \times 100 = 60\%$이다. 출력이 한 주기의 60% 동안 높은 상태를 유지하므로 ①의 60에 해당한다.

NoteBase

문 17. 실리콘 기반의 N채널 증가형 MOSFET 구동 시에 더 많은 드레인 전류 값을 얻는 방법은? (단, 트랜지스터는 포화영역에서 동작한다)

① 게이트 산화막의 두께를 줄인다.

② 소스와 드레인 전극의 간격을 길게 한다.

③ 유전율이 낮은 게이트 산화막으로 교체한다.

④ 실리콘을 전자 이동도가 낮은 물질로 대체한다.

정답 1번

간단한 해설

다른 조건이 같을 때 게이트 산화막을 얇게 하면 **단위 면적당 게이트 정전용량이 증가**한다. 이에 따라 채널에 유도되는 전자량이 늘어나 포화영역의 드레인 전류가 커진다.

공통 해설

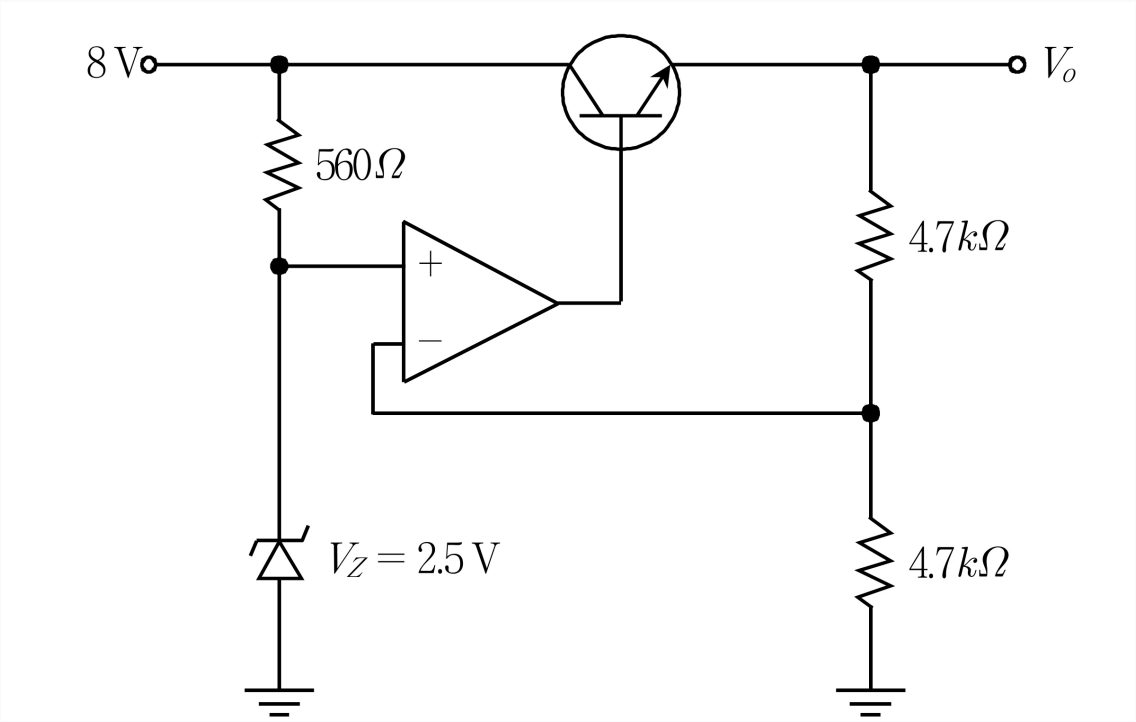
장채널 MOSFET의 기본 모형에서 채널 길이 변조를 무시하면, 포화영역의 드레인 전류는 $I_D = \frac{\mu_n C_{ox}}{2}\frac{W}{L}(V_{GS} - V_{th})^2$이다. 게이트·소스 간 전압이 문턱전압보다 높고, 드레인·소스 간 전압이 $V_{DS} \geq V_{GS} - V_{th}$를 만족할 때 적용한다.

여기서 μ_n은 전자 이동도, W는 채널 폭, L은 소스와 드레인 사이의 채널 길이이다. V_{GS}는 게이트·소스 간 전압, V_{th}는 문턱전압이다. 단위 면적당 게이트 정전용량은 $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$이며, ε_{ox}는 산화막의 유전율, t_{ox}는 산화막 두께이다.

다른 조건, 특히 채널 폭과 게이트 과구동 전압 $V_{GS} - V_{th}$이 같다면, **산화막 두께를 줄일수록** 게이트 정전용량이 커진다. 같은 과구동 전압에서 채널에 더 많은 전자가 유도되므로 드레인 전류가 증가한다. 반면 소스와 드레인의 간격을 길게 하면 L이 커져 전류가 감소하고, 유전율이나 전자 이동도를 낮추어도 전류가 감소한다. 전류를 늘리려면 이들은 각각 **채널 길이를 줄이고, 유전율과 전자 이동도를 높이는** 방향으로 바꾸어야 한다.

NoteBase

문 18. 다음 회로는 연산증폭기를 이용한 정전압조정기이다. 출력전압 V_o[V]는?



① 2.5

② 4.7

③ 5

④ 8

정답 3번

간단한 해설

출력을 같은 크기의 저항 두 개로 나눈 전압이 **제너 기준전압 2.5 V와 같아지도록** 조정된다. 따라서 출력전압은 기준전압의 두 배인 5 V이다.

NoteBase

계산 과정

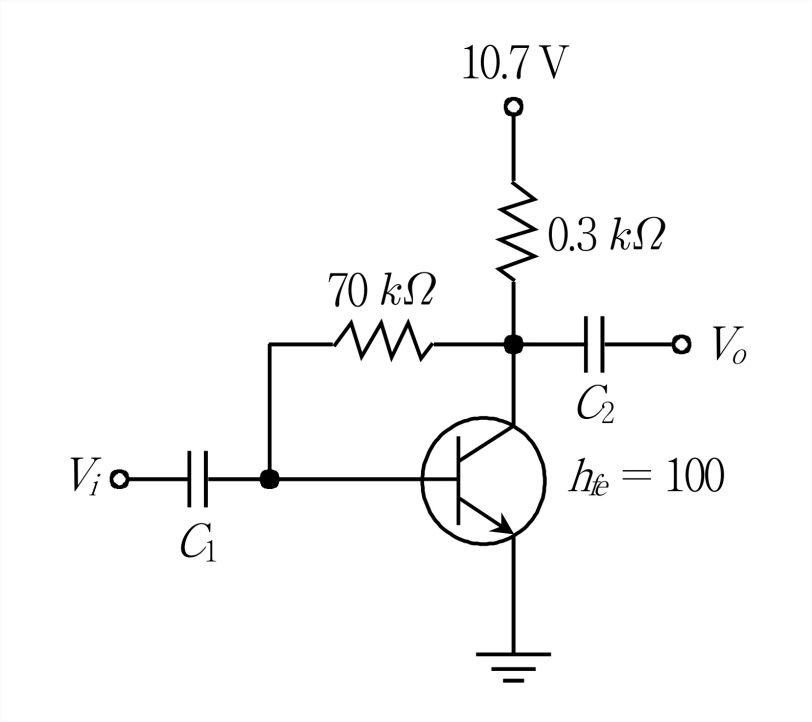
기준전압: 왼쪽 제너 다이오드가 항복 영역에서 정상 동작하면 비반전 입력의 전압은 $V_+ = V_Z = 2.5\text{V}$이다. 560 Ω 저항은 8 V 전원에서 제너 다이오드로 흐르는 전류를 제한한다.

되먹임 전압: 반전 입력은 출력과 접지 사이에 직렬로 연결된 4.7 kΩ 저항 두 개의 중간점에 연결되어 있다. 이상적인 연산증폭기의 입력전류를 0으로 보면 두 저항에 같은 전류가 흐르므로, 이 중간점 전압은 **출력전압의 절반**이다. 전압분배식은 $V_- = \frac{4.7}{4.7+4.7} V_o = \frac{V_o}{2}$이다.

출력전압: **음의 되먹임으로 선형 동작**하는 연산증폭기는 두 입력전압의 차이가 거의 0이 되도록 트랜지스터를 구동한다. 따라서 $V_- = V_+$를 적용하면 $\frac{V_o}{2} = 2.5\text{V}$이고, $V_o = 2 \cdot 2.5 = 5\text{V}$이다. 이 값은 ③의 5 V에 해당한다.

NoteBase

문 19. 다음 바이어스 회로의 동작점에서 컬렉터 전류 I_{CQ}[mA]는? (단, $V_{BE} = 0.7$[V]이다)



① 2

② 5

③ 10

④ 15

정답 3번

간단한 해설

컬렉터와 베이스가 70 kΩ 저항으로 연결되어 있으므로, 베이스 전류는 **컬렉터 전압을 기준으로** 구한다.
전원에서 베이스·이미터까지의 전압 관계와 전류이득 100을 적용하면 컬렉터 전류는 약 **10 mA**이다.

NoteBase

계산 과정

직류 등가회로: 동작점은 입력 신호가 없을 때의 직류 전압·전류이다. 결합 커패시터 C_1, C_2는 직류에서 개방된다. 그림에서 전원은 10.7 V, 컬렉터 저항 R_C는 0.3 kΩ, 컬렉터와 베이스 사이의 저항 R_B는 70 kΩ이다. 이미터는 접지되어 있으므로 베이스 전압은 $V_B = V_{BE} = 0.7\text{V}$이다.

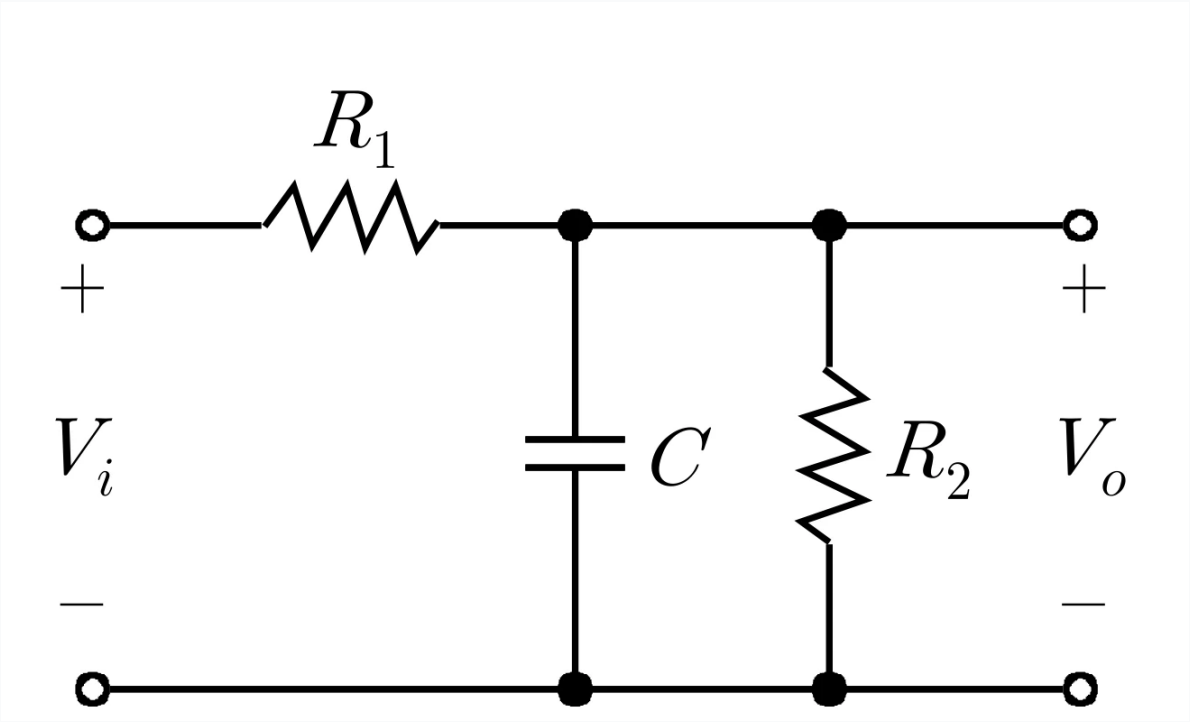
전압 관계: 베이스 전류를 I_B, 컬렉터 전류를 I_C라 하면, 0.3 kΩ 저항을 지난 전류는 컬렉터와 베이스 쪽으로 나뉜다. 따라서 이 저항에는 **두 전류의 합** $I_C + I_B$가 흐르고, 70 kΩ 저항에는 I_B가 흐른다. 전원에서 두 저항과 베이스·이미터를 지나는 경로에 키르히호프 전압법칙을 적용하면 $V_{CC} = (I_C + I_B)R_C + I_B R_B + V_{BE}$이다.

베이스 전류: 주어진 전류이득을 $\beta = 100$으로 두면 활성영역에서 $I_C = \beta I_B$이다. 이를 전압식에 대입하면 $I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_C}$이다. 분자는 $10.7 - 0.7 = 10$ V이고, 분모는 $70 + 101 \times 0.3 = 100.3$ kΩ이다. V를 kΩ으로 나누면 mA가 되므로 $I_B = \frac{10}{100.3}\text{mA} \approx 0.0997\text{mA}$이다.

컬렉터 전류와 동작영역: $I_{CQ} = 100 \cdot 0.0997 \approx 9.97\text{mA}$이다. 이때 컬렉터 전압은 $V_C = 10.7 - (9.97 + 0.0997) \cdot 0.3 \approx 7.68\text{V}$로, 베이스 전압 0.7 V보다 높다. 따라서 컬렉터·베이스 접합이 역바이어스되어 활성영역 가정과 일치한다. 컬렉터 전류는 약 10 mA로, ③의 값에 해당한다.

NoteBase

문 20. 다음 회로의 주파수 전달함수(Transfer Function) $\frac{V_o}{V_i}(\omega)$는?



① $\frac{j\omega R_1}{R_1+R_2+j\omega R_1R_2C}$
② $\frac{j\omega R_2}{R_1+R_2+j\omega R_1R_2C}$
③ $\frac{R_1}{R_1+R_2+j\omega R_1R_2C}$
④ $\frac{R_2}{R_1+R_2+j\omega R_1R_2C}$

정답 4번

간단한 해설

출력은 **저항과 커패시터가 병렬로 연결된 부분의 전압**이다. 출력 노드에 전류법칙을 적용하면 전달함수는 $\frac{V_o}{V_i}(\omega)=\frac{R_2}{R_1+R_2+j\omega R_1R_2C}$가 된다.

NoteBase

계산 과정

회로에서 R_1은 입력과 출력 사이에 연결되어 있고, R_2와 커패시터 C는 출력 노드와 아래쪽 공통 노드 사이에 병렬로 연결되어 있다. 따라서 두 병렬 소자에 걸리는 전압은 모두 V_o이다. 정현파 정상상태에서 ω는 각주파수, j는 허수단위이며, 구할 전달함수는 출력 전압과 입력 전압의 복소수 비이다.

출력 노드에서 **들어오는 전류는 두 병렬 가지로 흐르는 전류의 합**이다. 저항 R_1을 흐르는 전류는 $\frac{V_i - V_o}{R_1}$, 저항 R_2를 흐르는 전류는 $\frac{V_o}{R_2}$이다. 커패시터의 임피던스가 $\frac{1}{j\omega C}$이므로 커패시터 전류는 $j\omega C V_o$이다. 이를 키르히호프 전류법칙에 대입하면 $\frac{V_i - V_o}{R_1} = \frac{V_o}{R_2} + j\omega C V_o$이다.

양변에 R_1을 곱하고 출력 전압 항을 모으면 $V_i = \left(1 + \frac{R_1}{R_2} + j\omega R_1 C\right) V_o$이다. 따라서 $\frac{V_o}{V_i}(\omega) = \frac{R_2}{R_1 + R_2 + j\omega R_1 R_2 C}$가 되어 ④의 식과 일치한다. 분자와 분모가 모두 저항의 차원을 가지므로 이 전압비에는 단위가 없다.

NoteBase