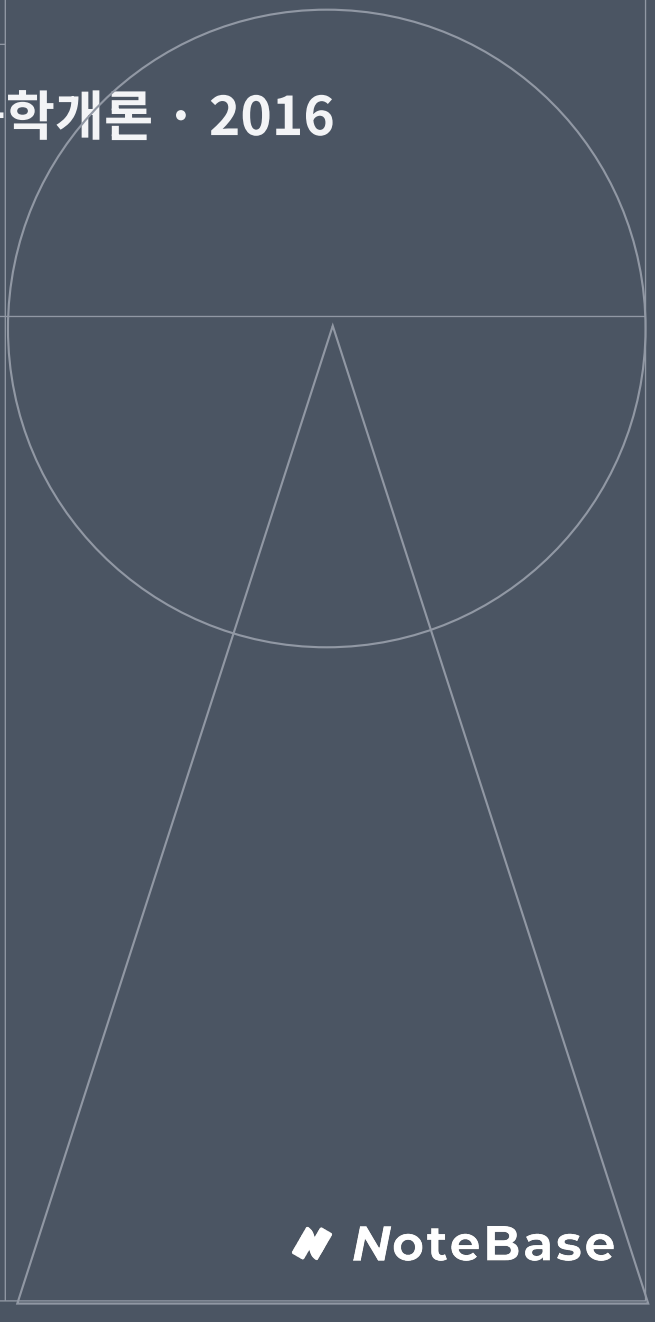
기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2016



NoteBase

기출OX 해설집

공무원/국가직/9급 · 전자공학개론 · 2016

공무원/국가직/9급 · 전자공학개론 · 2016

문 1. 다음 논리식 중 나머지 셋과 다른 하나는?

① $\overline{A} \cdot \overline{B} + A \cdot B$

② $\overline{A \oplus B}$

③ $(\overline{A} + B) \cdot (A + \overline{B})$

④ $\overline{A \cdot \overline{B}} + \overline{\overline{A} \cdot B}$

정답 4번

간단한 해설

④의 식은 드모르간 법칙을 적용하면 보수인 두 항이 OR로 연결되어 **입력에 관계없이 항상 1**이 된다. 두 입력이 같을 때만 1인 XNOR와 다르다.

NoteBase

선지별 해설

A와 B는 각각 0 또는 1인 논리 변수이다. ·는 AND, +는 OR, 윗줄은 NOT을 뜻한다. 네 식이 같은 입력에서 같은 출력을 내는지 비교한다.

① $\overline{A} \cdot \overline{B}$는 A와 B가 모두 0일 때, $A \cdot B$는 모두 1일 때 1이다. 두 항을 OR로 연결했으므로 **두 입력이 같을 때만 1**인 XNOR이다.

② $A \oplus B$는 두 입력이 다를 때 1인 XOR이다. 이를 NOT으로 반전한 $\overline{A \oplus B}$는 두 입력이 같을 때 1인 **XNOR**이므로 ①과 같다.

③ 분배법칙으로 괄호를 풀면 $\overline{A} \cdot A$, $\overline{A} \cdot \overline{B}$, $B \cdot A$, $B \cdot \overline{B}$의 OR가 된다. 이 중 **서로 보수인 변수의 AND는 0**이므로 첫째 항과 넷째 항은 사라진다. 남는 식은 $\overline{A} \cdot \overline{B} + A \cdot B$이므로 ①과 같은 XNOR이다.

④ 드모르간 법칙은 AND 전체의 NOT을 각 입력의 NOT을 OR로 연결한 식으로 바꾼다. 이에 따라 첫 항은 $\overline{A \cdot \overline{B}} = \overline{A} + B$, 둘째 항은 $\overline{\overline{A} \cdot B} = A + \overline{B}$가 된다. 두 항을 OR로 연결하면 $\overline{A} + B + A + \overline{B}$이다. 여기에는 $\overline{A} + A = 1$이 포함되므로 **출력은 항상 1**이다.

①~③은 두 입력이 다르면 0이지만 ④는 두 입력이 달라도 1이므로, 나머지 셋과 다른 논리식은 ④이다.

NoteBase

문 2. 반도체의 pn 접합에서 발생하는 현상에 대한 설명으로 옳지 않은 것은?

① 순방향 바이어스를 인가할 경우, 전위장벽(potential barrier)이 낮아진다.

② 역방향 바이어스를 인가할 경우, n 영역으로 확산되는 정공의 수가 증가한다.

③ 역방향 바이어스를 인가할 경우, 공핍영역은 확장한다.

④ 평형상태에서 pn 접합부에는 공핍영역이 존재한다.

정답 2번

간단한 해설

역방향 바이어스를 걸면 전위장벽이 높아져 p 영역의 정공이 n 영역으로 넘어가기 어려워진다. 따라서 n 영역으로 확산되는 정공의 수는 증가하는 것이 아니라 **감소한다**.

선지별 해설

① O: 순방향 바이어스는 p 영역에 양극을, n 영역에 음극을 연결하는 것이다. 외부 전압이 접합 내부의 전위장벽을 낮추는 방향으로 작용하므로 **다수 운반자의 확산이 쉬워진다**.

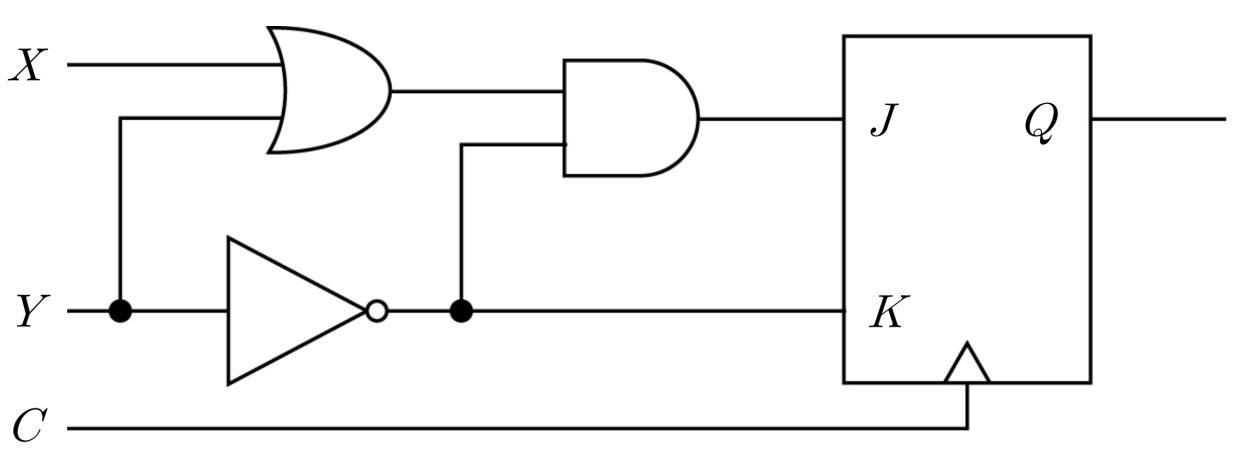
② X: 역방향 바이어스는 p 영역에 음극을, n 영역에 양극을 연결하여 전위장벽을 높인다. 따라서 p 영역의 다수 운반자인 정공이 장벽을 넘어 n 영역으로 확산되는 수는 **증가하지 않고 감소한다**. 역방향에서 흐르는 작은 전류는 주로 소수 운반자가 전기장에 의해 이동하는 드리프트 전류이므로, 이를 정공의 확산 증가와 혼동하면 안 된다.

③ O: 역방향 전압을 걸면 p 영역의 정공과 n 영역의 전자가 각각 접합에서 멀어지는 쪽으로 끌려간다. 그 결과 이동 가능한 전자와 정공이 매우 적고 고정된 이온이 남아 있는 **공핍영역의 폭이 넓어진다**.

④ O: 외부 전압이 없어도 접합을 형성하면 전자와 정공이 농도가 낮은 반대편으로 확산하여 접합 부근에서 재결합한다. 이때 남은 고정 이온들이 내부 전기장과 전위장벽을 만들므로 평형상태에서도 공핍영역이 존재한다. 평형은 공핍영역이 사라진 상태가 아니라 **확산 전류와 드리프트 전류가 상쇄되어 순전류가 0인 상태**이다.

NoteBase

문 3. 다음과 같은 J-K 플립플롭을 이용한 회로에서 XY 입력이 11, 10으로 순차적으로 들어갈 경우 Q의 변화는? (단, Q의 현재값은 1이다)



① 1→0→0

② 1→0→1

③ 1→1→0

④ 1→1→1

정답 3번

간단한 해설

XY가 11이면 J와 K가 모두 0이 되어 **현재 상태를 유지**하고, XY가 10이면 J와 K가 모두 1이 되어 **현재 상태를 반전**한다. 따라서 처음의 Q = 1은 첫 입력에서는 유지되고, 두 번째 입력에서는 0으로 바뀐다.

NoteBase

계산 과정

회로의 입력 관계: 위쪽 OR 게이트는 X와 Y를 입력받고, 아래쪽 NOT 게이트는 Y를 반전한다. OR 출력과 반전된 Y가 AND 게이트를 거쳐 J에 들어가므로 $J = (X + Y) \cdot \overline{Y}$이고, K에는 $K = \overline{Y}$가 직접 들어간다. 여기서 +는 논리합, 곱은 논리곱이다. C 단자의 삼각형은 **클록 상승 에지에서 상태가 갱신**됨을 나타내므로, 각 입력이 주어진 상태에서 해당 클록이 들어올 때의 Q를 차례로 구한다.

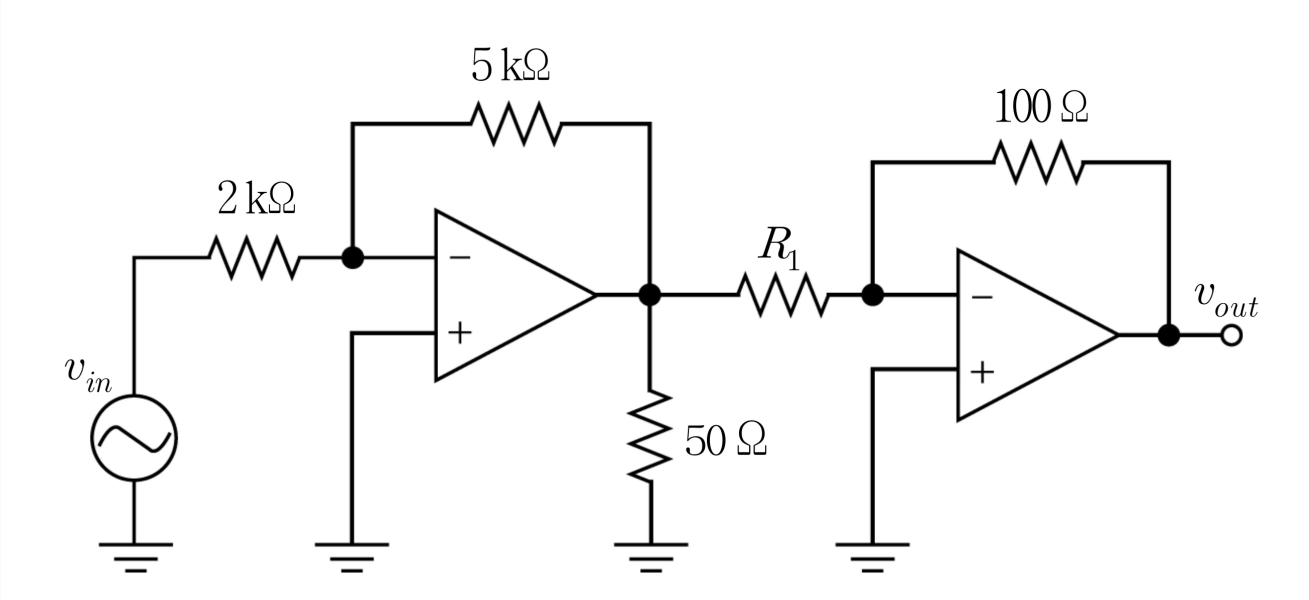
첫 번째 입력 XY = 11: Y = 1이므로 반전된 Y는 0이다. OR 출력은 1이지만 AND 게이트의 다른 입력이 0이어서 J = 0이고, K = 0이다. J-K 플립플롭은 **J = K = 0일 때 이전 상태를 유지**하므로, 초기 Q = 1이 그대로 유지된다.

두 번째 입력 XY = 10: Y = 0이므로 반전된 Y는 1이고, X = 1이므로 OR 출력도 1이다. 따라서 J = 1, K = 1이 된다. J-K 플립플롭은 **J = K = 1일 때 이전 상태를 반전**하므로, 앞 단계의 Q = 1이 0으로 바뀐다.

초기 상태부터 Q의 변화는 1 → 1 → 0이며, 이는 ③의 변화와 일치한다.

NoteBase

문 4. 다음 회로에서 전체 전압이득 v_{out}/v_{in}의 절대값을 10으로 만들기 위한 저항 R_1 [Ω]은? (단, 전압원과 연산증폭기는 이상적이다)



① 10

② 15

③ 20

④ 25

정답 4번

간단한 해설

첫째 단의 전압이득은 −2.5이고, 전체 전압이득은 **두 단 이득의 곱**이다. 전체 이득의 절대값을 10으로 만들려면 둘째 단 이득의 절대값이 4여야 하므로 $R_1 = 25\Omega$이다.

NoteBase

계산 과정

회로의 두 연산증폭기는 모두 비반전 입력이 접지되고 출력이 저항을 거쳐 반전 입력으로 되먹임되는 반전 증폭기이다. 이상적 연산증폭기에 음의 되먹임이 걸리므로 **반전 입력 전압은 0 V이고 입력 단자로 흐르는 전류는 0**이다. 따라서 입력 저항을 흐르는 전류가 그대로 되먹임 저항을 흘러, 각 단의 전압이득은 입력 저항에 대한 되먹임 저항의 비에 음의 부호를 붙인 값이 된다.

첫째 단: 입력 저항은 2 kΩ, 되먹임 저항은 5 kΩ이다. 첫째 단 출력 전압을 v_a라 하면, 전압이득은 $A_1 = \frac{v_a}{v_{in}} = -\frac{5\text{k}\Omega}{2\text{k}\Omega} = -2.5$이다. 즉, 첫째 단 출력은 입력과 부호가 반대이고 크기는 2.5배이다.

50 Ω 저항의 영향: 첫째 단 출력과 접지 사이의 50 Ω은 부하 저항이다. 이상적 연산증폭기는 **출력저항이 0**이므로 이 부하와 다음 단에 전류를 공급해도 첫째 단 출력 전압은 위의 되먹임 관계로 유지된다. 따라서 50 Ω을 2 kΩ이나 5 kΩ과 합성하여 이득을 계산하지 않는다.

둘째 단: 입력 저항은 R_1, 되먹임 저항은 100 Ω이다. 따라서 둘째 단의 전압이득은 $A_2 = \frac{v_{out}}{v_a} = -\frac{100\Omega}{R_1}$이다.

전체 이득과 저항값: 두 단이 차례로 연결되어 있으므로 $\frac{v_{out}}{v_{in}} = A_1 A_2$이다. 두 번 반전되어 전체 이득은 양수가 되고, 그 절대값은 $2.5 \cdot \frac{100\Omega}{R_1} = 10$이어야 한다. 따라서 둘째 단 이득의 절대값은 $\frac{100\Omega}{R_1} = 4$이고, $R_1 = \frac{100\Omega}{4} = 25\Omega$이다. 이는 ④의 25 Ω에 해당한다.

NoteBase

문 5. 차동증폭기의 특성에 대한 설명으로 옳지 않은 것은?

① 차동증폭기는 두 개의 입력에 함께 작용하는 잡음 성분을 제거하는 효과가 있다.

② 이상적인 차동 증폭기의 동상모드제거비(CMRR)는 ∞이다.

③ 차동증폭기는 두 개의 입력 차이에 상관없이 출력을 일정하게 만들 수 있는 증폭기이다.

④ 차동증폭기는 2개의 트랜지스터를 대칭적으로 구성하여 회로를 설계한다.

정답 3번

간단한 해설

차동증폭기는 **두 입력의 전압 차이를 증폭**하므로, 입력 차이에 상관없이 출력을 일정하게 만드는 증폭기가 아니다. 선형 동작 범위에서는 입력 전압 차이가 변하면 출력도 그에 따라 변한다.

선지별 해설

① O: 두 입력에 같은 크기와 위상으로 더해지는 잡음은 **동상모드 성분**이다. 두 입력의 차를 구하면 이 공통 성분이 상쇄되므로 잡음을 제거하는 효과가 있다. 이상적인 차동증폭기는 이를 완전히 제거하고, 실제 회로는 유한한 동상모드제거비에 따라 억제한다.

② O: 동상모드제거비는 차동모드 이득 A_d와 동상모드 이득 A_c의 비로, CMRR $= \left|\frac{A_d}{A_c}\right|$로 나타낸다. 이상적인 차동증폭기는 입력 차이는 증폭하지만 **동상모드 이득은 0**이므로, 동상모드제거비는 무한대이다.

③ X: 차동증폭기는 **두 입력 전압의 차이에 따라 출력이 변하는** 증폭기이다. 이상적인 차동증폭기의 선형 동작 범위에서 출력 전압은 $v_o = A_d(v_1 - v_2)$로 나타낸다. 여기서 v_1, v_2는 두 입력 전압이고 A_d는 차동모드 이득이다. 따라서 '입력 차이에 상관없이 출력을 일정하게 만든다'는 설명은 '입력 전압 차이를 증폭하여 출력한다'로 고쳐야 한다.

④ O: 기본적인 차동증폭기는 **특성이 같은 두 트랜지스터를 대칭적으로 배치**한 차동쌍으로 구성한다. 두 소자는 공통 바이어스 전류를 나누어 사용하며, 입력 전압 차이가 생기면 한쪽 전류는 증가하고 다른 쪽 전류는 감소한다. 이러한 전류 변화를 출력 전압의 변화로 얻는다.

NoteBase

문 6. 다음 카르노맵을 간략화하여 나타낸 논리식은?

AB \ CD	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	1	1	1	0
10	0	1	0	0

① $\overline{A}B + \overline{C}D + BD + B\overline{C}$

② $\overline{A}B + \overline{C}D + BD + A\overline{CD}$

③ $\overline{A}B + \overline{C}D + BD + A\overline{C}$

④ $\overline{A}B + \overline{C}D + BD + AB$

정답 1번

간단한 해설

카르노맵에서 1인 칸을 네 개씩 묶으면 **값이 변하지 않는 두 변수**만 남는다. 특히 AB가 01·11이고 CD가 00·01인 네 칸은 B=1, C=0이 공통이므로 $B\overline{C}$로 간략화된다.

NoteBase

계산 과정

행은 AB, 열은 CD이며, 각각 00 → 01 → 11 → 10 순서이다. 출력이 1인 칸들을 가능한 한 큰 직사각형으로 묶되, 묶음의 칸 수는 1, 2, 4, 8개처럼 2의 거듭제곱이어야 한다. 묶음에서 **값이 바뀌는 변수는 제거**하고, 1로 고정된 변수는 그대로, 0으로 고정된 변수는 보수를 취해 곱한다. 서로 다른 묶음은 겹쳐도 된다.

AB=01인 행의 네 칸: CD의 모든 조합에서 출력이 1이다. C와 D는 변하지만 A=0, B=1은 고정되므로 $\overline{A}B$가 남는다.

CD=01인 열의 네 칸: AB의 모든 조합에서 출력이 1이다. A와 B는 변하지만 C=0, D=1은 고정되므로 $\overline{C}D$가 남는다.

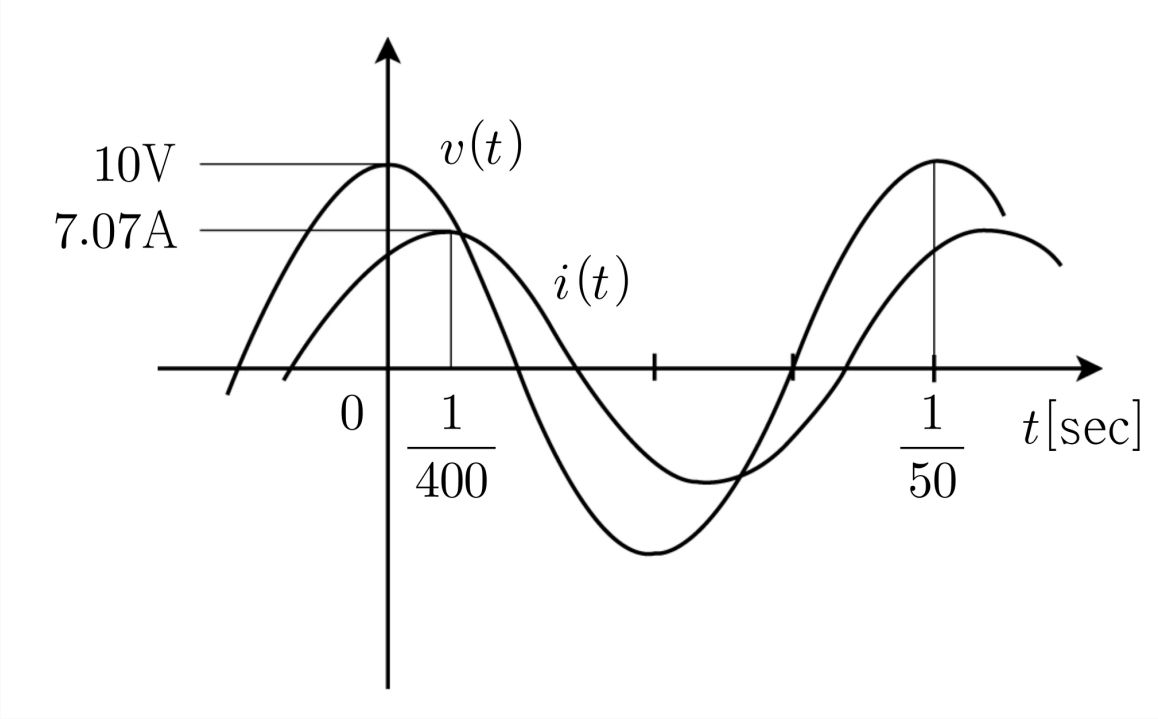
AB=01·11, CD=01·11인 네 칸: 가운데의 2×2 영역이 모두 1이다. A와 C는 변하지만 B=1, D=1은 고정되므로 BD가 남는다.

AB=01·11, CD=00·01인 네 칸: 가운데 두 행과 왼쪽 두 열이 만나는 2×2 영역이 모두 1이다. A와 D는 변하지만 **B=1, C=0은 고정**되므로 $B\overline{C}$가 남는다.

네 묶음은 출력이 1인 모든 칸을 덮으며, 출력이 0인 칸은 포함하지 않는다. 각 묶음의 곱항을 OR로 연결하면 $F = \overline{A}B + \overline{C}D + BD + B\overline{C}$이다. 이는 ①의 식과 같다.

NoteBase

문 7. RL 직렬회로에서 전원 $v(t)$를 인가하였을 때 회로에 흐르는 전류 $i(t)$가 그림과 같이 측정되었다. 이 때 R [Ω] 및 L [mH]의 값으로 가장 가까운 것은?



① R: 1, L: 2.2

② R: 1, L: 3.2

③ R: 1.4, L: 2.2

④ R: 1.4, L: 3.2

정답 2번

간단한 해설

전류가 전압보다 한 주기의 1/8만큼 늦으므로 **위상차는 45°**이다. 전압과 전류의 최댓값으로 구한 임피던스를 저항 성분과 유도성 리액턴스로 나누면 **R은 약 1 Ω, L은 약 3.2 mH**이다.

NoteBase

계산 과정

파형 읽기: 전압은 t = 0에서 최대이고 다음 최대가 $t = \frac{1}{50}$s에 있으므로 주기는 $T = \frac{1}{50}$s, 주파수는 $f = \frac{1}{T} = 50$Hz이다. 전류의 최대는 $\Delta t = \frac{1}{400}$s만큼 뒤에 나타난다. 따라서 전류가 전압보다 늦는 위상각은 $\phi = 2\pi\frac{\Delta t}{T} = \frac{\pi}{4} = 45^\circ$이다.

임피던스의 크기: 정현파 정상상태의 RL 직렬회로에서는 전압과 전류의 진폭 비가 임피던스의 크기이다. 그림의 10 V와 7.07 A는 모두 **최댓값**이므로 그대로 나누어 $|Z| = \frac{10}{7.07} \approx 1.414\Omega$를 얻는다. 실횻값으로 바꾸더라도 두 값에 같은 변환을 적용하므로 비는 같다.

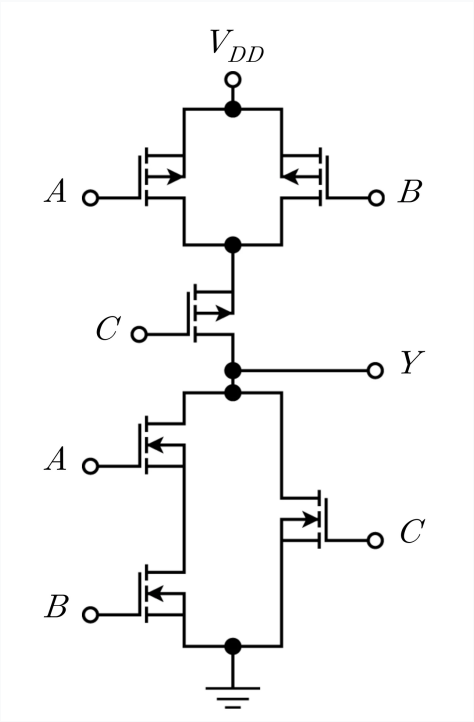
저항 R: RL 직렬회로의 임피던스는 $Z = R + j\omega L$이며, $\omega = 2\pi f$이다. 저항 성분은 전류와 동상인 성분이므로 $R = |Z|\cos\phi$이다. 따라서 $R \approx 1.414\cos 45^\circ \approx 1\Omega$이다.

인덕턴스 L: 인덕터의 전압은 전류보다 위상이 90° 앞선다. 따라서 유도성 리액턴스는 $X_L = |Z|\sin\phi \approx 1.414\sin 45^\circ \approx 1\Omega$이다. **리액턴스와 인덕턴스는 서로 다른 양**이며 $X_L = \omega L$이므로, $L = \frac{X_L}{2\pi f} \approx \frac{1}{100\pi}$H이다. 이를 mH로 바꾸면 $L \approx 3.18$mH이다.

따라서 R은 약 1 Ω, L은 약 3.18 mH이며, 가장 가까운 값은 ②의 R = 1 Ω, L = 3.2 mH이다.

NoteBase

문 8. 그림은 CMOS로 구성된 하나의 디지털 논리회로이다. 이 회로의 출력 Y는?



① $Y = (A + B) \cdot C$

② $Y = (\overline{A} \cdot \overline{B}) + \overline{C}$

③ $Y = (\overline{A} + \overline{B}) \cdot \overline{C}$

④ $Y = (A \cdot B) + C$

정답 3번

간단한 해설

출력을 접지에 연결하는 아래쪽 NMOS는 **A와 B가 모두 1이거나 C가 1일 때** 도통한다. 출력은 이 조건의 부정이므로 $Y = (\overline{A} + \overline{B}) \cdot \overline{C}$이다.

NoteBase

계산 과정

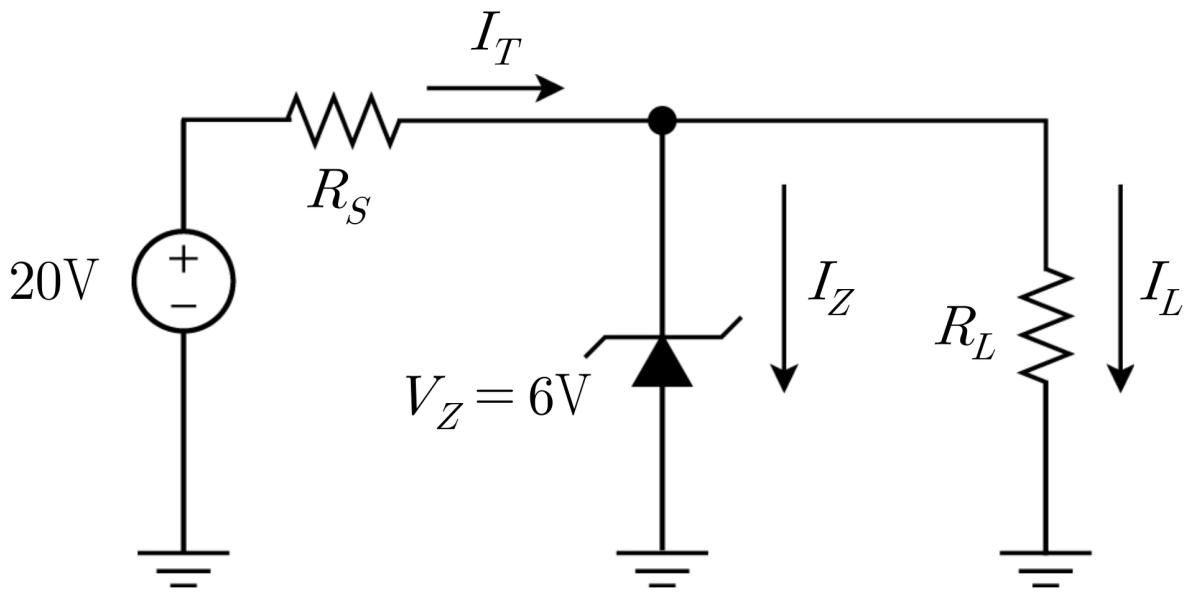
1. 출력이 0이 되는 조건: CMOS의 정상상태에서 NMOS는 입력이 1일 때 켜진다. 그림 아래쪽의 A·B NMOS는 직렬이므로 둘 다 켜져야 접지까지 연결되고, C NMOS는 이 직렬 가지와 병렬이므로 C 하나가 켜져도 접지로 연결된다. 따라서 **직렬은 AND, 병렬은 OR**로 나타내며, 출력이 0이 되는 조건은 $A \cdot B + C = 1$이다.

2. 출력이 1이 되는 조건: 위쪽 PMOS는 입력이 0일 때 켜진다. A·B PMOS는 병렬이므로 A 또는 B 중 하나가 0이면 이 부분이 도통한다. 여기에 C PMOS가 직렬로 연결되어 있으므로 **C도 반드시 0**이어야 출력이 전원 V_{DD}에 연결되어 1이 된다. 즉 A 또는 B가 0인 조건과 C가 0인 조건을 동시에 만족해야 한다.

3. 출력식 정리: 아래쪽 회로가 도통하면 출력이 0이므로, 출력식은 접지 연결 조건을 부정한 $Y = \overline{A \cdot B + C}$이다. 드모르간 법칙에 따라 $Y = \overline{A \cdot B} \cdot \overline{C}$로 바꾸고, 다시 $\overline{A \cdot B} = \overline{A} + \overline{B}$를 적용한다. 따라서 $Y = (\overline{A} + \overline{B}) \cdot \overline{C}$이며, 이는 ③의 식과 일치한다.

NoteBase

문 9. 다음 회로에서 정전압이 유지되는 상태에서 허용될 수 있는 최소부하저항 $R_{L(\min)}$ [kΩ] 및 최대부하전류 $I_{L(\max)}$ [mA]는? (단, 제너무릎전류 $I_{ZK} = 2$ [mA], 제너최대전류 $I_{ZM} = 100$ [mA], $R_S = 2$ [kΩ]이고, 제너임피던스는 무시한다)



① $R_{L(\min)}$ [kΩ]: 1.2, $I_{L(\max)}$ [mA]: 5

② $R_{L(\min)}$ [kΩ]: 1.2, $I_{L(\max)}$ [mA]: 7

③ $R_{L(\min)}$ [kΩ]: 1, $I_{L(\max)}$ [mA]: 5

④ $R_{L(\min)}$ [kΩ]: 1, $I_{L(\max)}$ [mA]: 7

정답 1번

간단한 해설

정전압을 유지하려면 제너 다이오드에 **무릎전류 2 mA 이상**이 흘러야 한다. 직렬저항 전류 7 mA 중 부하에 공급할 수 있는 최대 전류는 5 mA이며, 부하전압이 6 V이므로 최소부하저항은 1.2 kΩ이다.

NoteBase

계산 과정

회로의 제너 다이오드와 부하저항 R_L은 병렬로 연결되어 있다. 제너임피던스를 무시하므로 정전압이 유지되는 동안 **부하전압은 제너전압과 같은 6 V**이다.

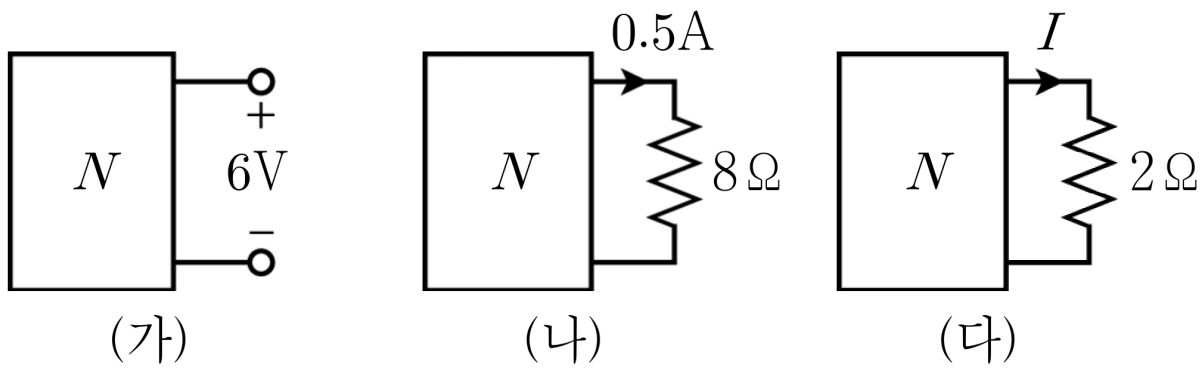
직렬저항 전류: 입력전압 20 V에서 출력전압 6 V를 뺀 전압이 R_S에 걸린다. 옴의 법칙에 따라 $I_T = \frac{20-6}{2} = 7\text{mA}$이다. 저항을 kΩ 단위로 대입했으므로 전류는 mA 단위이며, 이 7 mA가 제너전류와 부하전류로 나뉜다.

최대부하전류: 접점에서 $I_T = I_Z + I_L$이 성립한다. 부하전류가 커질수록 제너전류는 작아지므로, **제너전류가 무릎전류에 도달할 때** 부하전류가 최대가 된다. 따라서 $I_{L(\max)} = I_T - I_{ZK}$이며, $7 - 2 = 5$ mA이다. 부하에 7 mA를 모두 공급하면 제너전류가 0이 되어 정전압 유지 조건을 만족하지 못한다. 한편 부하전류가 0이어도 제너전류는 7 mA로 제너최대전류 100 mA보다 작으므로, 최대전류 제한은 추가로 문제되지 않는다.

최소부하저항: 부하전압이 일정할 때 $I_L = \frac{V_Z}{R_L}$이므로, 부하전류가 최대일 때 부하저항은 최소이다. 따라서 $R_{L(\min)} = \frac{6\text{V}}{5\text{mA}} = 1.2\text{k}\Omega$이다. 최소부하저항 1.2 kΩ과 최대부하전류 5 mA의 조합은 ①에 해당한다.

NoteBase

문 10. 그림 (가)와 그림 (나)를 이용하여 그림 (다)의 전류값 I[A]를 구하면? (단, N은 전원을 포함한 임의의 저항회로이다)



① 0.25

② 0.5

③ 1

④ 2

정답 3번

간단한 해설

회로 N을 **테브난 등가회로**로 바꾸면 등가전압은 6 V, 등가저항은 4 Ω이다. 2 Ω 부하에는 등가저항까지 직렬로 연결되므로 전류는 $I = \frac{6}{4+2} = 1\text{A}$이다.

계산 과정

전원과 저항으로 이루어진 회로 N은 단자에서 보았을 때 전압원과 저항을 직렬로 연결한 테브난 등가회로로 나타낼 수 있다. 등가전압 V_{th}는 부하를 연결하지 않았을 때의 단자전압이고, 등가저항 R_{th}는 부하전류에 따른 내부 전압강하를 결정한다.

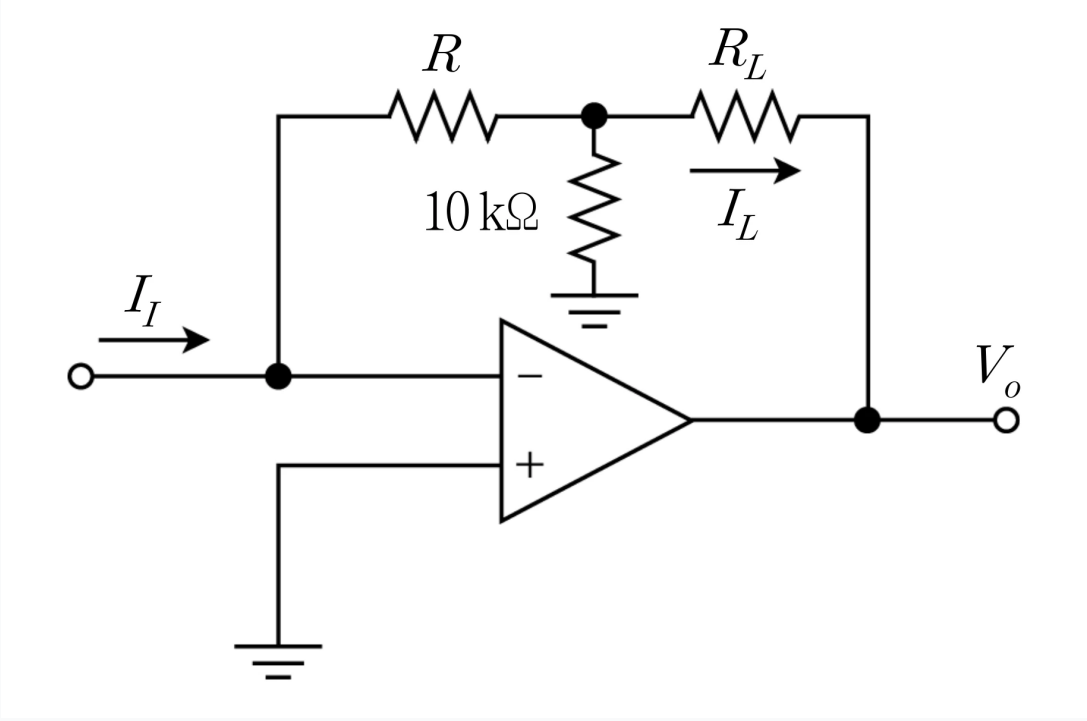
(가) 등가전압: 두 단자가 개방되어 외부로 전류가 흐르지 않는다. 따라서 등가저항의 전압강하는 0이고, 위쪽 단자가 양극인 6 V가 그대로 등가전압이다. 즉, $V_{\text{th}} = 6\text{V}$이다.

(나) 등가저항: 8 Ω 부하에 0.5 A가 흐르므로 부하 양단의 전압은 $0.5 \times 8 = 4$ V이다. 개방전압 6 V와의 차이인 $6 - 4 = 2$ V는 **등가저항에 걸리는 전압**이다. 같은 전류 0.5 A가 등가저항에도 흐르므로 $R_{\text{th}} = \frac{6-4}{0.5} = 4\Omega$이다.

(다) 부하전류: 2 Ω 부하는 등가저항 4 Ω과 **직렬로 연결**되므로 전체 저항은 $4 + 2 = 6$ Ω이다. 따라서 $I = \frac{V_{\text{th}}}{R_{\text{th}}+2} = \frac{6}{4+2} = 1\text{A}$이며, 그림의 화살표 방향으로 흐른다. 이는 ③의 1 A에 해당한다.

NoteBase

문 12. 다음 회로에서 입력전류 I_I와 부하전류 I_L 사이의 전류비 (I_L/I_I)가 10이 되도록 하는 저항 R[kΩ]은? (단, 연산증폭기는 이상적이다)



① 30

② 60

③ 90

④ 120

정답 3번

간단한 해설

이상적 연산증폭기의 반전 입력은 **가상 접지**가 되며, 부하에는 입력전류와 10 kΩ 저항을 통해 접지에서 유입되는 전류가 합쳐져 흐른다. 따라서 $\frac{I_L}{I_I} = 1 + \frac{R}{10\text{k}\Omega}$이므로, 전류비가 10이 되려면 R은 90 kΩ이어야 한다.

NoteBase

계산 과정

1. 입력단 조건: 출력에서 저항망을 거쳐 반전 입력으로 부귀환이 걸려 있다. 이상적 연산증폭기가 선형 동작하므로 두 입력단 전압은 같고 입력단으로 흐르는 전류는 0이다. 비반전 입력이 접지되어 있으므로 반전 입력도 **전압이 0 V인 가상 접지**가 된다.

2. 저항 R을 흐르는 전류: 입력단으로 전류가 흐르지 않으므로 입력전류 I_I는 모두 R을 통해 위쪽 중앙 접점으로 흐른다. 이 접점의 전압을 V_A라 하면 옴의 법칙에 따라 $I_I = \frac{0 - V_A}{R}$, 즉 $V_A = -I_I R$이다.

3. 10 kΩ 저항의 전류: 접지에서 위쪽 중앙 접점으로 흐르는 전류를 I_G라 두면 $I_G = \frac{0 - V_A}{10\text{k}\Omega} = \frac{I_I R}{10\text{k}\Omega}$이다. 양의 입력전류에 대해 중앙 접점 전압은 음수이므로 이 전류는 **접지에서 중앙 접점으로 유입**된다.

4. 부하전류와 전류비: 중앙 접점에서 키르히호프 전류법칙을 적용하면, R을 통해 들어온 전류와 접지에서 들어온 전류의 합이 그림의 오른쪽 화살표 방향으로 부하를 흐른다. 따라서 $I_L = I_I + I_G$이며, 전류비는 $\frac{I_L}{I_I} = 1 + \frac{R}{10\text{k}\Omega}$ 이다.

5. 저항값 결정: 주어진 전류비 10을 대입하면 $1 + \frac{R}{10\text{k}\Omega} = 10$이므로 $R = (10 - 1) \cdot 10\text{k}\Omega = 90\text{k}\Omega$이다. 따라서 구한 90 kΩ은 ③의 값에 해당한다.

NoteBase

문 13. 증가형 MOSFET에서 반전층(inversion layer)의 전하와 전기적으로 같은 극성을 가지는 것은?

① 반전층이 형성되었을 때 게이트 전극의 전하(charge)

② 드레인(drain) 영역의 다수 캐리어(majority carrier)

③ 소스(source) 영역의 소수 캐리어(minority carrier)

④ 기판의 다수 캐리어(majority carrier)

정답 2번

간단한 해설

반전층을 이루는 캐리어는 **소스·드레인 영역의 다수 캐리어와 같은 종류**이므로, 드레인의 다수 캐리어와 전하 극성이 같다.

공통 해설

증가형 MOSFET에서는 게이트에 적절한 극성의 전압을 충분히 가하면 기판 표면에 반전층이 형성된다.
반전층은 기판의 소수 캐리어가 표면에 모여 다수 캐리어가 된 층이다. 소스·드레인은 기판과 반대 도전형이므로, **반전층의 캐리어는 소스·드레인의 다수 캐리어와 같은 종류**이다. 따라서 드레인의 다수 캐리어는 반전층 전하와 극성이 같다.

n채널 증가형 MOSFET을 예로 들면, p형 기판에 양의 게이트 전압을 가하여 전자를 표면으로 끌어모으면 전자로 이루어진 반전층이 형성된다. n형 드레인의 다수 캐리어도 전자이므로 둘 다 음전하이다. 반면 게이트 전하는 양전하이고, n형 소스의 소수 캐리어와 p형 기판의 다수 캐리어는 모두 양전하인 정공이므로 반전층과 극성이 반대이다.

p채널 증가형 MOSFET에서는 전자와 정공 및 전압의 극성이 서로 바뀐다. 반전층과 드레인의 다수 캐리어는 모두 정공이며, 게이트 전하는 음전하이다. 소스의 소수 캐리어와 기판의 다수 캐리어는 전자이다. 따라서 채널 종류와 관계없이 **반전층과 드레인의 다수 캐리어는 같은 극성**이라는 관계가 유지된다.

NoteBase

문 14. RLC 회로의 공진에 대한 설명으로 옳지 않은 것은?

① 회로망의 입력단자에서 전압과 전류가 동위상일 때 회로망은 공진상태에 있다.

② 공진주파수는 임피던스(직렬공진) 또는 어드미턴스(병렬공진)의 위상각이 90°가 되도록 하는 주파수이다.

③ 공진시의 회로 임피던스(직렬공진) 또는 어드미턴스(병렬공진)는 순수 저항성이 된다.

④ 공진시 회로에 축적되는 총 에너지는 시간에 관계없이 일정하다.

정답 2번

간단한 해설

②의 '위상각이 90°'는 **'위상각이 0°'**로 고쳐야 한다. 공진에서는 유도성 성분과 용량성 성분이 상쇄되어 입력 전압과 전류가 동위상이 된다.

선지별 해설

① O: 공진에서는 회로 전체의 유도성 성분과 용량성 성분이 상쇄된다. 따라서 입력단자에서 전압과 전류 사이의 **위상차가 0°**가 되어 동위상이다.

② X: 공진주파수는 직렬회로의 임피던스 또는 병렬회로의 어드미턴스에서 허수부가 0이 되는 주파수이다. 저항성 실수부만 남으므로 위상각은 **90°가 아니라 0°**이다. 90°의 위상차는 순수 인덕터나 순수 커패시터처럼 무효 성분만 있는 경우에 나타난다.

③ O: 직렬 RLC 회로의 임피던스는 $Z = R + j(\omega L - \frac{1}{\omega C})$이다. 공진에서는 괄호 안이 0이 되어 $Z = R$만 남는다. 병렬 RLC 회로의 어드미턴스는 $Y = \frac{1}{R} + j(\omega C - \frac{1}{\omega L})$이며, 공진에서는 $Y = \frac{1}{R}$만 남는다. 두 경우 모두 **허수부가 없는 순수 저항성**이다. 어드미턴스의 실수부는 저항의 역수인 컨덕턴스이다.

④ O: 이상적인 인덕터와 커패시터를 갖는 표준 RLC 회로의 정현파 정상상태에서, 인덕터는 자기장에 에너지를 저장하고 커패시터는 전기장에 에너지를 저장한다. 공진에서는 두 소자의 최대 저장에너지가 같고, 한쪽의 저장에너지가 줄어드는 만큼 다른 쪽이 늘어나므로 **두 저장에너지의 합은 일정하다**. 저항은 에너지를 저장하지 않고 열로 소비하며, 정상상태에서는 전원이 그 손실을 보충한다.

NoteBase

문 15. 300 [Hz]에서 4,300 [Hz]까지의 주파수 대역과 신호 대 잡음비(SNR)가 255인 통신 링크에서 얻을 수 있는 최대 채널용량 [kbps]은?

① 12

② 22

③ 32

④ 42

정답 3번

간단한 해설

주파수 대역의 폭은 **4,000 Hz**이며, 샤논 채널용량 공식에서 $\log_2(1+255)=8$이다. 따라서 최대 채널용량은 **32 kbps**이다.

계산 과정

대역폭: 대역폭 B는 **상한 주파수와 하한 주파수의 차**이다. 따라서 B = 4,300 − 300 = 4,000 Hz이다.

공식 적용: 대역폭과 신호 대 잡음비가 주어졌으므로 샤논 채널용량 공식 $C = B\log_2(1+\text{SNR})$을 적용한다. 이는 대역 제한된 가산 백색 가우스 잡음 채널에서의 이론적 최대 전송률을 나타낸다. B를 Hz로 넣으면 채널용량 C의 단위는 bps이다. SNR은 신호 전력과 잡음 전력의 비이며, 주어진 255는 **dB가 아닌 전력비**이므로 그대로 대입한다.

로그값 계산: 1 + 255 = 256이고 $256 = 2^8$이므로 $\log_2 256 = 8$이다. 이는 이 조건에서 대역폭 1 Hz당 최대 8 bps의 전송률에 해당한다.

채널용량 계산: C = 4,000 × 8 = 32,000 bps이다. 1 kbps = 1,000 bps이므로 최대 채널용량은 32 kbps이며, ③의 32에 해당한다.

NoteBase

문 16. 수정발진기에 대한 설명으로 옳지 않은 것은?

① 수정발진기는 수정의 압전(piezoelectric) 효과를 이용한 것이다.

② 수정발진기는 LC 동조회로보다 Q 값이 낮아 주파수 안정도가 좋다.

③ 수정의 등가회로는 직병렬 RLC 회로이다.

④ 수정의 병렬공진주파수는 직렬공진주파수보다 높다.

정답 2번

간단한 해설

②의 'Q 값이 낮아'가 잘못되었다. 수정은 LC 동조회로보다 **Q 값이 매우 높아** 공진 특성이 날카롭고, 이를 이용한 발진기는 주파수 안정도가 좋다.

선지별 해설

① O: 수정은 힘을 가하면 전하가 생기고, 전압을 가하면 기계적으로 변형되는 **압전 효과**를 갖는다. 수정발진기는 교류 전압에 따른 수정의 기계적 진동과 전기 신호 사이의 변환을 이용한다.

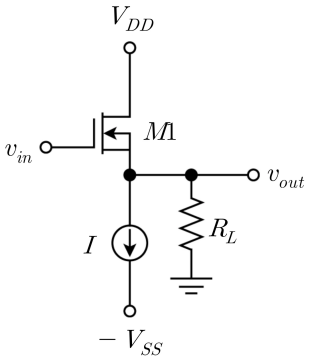
② X: 수정은 일반적인 LC 동조회로보다 **Q 값이 매우 높다**. Q는 공진기의 에너지 손실 정도와 관련된 값으로, 저장 에너지에 비해 한 주기 동안 손실되는 에너지가 작을수록 크다. 높은 Q는 공진 주파수 부근의 날카로운 주파수 선택 특성을 뜻하며, 발진 주파수를 안정적으로 유지하는 데 유리하다. 따라서 'Q 값이 낮아'를 'Q 값이 높아'로 고쳐야 한다.

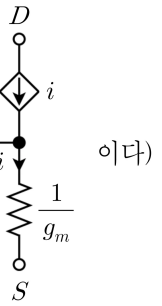
③ O: 공진 주파수 부근에서 수정의 기계적 진동은 저항 R_1, 인덕턴스 L_1, 커패시턴스 C_1의 직렬 가지로 나타낸다. 이 가지에 전극 사이의 정전용량 C_0가 병렬로 연결되므로, 전체는 **직렬 RLC 가지와 병렬 커패시터로 이루어진 등가회로**이다. R_1은 진동에 따른 에너지 손실을 나타낸다.

④ O: 수정의 등가회로에서 손실을 무시하면 직렬공진주파수는 $f_s = \frac{1}{2\pi\sqrt{L_1 C_1}}$이고, 병렬공진주파수는 $f_p = f_s\sqrt{1 + \frac{C_1}{C_0}}$이다. 두 정전용량은 양수이므로 제곱근 안의 값이 1보다 커서 **병렬공진주파수가 직렬공진주파수보다 높다**.

NoteBase

문 17. 다음 전압증폭회로의 입력전압 v_{in}과 출력전압 v_{out} 사이의 소신호 전압이득 $\frac{v_{out}}{v_{in}}$은?



(단, $M1$의 소신호 등가회로는 

이다)

① $1+g_mR_L$

② $\frac{1}{1+g_mR_L}$

③ $\frac{1+g_mR_L}{g_mR_L}$

④ $\frac{g_mR_L}{1+g_mR_L}$

정답 4번

간단한 해설

출력을 소스에서 꺼내는 **소스 팔로어**이므로, 소신호 전류는 입력전압 자체가 아니라 게이트·소스 전압차에 의해 정해진다. 이 관계를 부하에 적용하면 전압이득은 $\frac{g_mR_L}{1+g_mR_L}$로, 양수이면서 1보다 작다.

NoteBase

계산 과정

소신호 회로: 게이트 G에 v_{in}이 인가되고 소스 S에서 v_{out}을 얻으므로 공통 드레인 회로인 소스 팔로어이다. 일정한 직류 전원은 소신호 접지로 처리한다. 바이어스 전류원 I는 전류 변화분이 0이므로 **소신호 회로에서는 개방**되며, 출력에서 접지로 흐르는 소신호 전류의 경로는 부하 R_L이다.

전류 관계: 주어진 M1의 등가회로에서 G와 S 사이의 저항은 $\frac{1}{g_m}$이고, g_m은 게이트·소스 전압 변화에 대한 드레인 전류 변화의 비율인 트랜스컨덕턴스이다. 이 저항에 걸리는 전압은 **입력과 출력의 차**인 $v_{in} - v_{out}$이다. 따라서 소스로 흐르는 소신호 전류는 $i = g_m(v_{in} - v_{out})$이다. 출력 노드에서는 이 전류가 부하로 흐르므로 $i = \frac{v_{out}}{R_L}$이다.

전압이득 계산: 두 전류식을 같게 놓으면 $g_m(v_{in} - v_{out}) = \frac{v_{out}}{R_L}$이다. 양변에 R_L을 곱하고 출력전압 항을 모으면 $g_m R_L v_{in} = (1 + g_m R_L) v_{out}$을 얻는다. 따라서 전압이득은 $\frac{v_{out}}{v_{in}} = \frac{g_m R_L}{1 + g_m R_L}$이다.

결과 해석: g_m과 R_L이 양수이므로 이득은 양수이고 분모가 분자보다 1만큼 커서 1보다 작다. 즉, 출력은 입력과 같은 위상으로 변하되 변화 폭은 입력보다 작다. 전압끼리의 비이므로 이득에는 단위가 없으며, 도출한 식은 ④와 일치한다.

NoteBase

문 18. 10초 길이의 어떤 아날로그 신호가 디지털컴퓨터에 압축 없이 저장되는 과정에서 8,000[Hz]로 샘플링되고, 샘플 당 8비트를 사용하여 파일로 저장된다면, 최종 저장된 파일의 크기[bits]는? (단, 아날로그에서 디지털로 변환된 데이터 이외의 부가정보는 무시한다)

① 640,000

② 64,000

③ 80,000

④ 32,000

정답 1번

간단한 해설

압축하지 않은 데이터의 크기는 **전체 샘플 수 × 샘플당 비트 수**이다. 10초 동안 얻은 80,000개 샘플을 각각 8비트로 저장하므로 파일 크기는 640,000 bits이다.

계산 과정

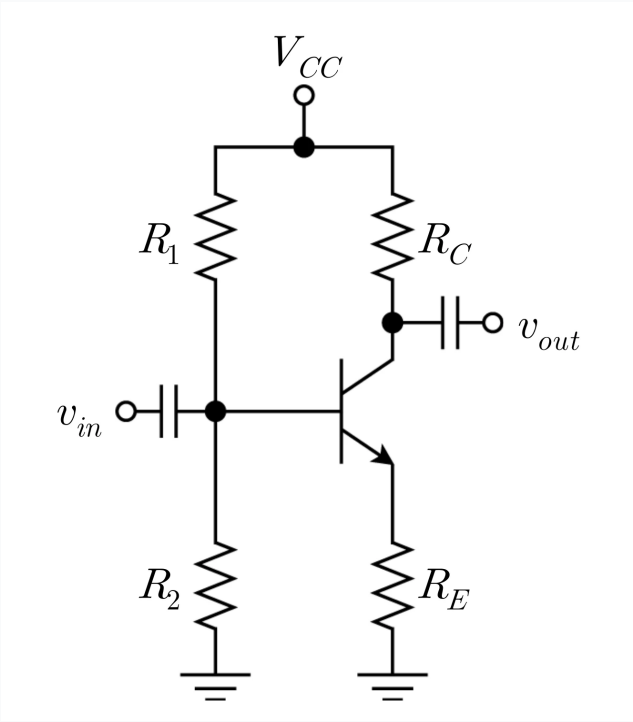
전체 샘플 수: 샘플링 주파수 8,000 Hz는 **1초에 8,000개의 샘플을 얻는다**는 뜻이다. 따라서 10초 동안의 전체 샘플 수는 8,000 × 10 = 80,000개이다.

저장 데이터 크기: 각 샘플을 8비트로 나타내므로 전체 비트 수는 샘플 수에 샘플당 비트 수를 곱하여 구한다. **압축하지 않고 부가정보를 무시**하므로 이 값이 파일 크기이다. 80,000 × 8 = 640,000 bits이다.

최종 파일 크기는 640,000 bits로, ①의 640,000과 일치한다.

NoteBase

문 19. 다음 BJT 증폭기의 소신호 전압 증폭률이 증가하는 경우가 아닌 것은?



① R_E를 크게 한다.

② R_C를 크게 한다.

③ R_1을 작게 한다.

④ R_2를 크게 한다.

정답 1번

간단한 해설

이미터 저항 R_E를 크게 하면 **음의 피드백이 강해져** 입력 신호에 따른 베이스–이미터 전압의 변화가 줄어든다. 따라서 전압 증폭률의 크기는 증가하지 않고 **감소한다**.

NoteBase

선지별 해설

그림은 이미터 저항에 바이패스 커패시터가 없는 공통 이미터 증폭기이다. 결합 커패시터를 단락으로 볼 수 있는 중간 주파수 대역에서, 베이스 전류의 영향과 트랜지스터의 출력저항을 무시하면 전압 증폭률은 $A_V \approx -\frac{R_C}{R_E + 1/g_m}$이다. 여기서 $g_m = \frac{I_C}{V_T}$는 트랜스컨덕턴스이며, I_C는 직류 컬렉터 전류, V_T는 열전압이다. 음의 부호는 위상 반전을 뜻하며, 문제의 증폭률 증가는 그 크기의 증가를 의미한다. 각 저항은 다른 조건을 유지한 채 하나씩 바꾸며, 변경 후에도 트랜지스터가 활성영역에서 동작한다고 본다.

① X: R_E가 커지면 이미터 전류의 변화에 따른 이미터 전압 변화가 커져, 입력 전압 변화를 상쇄하는 **음의 피드백이 강해진다**. 이 때문에 베이스–이미터 전압과 컬렉터 전류의 신호 변화가 작아진다. 또한 직류 바이어스 전류가 줄어 g_m도 작아지므로, 이득식의 분모는 커지고 전압 증폭률의 크기는 감소한다. 증폭률을 증가시키려면 R_E를 작게 해야 한다.

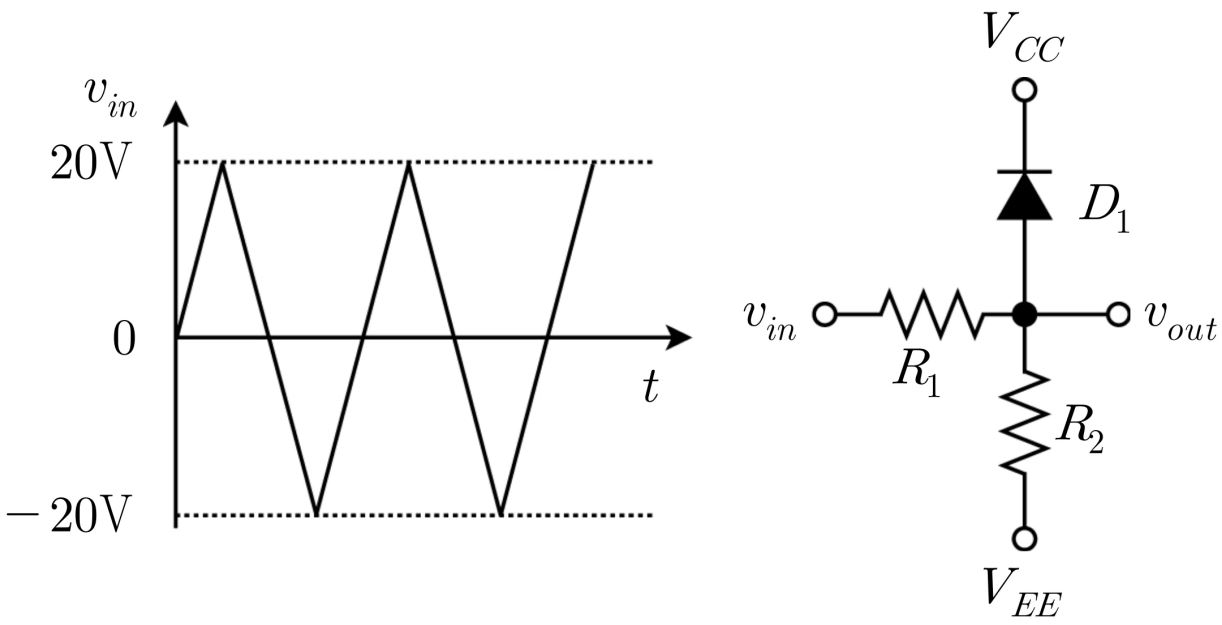
② O: R_C를 크게 하면 **같은 컬렉터 전류 변화가 더 큰 출력 전압 변화**를 만든다. 이득식에서도 분자의 R_C가 커지므로 전압 증폭률의 크기가 증가한다.

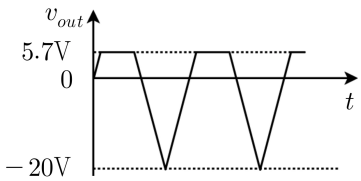
③ O: 베이스의 직류 전압은 분압 관계에 따라 $V_B \approx V_{CC}\frac{R_2}{R_1 + R_2}$이다. R_1을 작게 하면 **베이스 바이어스 전압이 높아져** 이미터 전류와 컬렉터 전류가 증가한다. 따라서 g_m이 커지고 이득식 분모의 $1/g_m$이 작아져 전압 증폭률의 크기가 증가한다.

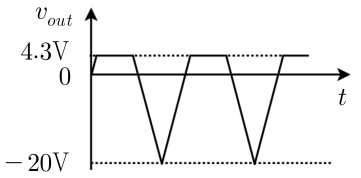
④ O: R_2를 크게 하면 **분압비가 커져 베이스 바이어스 전압이 높아진다**. 이에 따라 컬렉터 전류와 g_m이 증가하고, 이득식 분모의 $1/g_m$이 작아지므로 전압 증폭률의 크기가 증가한다.

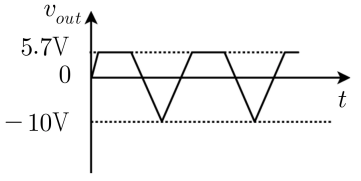
NoteBase

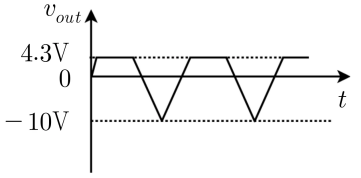
문 20. 다음 회로에서 입력신호 v_{in}이 가해질 때 얻어지는 출력 v_{out}의 파형은? (단, $V_{CC} = 5$ [V], $V_{EE} = 0$ [V], $R_1 = 1$ [kΩ], $R_2 = 1$ [kΩ]이고, $V_{D,on} = 0.7$ [V]이다)



① 

② 

③ 

④ 

NoteBase

정답 3번

간단한 해설

다이오드가 꺼져 있을 때는 두 저항의 분압으로 출력이 **입력의 절반**이 되어 최솟값은 −10 V이다. 출력이 전원 전압보다 0.7 V 높아지면 다이오드가 켜지므로, 양의 부분은 **5.7 V에서 제한**된다.

계산 과정

다이오드 차단 구간: 그림에서 D_1의 캐소드는 5 V 전원에, 애노드는 출력 노드에 연결되어 있다. 출력이 5.7 V보다 낮으면 다이오드는 꺼져 있고, $V_{EE} = 0\text{V}$이므로 두 저항이 입력 전압을 분압한다. 따라서 $v_{out} = \frac{R_2}{R_1 + R_2} v_{in}$이며, 두 저항이 각각 1 kΩ으로 같으므로 $v_{out} = \frac{v_{in}}{2}$이다. 입력의 최솟값 −20 V에서 출력은 **−10 V**가 된다.

다이오드 도통 구간: 출력이 캐소드 전압보다 0.7 V 높아지면 다이오드가 도통한다. 이때 출력은 **5 + 0.7 = 5.7 V**로 제한된다. 분압된 출력이 이 값에 도달하는 입력은 $v_{in} = 2 \cdot 5.7 = 11.4\text{V}$이다. 따라서 입력이 11.4 V를 넘는 구간에서는 출력이 더 증가하지 않고 5.7 V로 유지된다.

출력 파형: 입력이 11.4 V 이하인 구간에서는 입력의 절반인 삼각파를 따르고, 그보다 높은 구간에서는 윗부분이 평평해진다. 최댓값 5.7 V, 최솟값 −10 V인 파형이므로 ③의 그림과 일치한다.

NoteBase