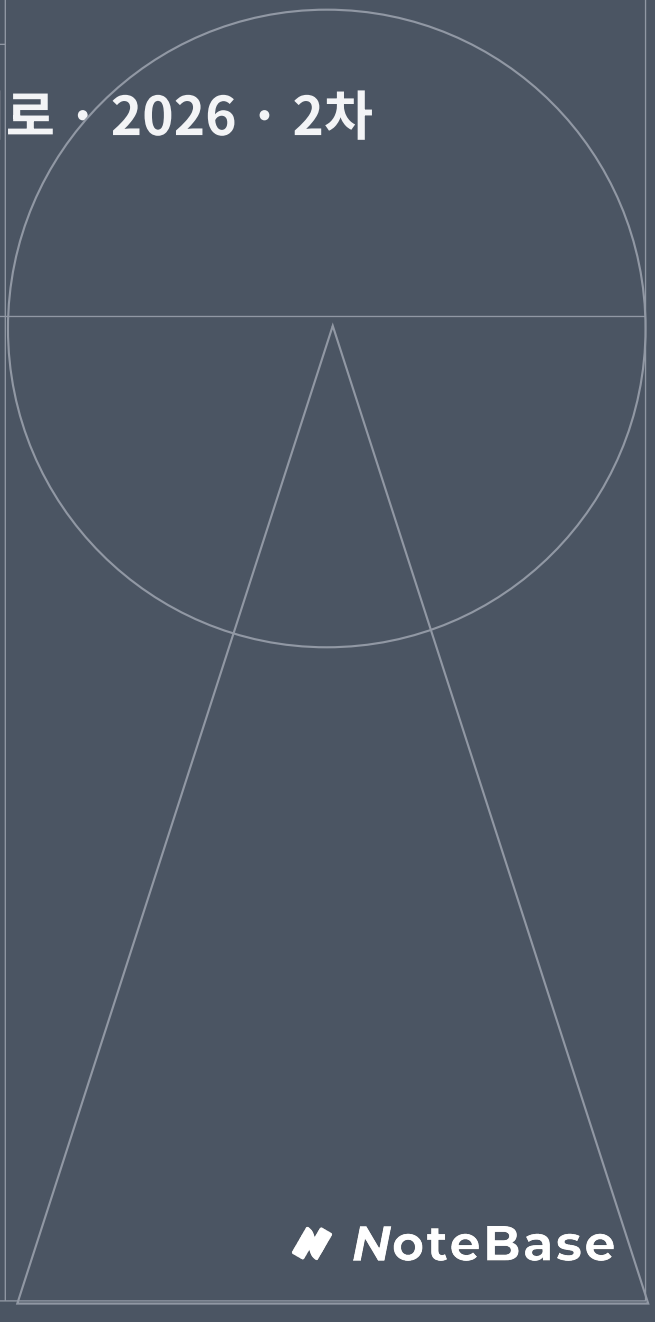
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2026 · 2차



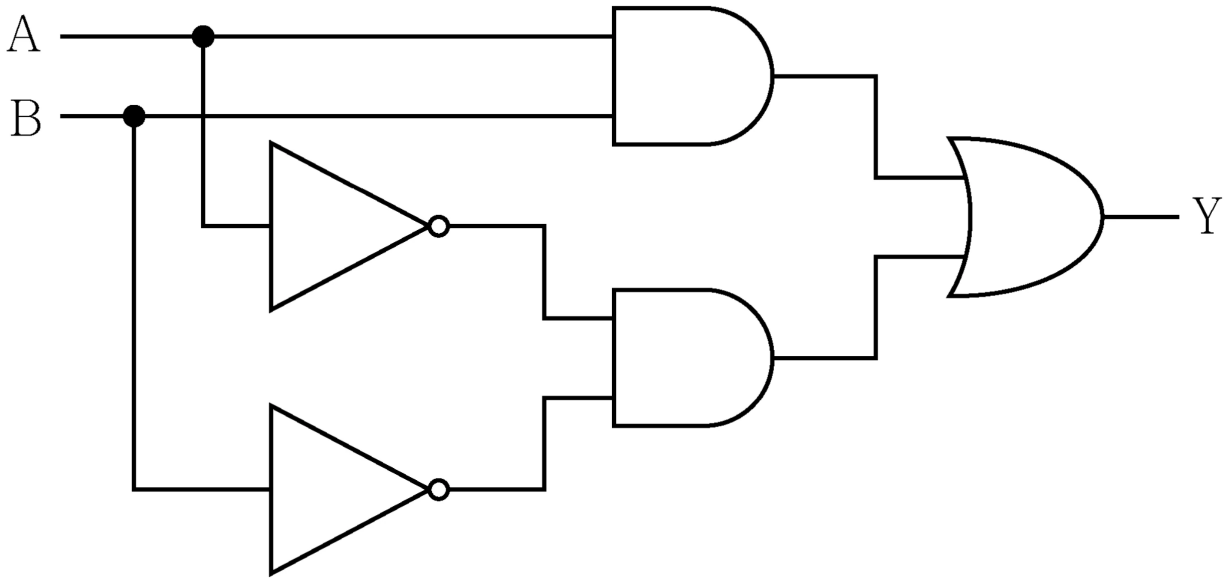
NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2026 · 2차

공무원/국가직/7급 · 전자회로 · 2026 · 2차

문 1. 다음 NOT-AND-OR 게이트로 구성된 논리회로와 같은 출력값(Y)을 갖는 논리 게이트는?



① NOR

② XOR

③ NAND

④ XNOR

정답 4번

간단한 해설

위쪽 AND 게이트는 두 입력이 모두 1일 때, 아래쪽 AND 게이트는 두 입력이 모두 0일 때 1을 출력한다. 이를 OR로 합치므로 **두 입력이 같을 때만 1을 출력하는 XNOR**의 동작과 같다.

NoteBase

공통 해설

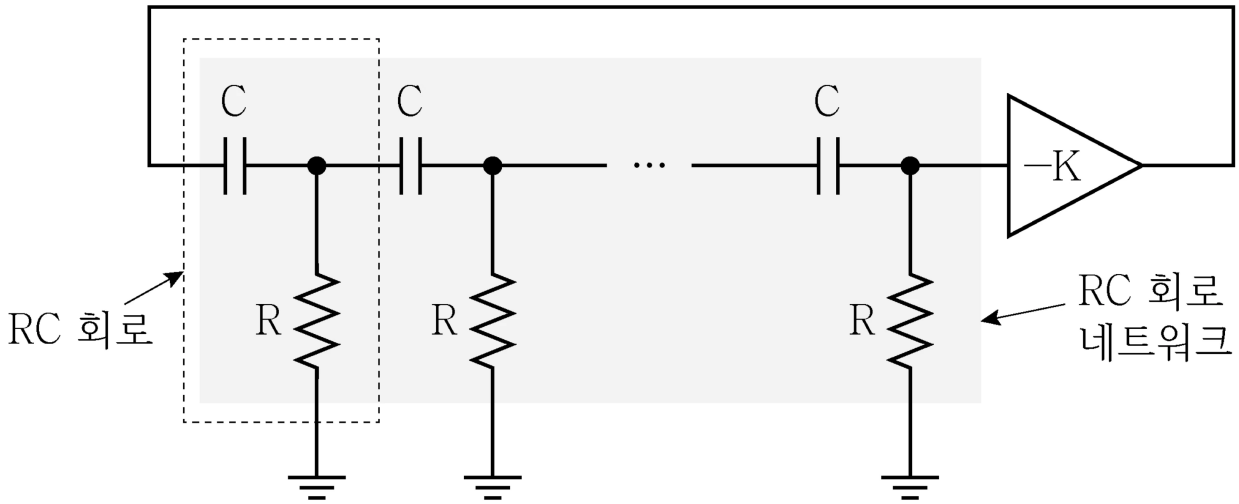
논리 게이트의 동등성은 **가능한 모든 입력 조합에서 출력이 같은지**로 판단한다. AND는 두 입력이 모두 1일 때만 1을 출력하고, NOT은 0과 1을 반전시키며, OR는 입력 중 하나라도 1이면 1을 출력한다.

그림의 위쪽 AND 게이트에는 A와 B가 그대로 들어가므로 출력은 $A \cdot B$이다. 아래쪽 AND 게이트에는 각각 NOT을 거친 입력이 들어가므로 출력은 $\overline{A} \cdot \overline{B}$이다. 마지막 OR 게이트가 두 출력을 합치므로 전체 출력은 $Y = A \cdot B + \overline{A} \cdot \overline{B}$이다. 여기서 +는 논리합, 가운데 점은 논리곱, 윗줄은 부정을 뜻한다.

A와 B가 모두 1이면 위쪽 AND의 출력이 1이고, 모두 0이면 아래쪽 AND의 출력이 1이다. 두 입력이 서로 다르면 두 AND의 출력이 모두 0이다. 따라서 입력 (A, B)가 (0, 0), (0, 1), (1, 0), (1, 1)일 때 Y는 차례로 1, 0, 0, 1이다. 이처럼 두 입력이 같을 때 1, 다를 때 0을 출력하는 게이트가 XNOR이다.

NoteBase

문 2. 다수의 RC 회로로 구성된 네트워크와 이득이 −K인 연산증폭기를 사용한 다음 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



① 위상 천이 발진기로 동작할 수 있다.

② RC 회로 네트워크는 발진을 위해 180도의 위상 천이를 만들 수 있어야 한다.

③ 일정한 주파수의 발진을 위해서는 최소 2개의 RC 회로가 있어야 한다.

④ 발진을 시작하려면 K는 루프 이득이 1보다 큰 값이 되도록 선택되어야 한다.

정답 3번

간단한 해설

③의 '최소 2개'는 **최소 3개**로 고쳐야 한다. 그림의 RC 네트워크를 두 단만 사용하면 유한한 0이 아닌 주파수에서 발진에 필요한 180도 위상 천이를 얻을 수 없다.

NoteBase

선지별 해설

① O: 그림은 출력 신호를 직렬 커패시터 C와 접지 저항 R로 이루어진 여러 RC 단을 거쳐 증폭기 입력으로 되돌리는 구조이다. RC 네트워크가 주파수에 따라 위상을 바꾸고, 이득이 −K인 반전 증폭기가 감쇠를 보상하므로 **위상 천이 발진기**로 동작할 수 있다.

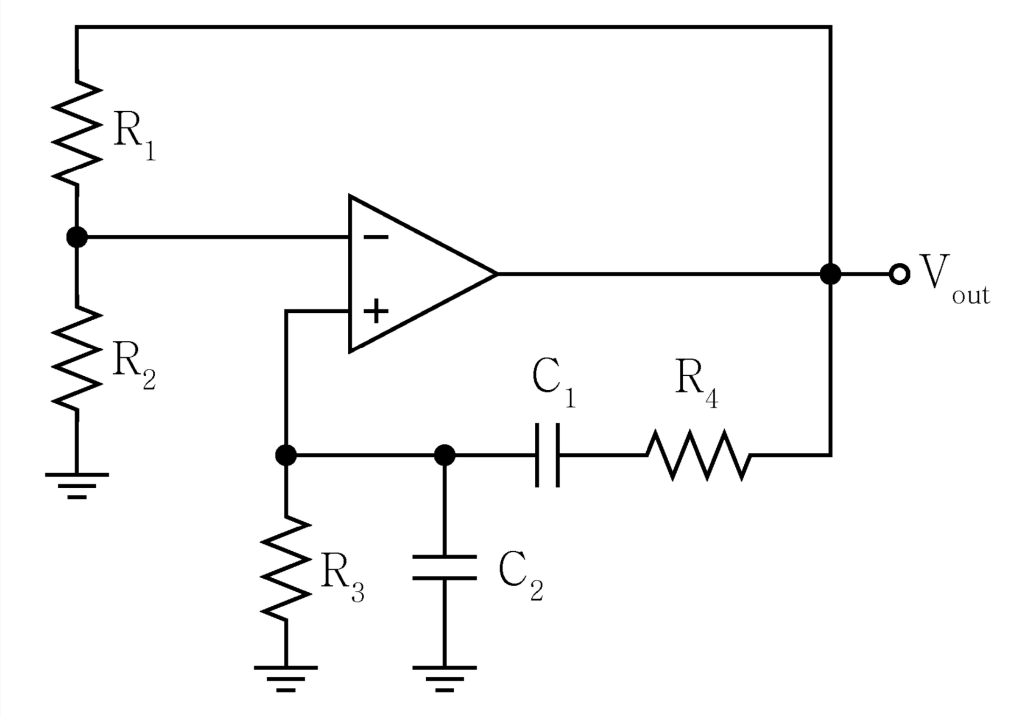
② O: 이상적인 반전 증폭기는 입력과 출력 사이에 180도 위상차를 만든다. 신호가 회로를 한 바퀴 돌아 원래 신호를 강화하려면 전체 위상 변화가 360도의 정수배여야 하므로, **RC 네트워크에서도 180도**의 위상 천이가 필요하다.

③ X: 그림과 같은 RC 네트워크로 발진하려면 **최소 3개의 RC 회로**가 필요하다. 두 단만으로는 유한한 0이 아닌 주파수에서 180도 위상 천이를 얻을 수 없다. 위상 천이가 180도에 가까워지는 저주파 극한에서는 전달되는 신호의 크기도 0에 가까워지므로, 유한한 증폭기 이득으로 발진 조건을 만족시킬 수 없다. 세 단 이상을 사용하면 0이 아닌 주파수에서 필요한 위상 조건을 만족시킬 수 있다.

④ O: 발진을 시작할 때는 작은 초기 신호가 회로를 한 바퀴 돌 때마다 커져야 한다. 발진 주파수에서 RC 네트워크의 전달비를 β라 하면, 루프 이득의 크기는 $K|\beta|$이므로 K를 **루프 이득의 크기가 1보다 크도록** 선택해야 한다. 이는 진폭이 일정하게 유지되는 발진의 루프 이득 크기 1과 구별된다.

NoteBase

문 3. 다음 윈브리지(Wien bridge) 발진기 회로의 폐루프 이득으로 옳은 것은?



① $\frac{R_1 + R_2}{R_1}$
② $\frac{R_1 + R_2}{R_2}$
③ $\frac{R_1}{R_1 + R_2}$
④ $\frac{R_2}{R_1 + R_2}$

정답 2번

간단한 해설

출력과 반전 입력 사이에 R_1, 반전 입력과 접지 사이에 R_2가 연결된 **비반전 증폭기**이다. 폐루프 이득은 $1 + \frac{R_1}{R_2} = \frac{R_1 + R_2}{R_2}$이다.

NoteBase

공통 해설

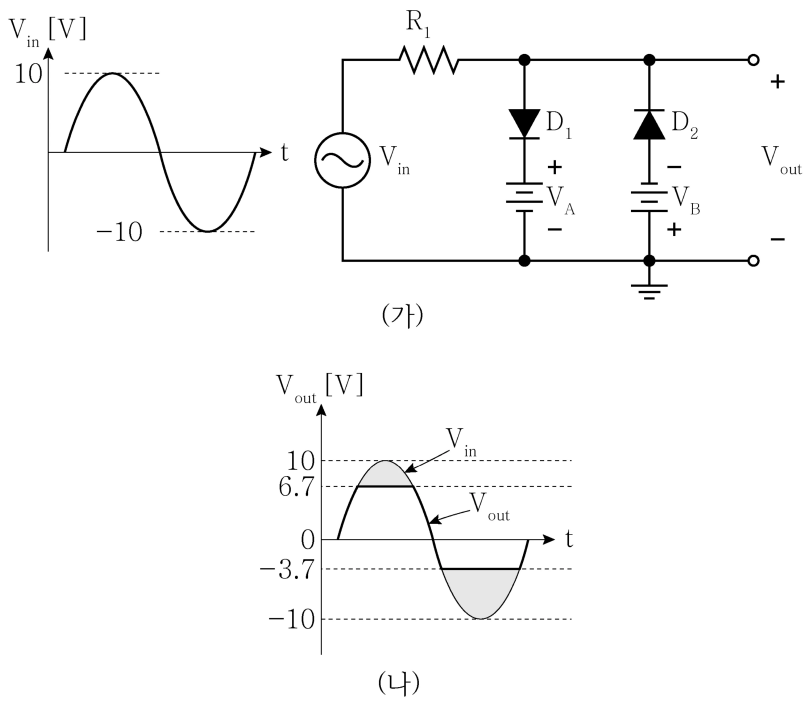
그림에서 R_1은 출력과 반전 입력(−) 사이의 귀환 저항이고, R_2는 반전 입력과 접지 사이의 저항이다. 비반전 입력(+)에는 RC 회로를 거친 신호가 들어오므로, 증폭부는 비반전 증폭기이며 폐루프 이득은 비반전 입력 전압에 대한 출력 전압의 비이다.

이상적인 연산증폭기가 음의 귀환에 의해 선형 동작한다고 보면 입력 전류는 0이고 두 입력 전압은 같다. 따라서 저항 분압에 의해 $V_- = V_{\text{out}}\frac{R_2}{R_1+R_2}$이고, $V_+ = V_-$이다. 이 관계에서 폐루프 이득은 $A_{\text{CL}} = \frac{V_{\text{out}}}{V_+} = \frac{R_1+R_2}{R_2}$가 된다.

이득식의 분모에는 **반전 입력과 접지 사이의 저항**인 R_2가 들어간다. $\frac{R_2}{R_1+R_2}$는 출력 중 반전 입력으로 되돌아오는 전압의 비이며, 구하려는 증폭 이득은 그 역수이다.

NoteBase

문 4. 그림 (가) 회로에 정현파 전압 V_{in}을 입력할 때, 그림 (나)의 출력 전압 V_{out}을 얻기 위한 전압 V_A[V]와 V_B[V]를 바르게 연결한 것은? (단, 다이오드 D_1, D_2의 순방향 전압은 0.7[V]이다)



① V_A: 3, V_B: 3

② V_A: 3, V_B: 6

③ V_A: 6, V_B: 3

④ V_A: 6, V_B: 6

정답 3번

간단한 해설

출력의 위쪽 제한 전압은 $V_A + 0.7$, 아래쪽 제한 전압은 $-V_B - 0.7$이다. 그림의 **+6.7 V와 −3.7 V**에 맞추면 $V_A = 6$ V, $V_B = 3$ V가 된다.

NoteBase

계산 과정

그림 (가)는 다이오드가 도통할 때 출력 전압의 위아래를 제한하는 회로이다. 두 다이오드가 모두 꺼져 있으면 저항 R_1에 전류가 흐르지 않아 $V_{out} = V_{in}$이다. 입력이 제한 범위를 벗어나면 해당 다이오드가 도통하여 출력을 제한하고, 입력과 출력의 전압 차는 저항에 걸린다. 다이오드의 순방향 전압은 주어진 0.7 V를 사용한다.

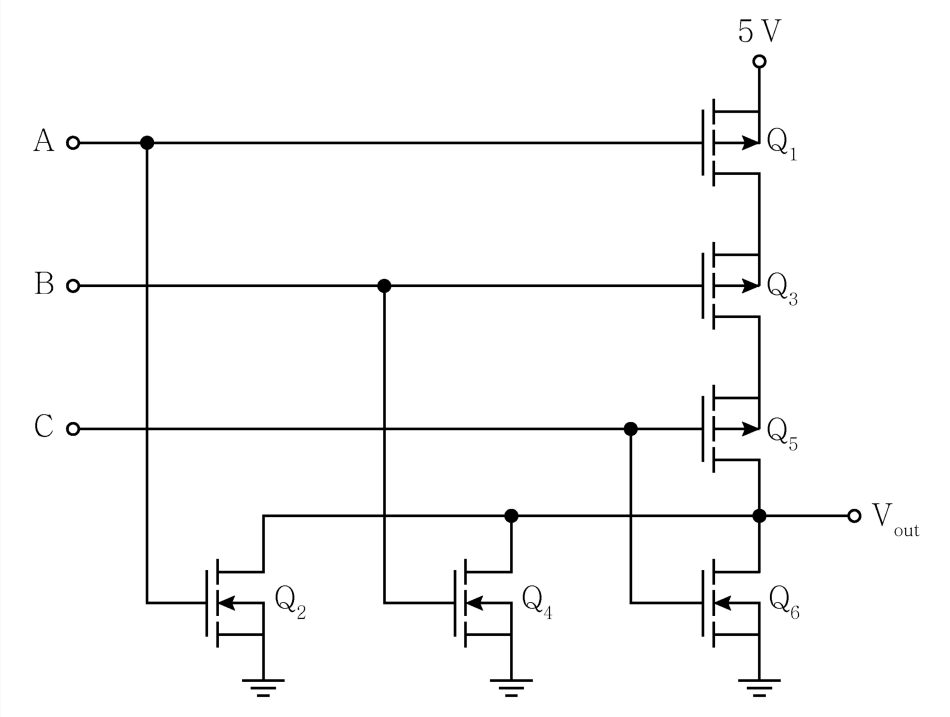
위쪽 제한과 V_A: D_1의 애노드는 출력에, 캐소드는 전원 V_A의 +단자에 연결되어 있다. 따라서 출력이 V_A보다 0.7 V 높아지면 D_1이 도통하여 **출력의 최댓값을 제한**한다. 그림 (나)의 위쪽 평탄한 부분이 +6.7 V이므로 $V_A + 0.7 = 6.7$이다. 이를 풀면 $V_A = 6.7 - 0.7 = 6$ V이다.

아래쪽 제한과 V_B: 전원 V_B는 +단자가 접지되어 있으므로 위쪽 −단자의 전위는 $-V_B$이다. 이 단자에 D_2의 애노드가, 출력에 캐소드가 연결되어 있다. 출력이 $-V_B$보다 0.7 V 낮아지면 D_2가 도통하므로 **아래쪽 제한 전압은 음수**인 $-V_B - 0.7$이다. 그림 (나)의 아래쪽 평탄한 부분이 −3.7 V이므로 $-V_B - 0.7 = -3.7$이다. 이를 풀면 $V_B = 3.7 - 0.7 = 3$ V이다.

따라서 필요한 전원 전압은 $V_A = 6$ V, $V_B = 3$ V이며, ③의 조합과 일치한다.

NoteBase

문 5. 다음 그림과 같이 CMOS를 이용한 디지털 논리회로의 출력을 나타낸 논리 게이트는?



① AND

② OR

③ NAND

④ NOR

정답 4번

간단한 해설

입력 A, B, C가 **모두 0일 때만 출력이 1**이고, 하나라도 1이면 출력이 0이다. 이는 OR의 출력을 반전한 NOR 동작이다.

NoteBase

공통 해설

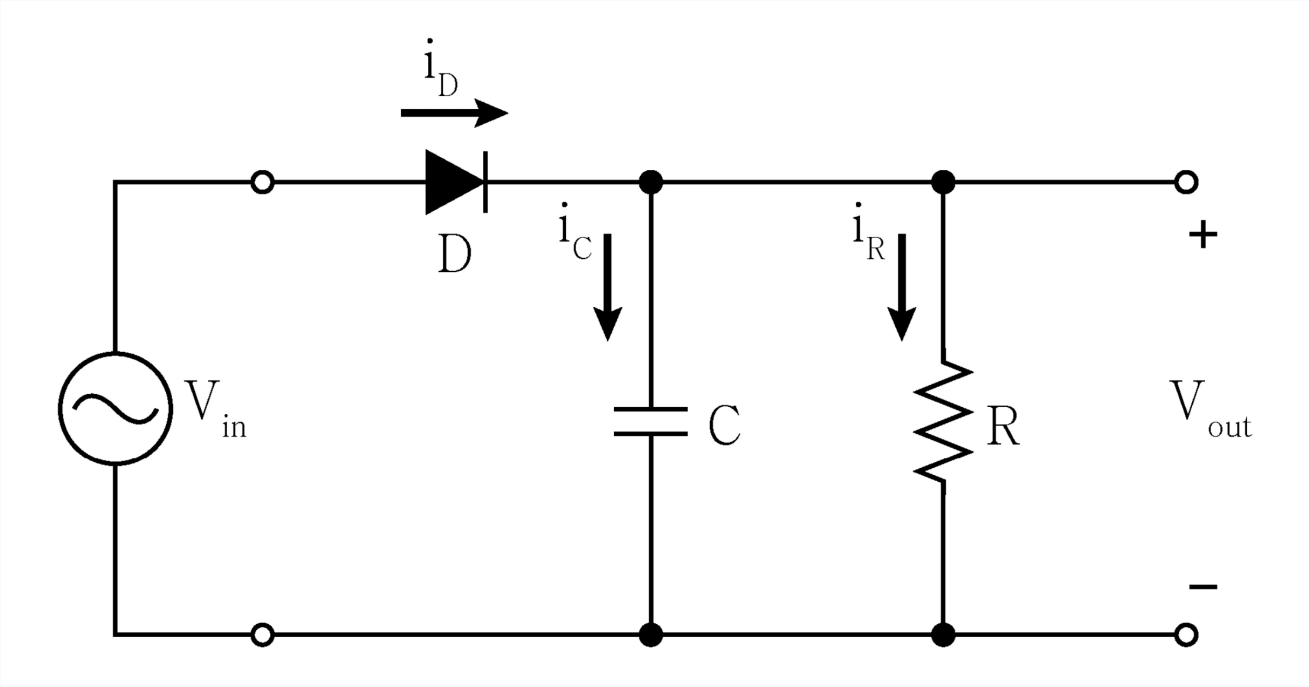
그림에서 5 V 전원과 출력 사이의 p채널 MOSFET Q_1, Q_3, Q_5는 직렬이고, 출력과 접지 사이의 n채널 MOSFET Q_2, Q_4, Q_6는 병렬이다. 논리 0을 0 V, 논리 1을 5 V로 보면, p채널은 입력이 0일 때 켜지고 n채널은 입력이 1일 때 켜진다.

A, B, C가 모두 0이면 위쪽 p채널 세 개가 모두 켜져 출력이 5 V 전원에 연결된다. 아래쪽 n채널은 모두 꺼져 있으므로 출력은 논리 1이다. 입력 중 하나라도 1이면 해당 p채널이 꺼져 직렬 경로가 끊기고, 해당 n채널이 켜져 출력이 접지에 연결되므로 논리 0이 된다.

따라서 이 회로의 출력 논리값을 Y라 하면 $Y = \overline{A + B + C}$이다. 여기서 +는 OR 연산, 윗줄은 논리 반전을 뜻한다. **입력 중 하나라도 1이면 1이 되는 OR의 출력을 반전**하므로 NOR 게이트에 해당한다.

NoteBase

문 6. 다음 회로에서 피크(peak)값이 V_P = 100 [V]이고 주파수가 60 [Hz]인 정현파 입력 신호 V_{in}가 인가된다. 부하 저항 R = 10 [kΩ]으로 가정할 때 출력 전압 V_{out}의 최고조 간 (peak-to-peak) 리플 (ripple) 전압이 2 [V]일 경우, 커패시터 C[μF]의 값은? (단, 다이오드는 이상적인 모델이다)



① 20.8

② 41.7

③ 83.3

④ 166.6

정답 3번

간단한 해설

다이오드가 하나인 **반파 정류 회로**이므로 커패시터는 입력 한 주기마다 충전된다. 리플이 작을 때 부하 전류를 약 10 mA로 보고 한 주기 동안의 방전량을 적용하면, 필요한 커패시터 용량은 약 **83.3 μF**이다.

NoteBase

계산 과정

1. 충전 간격: 그림에서 다이오드 D 뒤에 커패시터 C와 부하 저항 R이 병렬로 연결되어 있다. 양의 피크 부근에서 C가 충전되고, 입력 전압이 커패시터 전압보다 낮아지면 다이오드가 차단되어 C가 R을 통해 방전한다. **반파 정류이므로 충전은 입력 한 주기마다** 일어나며, 충전 사이의 간격은 $T = \frac{1}{f} = \frac{1}{60}$s이다.

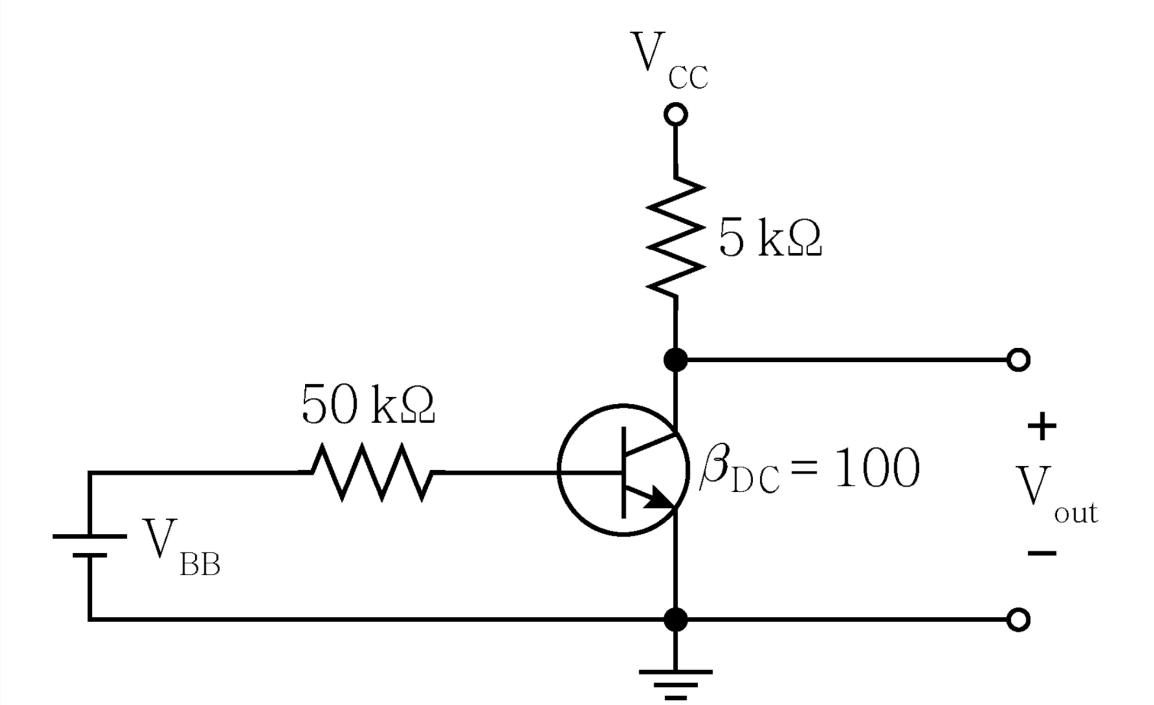
2. 부하 전류: 이상적인 다이오드에는 순방향 전압 강하가 없으므로 출력의 최댓값은 입력 피크값인 100 V이다. 피크 대 피크 리플 전압 $V_{r(pp)}$은 출력의 최댓값과 최솟값의 차이인 2 V이다. 리플이 피크값의 2%로 작으므로 **출력 전압을 피크값으로 근사**하여 부하 전류를 구한다. $I_R \simeq \frac{V_P}{R} = \frac{100}{10000} = 0.01$A이므로 약 10 mA가 흐른다.

3. 방전량과 리플의 관계: 작은 리플 근사에서는 짧은 충전 시간을 무시하고 방전 시간을 거의 한 주기로 본다. 이때 부하에 공급하는 전하량은 $\Delta Q \simeq I_R T$이다. 커패시터의 전하량 변화와 전압 변화는 $\Delta Q = C V_{r(pp)}$로 연결되므로, 리플 전압은 $V_{r(pp)} \simeq \frac{I_R}{fC}$가 된다.

4. 커패시터 용량: 위 관계를 C에 대해 정리하면 $C \simeq \frac{I_R}{f V_{r(pp)}}$이다. 값을 대입하면 $C \simeq \frac{0.01}{60 \cdot 2}$F이고, 이를 μF로 바꾸면 약 83.3 μF이다. 따라서 계산값은 ③의 83.3에 해당한다.

NoteBase

문 7. 다음 회로에서 $V_{out}[V]$은? (단, $V_{CC} = 15[V]$, $V_{BB} = 2[V]$, $V_{BE} = 0.7[V]$, $\beta_{DC} = 100$이다)



① 1

② 2

③ 3

④ 4

정답 2번

간단한 해설

출력은 **컬렉터와 접지 사이의 전압**이므로 전원 15 V에서 컬렉터 저항의 전압 강하를 뺀다. 베이스 전류 26 μA에 전류 이득 100을 곱하면 컬렉터 전류는 2.6 mA이고, 5 kΩ에서 13 V가 떨어져 출력은 2 V이다.

NoteBase

계산 과정

회로의 기준: 이미터가 접지되어 있고 출력의 +단자는 컬렉터, −단자는 접지에 연결되어 있다. 따라서 $V_{out} = V_{CE}$이다. 베이스 저항을 $R_B = 50\text{k}\Omega$, 컬렉터 저항을 $R_C = 5\text{k}\Omega$로 두고, 먼저 트랜지스터가 활성영역에서 동작한다고 가정한다.

베이스 전류: 베이스 쪽 폐회로에서 전원 2 V는 베이스 저항과 베이스–이미터 접합에 나뉘어 걸린다. 따라서 **베이스 저항에 걸리는 전압**은 2 − 0.7 = 1.3 V이다. 옴의 법칙으로 $I_B = \frac{V_{BB} - V_{BE}}{R_B}$이며, $I_B = \frac{1.3\text{V}}{50\text{k}\Omega} = 26\mu\text{A}$이다.

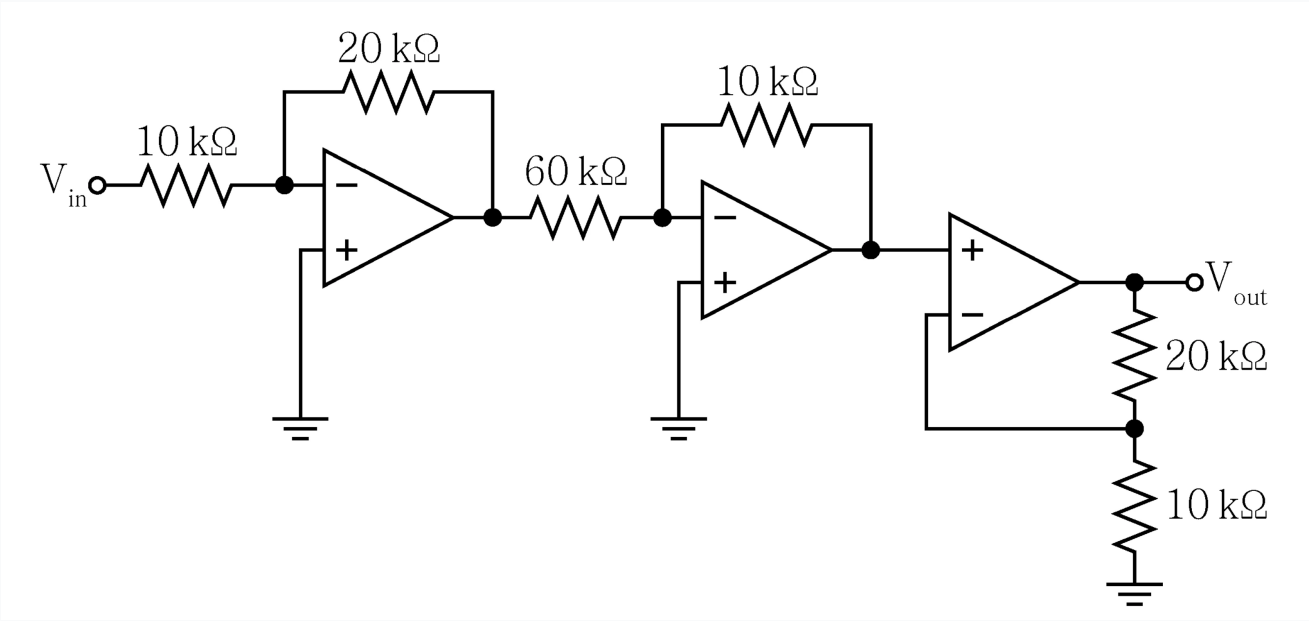
컬렉터 전류와 저항의 전압 강하: 활성영역에서는 $I_C = \beta_{DC} I_B$이므로 컬렉터 전류는 100 × 26 μA = 2.6 mA이다. 이 전류가 5 kΩ 저항을 흐르므로 저항의 전압 강하는 2.6 mA × 5 kΩ = 13 V이다.

출력 전압과 동작영역 확인: 컬렉터 쪽 폐회로에 전압 법칙을 적용하면 $V_{out} = V_{CC} - I_C R_C$이다. 따라서 출력은 15 − 13 = 2 V이다. 이미터가 접지되어 베이스 전압은 0.7 V이고, 계산한 컬렉터 전압 2 V는 이보다 높다. 베이스–이미터 접합은 순방향, 베이스–컬렉터 접합은 역방향이므로 **활성영역 가정이 성립**한다.

구한 출력 전압은 2 V로, ②의 값과 일치한다.

NoteBase

문 8. 이상적인 OP-amp 회로의 전압이득 $\frac{V_{out}}{V_{in}}$은?



① 1

② 2

③ 3

④ 4

정답 1번

간단한 해설

앞의 두 단은 반전 증폭기이고 마지막 단은 비반전 증폭기이므로, **각 단의 전압이득을 곱한다**. 전체 이득은 $(-2)\cdot\left(-\frac{1}{6}\right)\cdot 3 = 1$이므로 출력 전압은 입력 전압과 크기와 극성이 같다.

NoteBase

계산 과정

세 OP-amp 모두 음의 되먹임이 걸려 있다. 이상적인 OP-amp가 선형 영역에서 동작할 때 **두 입력 단자의 전압은 같고 입력 전류는 0**이다. 따라서 비반전 입력이 접지된 첫째·둘째 단의 반전 입력은 가상 접지, 즉 전압이 0 V인 점으로 볼 수 있다. 첫째 단과 둘째 단의 출력 전압을 각각 V_1, V_2로 둔다.

첫째 단: 입력 저항은 10 kΩ, 출력에서 반전 입력으로 연결된 되먹임 저항은 20 kΩ이다. 반전 입력으로 전류가 들어가지 않으므로 입력 저항과 되먹임 저항에 흐르는 전류가 같다. 이 조건에서 반전 증폭기의 이득은 **되먹임 저항과 입력 저항의 비에 음수를 붙인 값**이므로 $\frac{V_1}{V_{in}} = -\frac{20}{10} = -2$이다. 첫째 단의 출력은 입력의 극성을 반전시키고 크기를 2배로 만든다.

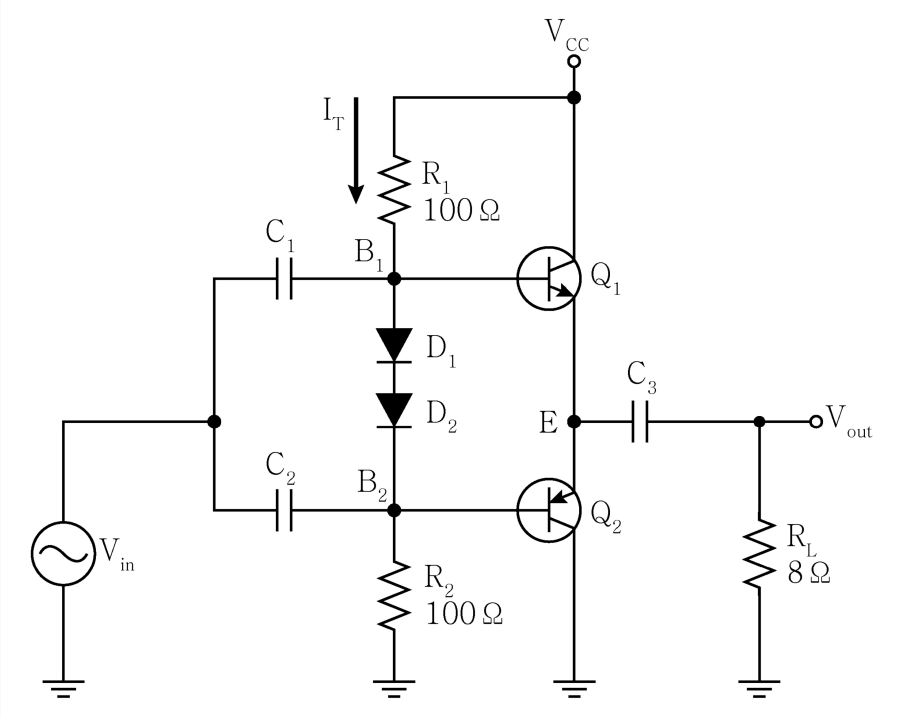
둘째 단: 입력 저항은 60 kΩ, 되먹임 저항은 10 kΩ인 반전 증폭기이다. 따라서 $\frac{V_2}{V_1} = -\frac{10}{60} = -\frac{1}{6}$이다. 앞의 두 단을 통과하면 극성이 두 번 반전되어 원래 극성으로 돌아오며, $V_2 = \frac{1}{3}V_{in}$이 된다.

셋째 단: 신호가 비반전 입력으로 들어가고, 반전 입력에는 출력과 접지 사이의 20 kΩ·10 kΩ 분압점이 연결되어 있다. 반전 입력 전류가 0이므로 이 점의 전압은 $V_- = \frac{10}{20+10}V_{out} = \frac{1}{3}V_{out}$이다. 두 입력의 전압이 같아 $V_- = V_2$이므로 $\frac{V_{out}}{V_2} = 3$이다. 즉, 마지막 단은 **극성을 유지하면서 3배로 증폭**한다.

전체 이득: 각 단의 출력이 다음 단의 입력이므로 전압이득을 곱하면 $\frac{V_{out}}{V_{in}} = (-2)\cdot\left(-\frac{1}{6}\right)\cdot 3 = 1$이다. 전압끼리의 비이므로 단위는 없으며, 선택지 ①의 1과 일치한다.

NoteBase

문 9. 다음 회로에서 전류 I_T [mA]와 전압 V_{B_2} [V]으로 바르게 연결한 것은? (단, $V_{B_1E} = V_{EB_2} = 0.7$ [V], $V_{CC} = 20$ [V], $I_{CQ} = 0$이고, 다이오드 D_1, D_2의 순방향 전압은 0.7 [V]이다)



① I_T [mA]: 93, V_{B_2} [V]: 9.3

② I_T [mA]: 93, V_{B_2} [V]: 10.7

③ I_T [mA]: 107, V_{B_2} [V]: 9.3

④ I_T [mA]: 107, V_{B_2} [V]: 10.7

정답 1번

간단한 해설

두 다이오드의 **순방향 전압 합 1.4 V를 제외한 18.6 V**가 두 100 Ω 저항에 걸려 전류는 93 mA이다. 하단 베이스는 접지와 연결된 저항의 위쪽에 있으므로 전압은 9.3 V이다.

NoteBase

계산 과정

직류 바이어스를 구할 때 커패시터 C_1, C_2, C_3는 개방으로 취급하므로 입력 신호원과 8 Ω 부하는 직류 계산에 영향을 주지 않는다. 주어진 $I_{CQ} = 0$ 조건에서 트랜지스터의 베이스 전류도 0으로 두면, **두 저항과 두 다이오드에 같은 전류** I_T가 흐른다.

전류 계산: 전원에서 접지로 이어지는 경로는 R_1, D_1, D_2, R_2의 직렬 경로이다. 두 다이오드의 전압 강하는 0.7 + 0.7 = 1.4 V이므로 저항에 걸리는 전압은 20 − 1.4 = 18.6 V이다. 저항 합은 100 + 100 = 200 Ω이므로, 옴의 법칙에 따라 $I_T = \frac{20 - 0.7 - 0.7}{100 + 100} = 0.093$A이다. 이를 mA로 환산하면 93 mA이다.

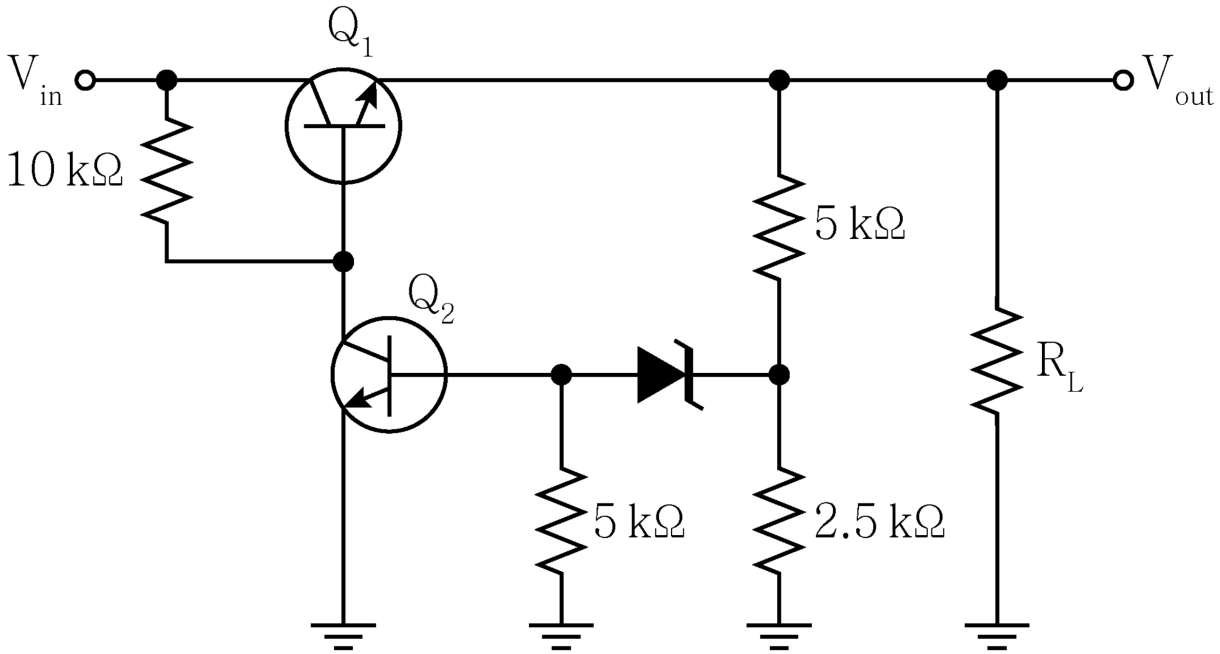
하단 베이스 전압 계산: B_2는 R_2의 위쪽 단자이고 아래쪽 단자는 접지이므로, **접지 기준 베이스 전압은 하단 저항의 전압 강하**와 같다. 따라서 $V_{B_2} = I_T R_2 = 0.093 \cdot 100 = 9.3$V이다.

두 베이스 전압 구분: 주어진 $V_{EB_2} = 0.7$V에 따라 공통 이미터 전압은 $V_E = 9.3 + 0.7 = 10$V이다. 또한 $V_{B_1E} = 0.7$V이므로 $V_{B_1} = 10 + 0.7 = 10.7$V이다. 즉 10.7 V는 상단 베이스의 전압이다.

구한 $I_T = 93$mA, $V_{B_2} = 9.3$V의 조합은 ①과 일치한다.

NoteBase

문 10. 다음 회로에서 입력전압 V_{in}에 30 [V]의 비안정화 전압이 입력되고 있다. 모든 트랜지스터의 베이스-이미터 순방향 전압은 0.7 [V]이며 제너 다이오드의 제너 전압은 4.3 [V]이다. 안정화된 출력전압 V_{out} [V]는?



① 5

② 10

③ 15

④ 20

정답 3번

간단한 해설

제너 다이오드와 Q_2의 베이스-이미터 전압을 더하면 **출력 분압점의 전압은 5 V**이다. 제너 가지의 부하 효과를 무시하는 분압 근사에서 이 전압은 출력의 1/3이므로, 출력전압은 15 V이다.

NoteBase

계산 과정

1. 분압점 전압: 오른쪽 5 kΩ과 2.5 kΩ 사이의 접점을 A라 하자. Q_2의 이미터는 접지되어 있으므로 순방향 동작 시 베이스 전압은 0.7 V이다. 제너 다이오드는 A 쪽이 캐소드이고 베이스 쪽이 애노드이므로, 항복 상태에서는 **A의 전압이 베이스보다 4.3 V 높다**. 따라서 $V_A = V_Z + V_{BE2}$이며, A의 전압은 4.3 + 0.7 = 5 V이다.

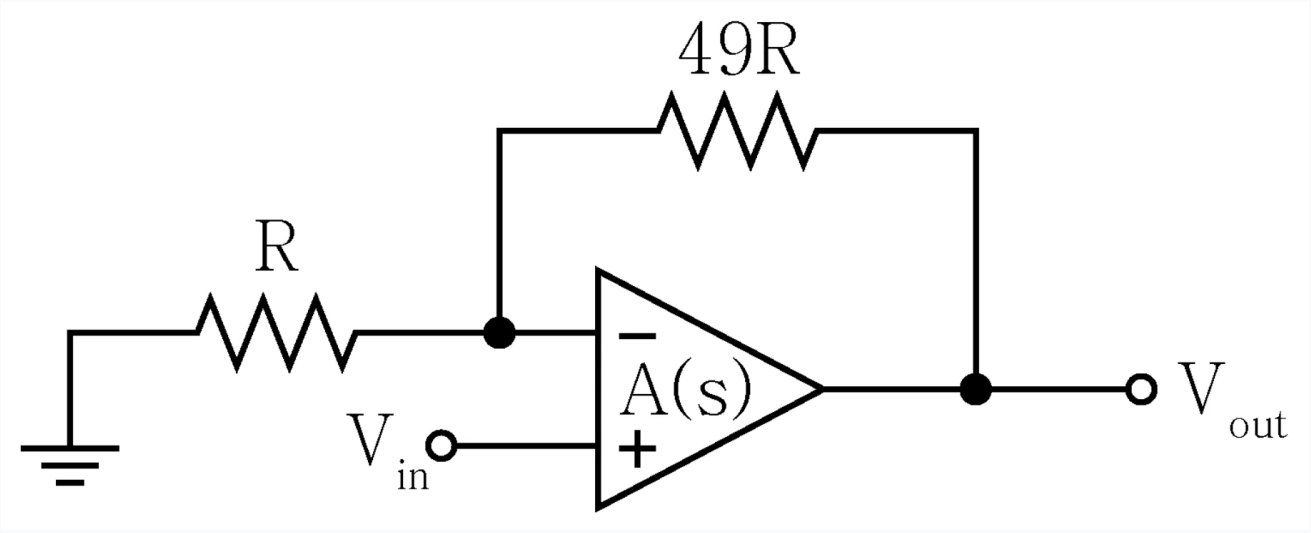
2. 출력전압 계산: **제너 가지로 흐르는 전류가 분압에 미치는 영향을 무시하는 근사**를 적용한다. 그러면 오른쪽 두 저항에 같은 전류가 흐르므로, 접지 쪽 2.5 kΩ에 걸리는 전압은 $V_A \approx \frac{2.5}{5+2.5} V_{out} = \frac{V_{out}}{3}$이다. A의 전압이 5 V이므로 $V_{out} \approx 3V_A = 15\text{V}$이다.

3. 전압 안정화: 출력이 상승하면 A의 전압과 Q_2의 도통이 증가하여 Q_1의 베이스 전압을 낮추고, 출력을 다시 낮추는 방향으로 작용한다. Q_1의 0.7 V는 그 베이스와 출력인 이미터 사이의 전압차이므로, 앞서 구한 출력에서 다시 빼지 않는다. 입력 30 V와 출력 사이의 전압차는 직렬 제어 소자인 Q_1에 걸린다. 분압 근사로 구한 출력전압 15 V는 ③의 값에 해당한다.

NoteBase

문 11. 회로의 비반전 증폭기에 사용된 연산 증폭기(A(s))는 다음과 같은 전달 함수 특성을 나타내고 있다. 이 경우 비반전 증폭기의 대역폭 [rad/s]은?

$A(s) = \frac{10^5}{1 + \frac{s}{10}}$



① 10

② 50

③ 20000

④ 10^5

정답 3번

간단한 해설

이 회로의 폐루프 저주파 이득은 약 50이며, 단일 극 연산 증폭기의 **이득·대역폭 곱**을 적용하면 대역폭은 약 20000 rad/s이다.

NoteBase

계산 과정

1. 귀환계수: 그림에서 출력과 반전 입력 사이의 저항은 49R, 반전 입력과 접지 사이의 저항은 R이다. 입력 전류를 무시하면 두 저항이 출력 전압을 분압하므로, 출력 중 반전 입력으로 돌아오는 비율은 $\beta = \frac{R}{R+49R} = \frac{1}{50}$이다. 입력은 비반전 단자에 들어가고 출력은 반전 단자로 되돌아오므로 **음귀환** 회로이다.

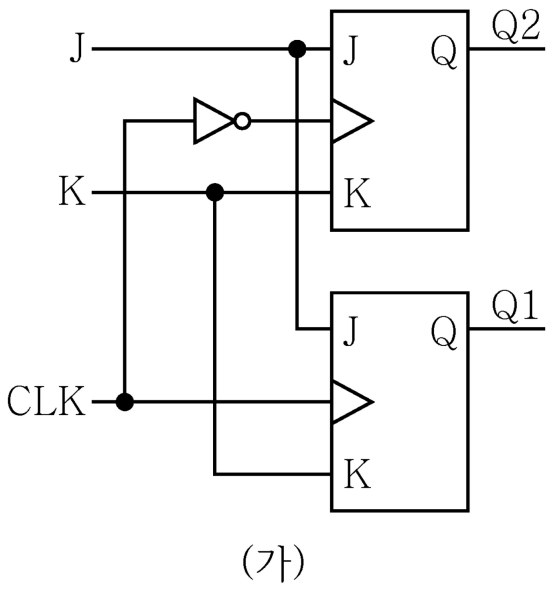
2. 개방루프 특성: 주어진 $A(s) = \frac{10^5}{1+s/10}$에서 저주파 개방루프 이득은 $A_0 = 10^5$, 개방루프 극의 각주파수는 $\omega_p = 10$ rad/s이다. 단일 극 저역통과 특성이므로 이 각주파수에서 개방루프 이득의 크기가 저주파 값의 $\frac{1}{\sqrt{2}}$로 줄어든다.

3. 폐루프 전달함수: 차동 입력 전압은 $V_{\text{in}} - \beta V_{\text{out}}$이므로 $V_{\text{out}} = A(s)(V_{\text{in}} - \beta V_{\text{out}})$이다. 이를 정리하면 $H(s) = \frac{A(s)}{1+\beta A(s)}$이며, 주어진 값을 대입하면 $H(s) = \frac{10^5}{2001+s/10}$을 얻는다. 여기서 2001은 $1 + \beta A_0 = 1 + 2000$으로, **음귀환에 의한 대역폭 확대 배율**이다.

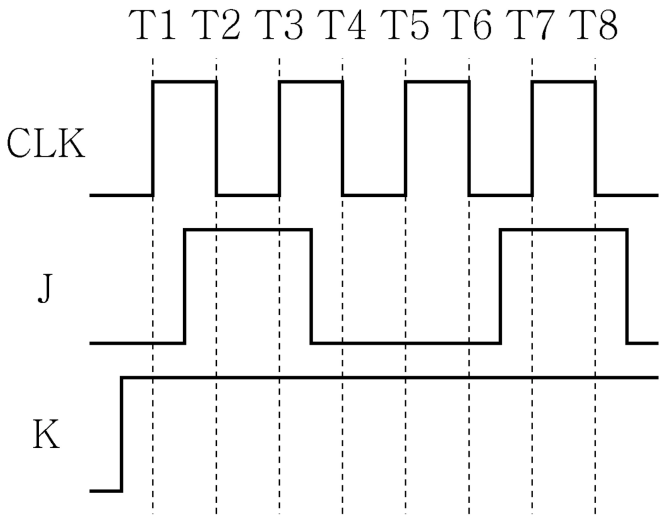
4. 대역폭: 폐루프 전달함수의 분모를 2001로 나누면 주파수 항은 $1 + s/20010$이 된다. 따라서 폐루프 극의 각주파수는 $\omega_B = 10 \cdot 2001 = 20010$ rad/s이다. 이 회로도 단일 극 저역통과 특성이므로 이 값이 저주파 이득 대비 3 dB 감소하는 대역폭이다. $\beta A_0 = 2000$이 1보다 매우 크므로 통상 근사하면 대역폭은 약 20000 rad/s이며, ③의 값에 해당한다.

NoteBase

문 12. 다음 그림 (가)의 JK 플립플롭 회로에서 Q 값은 초기에 모두 '0'인 상태에서 시작한다. 그림 (나)와 같은 입력 조건일 때, 구간 T3 ~ T4와 구간 T6 ~ T7에서 Q1, Q2의 상태를 바르게 연결한 것은? (단, 각 플립플롭의 상태변화 시 지연은 없다)



(가)



(나)

① 구간(T3 ~ T4) Q1: 0, 구간(T3 ~ T4) Q2: 1, 구간(T6 ~ T7) Q1: 1, 구간(T6 ~ T7) Q2: 0

② 구간(T3 ~ T4) Q1: 1, 구간(T3 ~ T4) Q2: 0, 구간(T6 ~ T7) Q1: 1, 구간(T6 ~ T7) Q2: 1

③ 구간(T3 ~ T4) Q1: 1, 구간(T3 ~ T4) Q2: 1, 구간(T6 ~ T7) Q1: 0, 구간(T6 ~ T7) Q2: 0

④ 구간(T3 ~ T4) Q1: 1, 구간(T3 ~ T4) Q2: 1, 구간(T6 ~ T7) Q1: 1, 구간(T6 ~ T7) Q2: 0

정답 3번

간단한 해설

Q_1은 CLK의 **상승 에지**에서, Q_2는 반전된 클록을 받으므로 CLK의 **하강 에지**에서 갱신된다. K가 1인 상태에서 J가 1이면 출력이 반전되고 J가 0이면 출력이 0이 되므로, T3~T4에서는 $(Q_1, Q_2) = (1, 1)$, T6~T7에서는 $(Q_1, Q_2) = (0, 0)$이다.

NoteBase

계산 과정

동작 시점: 그림 (가)의 두 플립플롭은 클록 입력의 삼각형 기호에 따라 상승 에지에서 동작한다. 아래쪽 Q_1에는 CLK가 직접 들어가므로 T1·T3·T5·T7에서 갱신된다. 위쪽 Q_2에는 반전기를 거친 클록이 들어가므로 **원래 CLK의 하강 에지**인 T2·T4·T6·T8에서 갱신된다. 각 출력은 자신의 동작 에지 사이에서는 이전 상태를 유지하며, 문제의 조건에 따라 에지에서의 상태변화 지연은 없다.

적용할 상태변화 규칙: 두 출력은 처음에 모두 0이고, 그림 (나)에서 K는 T1 이전에 1이 된 뒤 계속 유지된다. 따라서 각 동작 에지에서 J = 0, K = 1이면 출력은 0으로 리셋되고, J = 1, K = 1이면 **직전 출력의 반대 값**으로 바뀐다. 이를 K = 1일 때의 관계식 $Q^+ = J \cdot \overline{Q}$로 나타낼 수 있다. 여기서 Q는 직전 출력, Q^+는 해당 에지 직후의 출력이다.

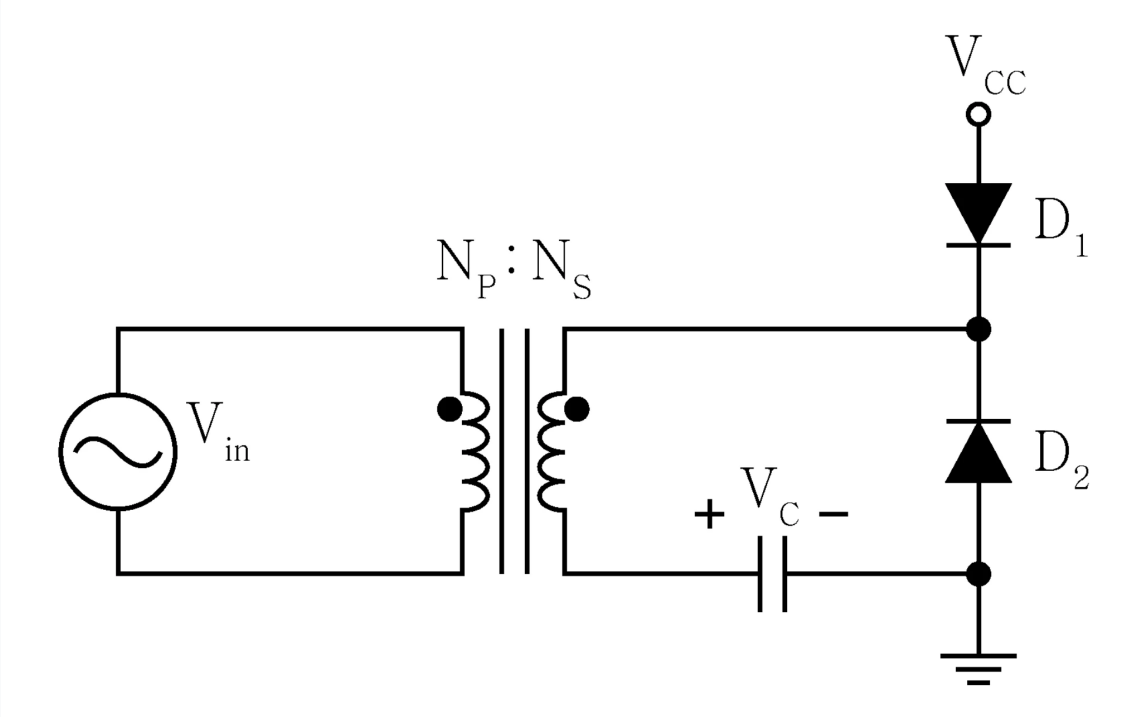
Q_1 추적: T1에서는 J = 0이므로 초기값 0을 유지한다. T3에서는 J = 1이므로 0에서 1로 반전된다. T3~T4 사이에 J가 0으로 내려가도 **다음 상승 에지 전까지 출력은 유지**되므로 이 구간의 Q_1은 1이다. T5에서는 J = 0이므로 0으로 리셋되고, 다음 상승 에지는 T7이므로 T6~T7에서도 Q_1은 0이다.

Q_2 추적: T2에서는 J = 1이므로 초기값 0에서 1로 반전된다. 다음 동작 에지가 T4이므로 T3~T4의 Q_2는 1이다. T4에서는 J = 0이므로 0으로 리셋되며, T6에서도 J = 0이므로 0을 유지한다. T6~T7 사이에 J가 1로 올라가더라도 **동작 에지가 아니므로** Q_2는 0을 유지한다.

두 구간의 결과: T3~T4에서는 $Q_1 = 1, Q_2 = 1$이고, T6~T7에서는 $Q_1 = 0, Q_2 = 0$이다. 이 상태 조합은 ③에 해당한다.

NoteBase

문 13. 다음 회로에서 $V_{in} = 12\sin(2\pi \times 60t)$[V], $V_{CC} = 9$[V], 다이오드 D_1과 D_2의 순방향 전압은 3[V]이다. 변압기의 턴 비가 $N_P : N_S = 1 : 3$일 때, 다이오드 D_1의 최대 역전압[V]은? (단, 모든 소자는 이상적으로 동작한다)



① 57

② 60

③ 63

④ 69

정답 4번

간단한 해설

커패시터가 충전된 정상상태에서는 D_1의 캐소드 전위가 6 V에서 78 V까지 변한다. 애노드는 9 V로 고정되어 있으므로 **최대 역전압**은 $78 - 9 = 69$ V이다.

NoteBase

계산 과정

2차측 전압: 변압기 2차측 위쪽 단자의 대지 전위를 v_a, 아래쪽 단자의 대지 전위를 v_b라 두면, 권선 양단 전압은 $v_s = v_a - v_b$이다. 이상적인 변압기는 **전압비가 권수비와 같으므로** 2차측 전압의 진폭은 $V_{s,\mathrm{m}} = 12 \cdot \frac{3}{1} = 36\mathrm{V}$이다. 따라서 v_s는 −36 V에서 +36 V까지 변한다.

최저 전위: 그림에서 D_1의 애노드는 9 V 전원에, 캐소드는 2차측 위쪽 단자에 연결되어 있다. 위쪽 단자의 전위가 내려가면 D_1이 도통하여 **최저 전위를 9 − 3 = 6 V로 제한**한다. D_2는 애노드가 접지에 있으므로 이때도 역바이어스되어 도통하지 않는다.

커패시터 충전 전압: 정상상태의 음의 피크에서 $v_s = -36\mathrm{V}$, $v_a = 6\mathrm{V}$이므로 $v_b = v_a - v_s = 6 - (-36) = 42\mathrm{V}$이다. 커패시터의 오른쪽 단자는 접지되어 있으므로 그림의 극성에 따른 충전 전압은 $V_C = 42\mathrm{V}$이다. 다이오드가 차단된 동안에는 **방전 경로가 없어 이 전압이 유지**된다.

최고 전위: 양의 피크에서는 $v_s = 36\mathrm{V}$이고, 커패시터가 아래쪽 단자를 42 V로 유지한다. 따라서 위쪽 단자의 최고 전위는 $v_{a,\mathrm{max}} = 42 + 36 = 78\mathrm{V}$이다. 이때 두 다이오드는 모두 역바이어스된다.

최대 역전압: 역전압의 크기는 **캐소드 전위에서 애노드 전위를 뺀 값**이다. D_1의 애노드는 9 V로 고정되어 있으므로 최대 역전압은 78 − 9 = 69 V이며, ④의 값과 일치한다.

NoteBase

문 14. JK플립플롭에 대한 설명으로 옳지 않은 것은?

① 입력 J와 Q를 2입력 AND 게이트에 K와 $\overline{Q}$를 또 다른 2입력 AND 게이트에 통과시켜, SR 플립플롭의 S와 R 대신 사용할 수 있다.

② 2개의 2입력 AND 게이트와 4개의 2입력 NAND 게이트로 JK 플립플롭을 구현할 수 있다.

③ 추가 논리 게이트 없이 JK 플립플롭으로 T 플립플롭을 구현할 수 있다.

④ J = K = 1인 경우는 T 플립플롭에서 T = 1인 경우와 동일하게 작동한다.

정답 1번

간단한 해설

①은 출력의 되먹임 연결을 반대로 설명했다. JK 플립플롭에서는 **J와 $\overline{Q}$, K와 Q**를 각각 AND 연산하여 SR 회로의 설정·리셋 입력을 만든다.

선지별 해설

① X: SR 회로의 S는 출력을 1로 설정하고, R은 출력을 0으로 리셋하는 입력이다. JK 플립플롭에서 클록이 활성화될 때 이 회로에 전달할 신호는 $S = J \cdot \overline{Q}$, $R = K \cdot Q$이다. 즉, **J에는 반전 출력, K에는 비반전 출력**을 되먹임해야 한다. Q = 0이면 J가 설정 동작을, Q = 1이면 K가 리셋 동작을 허용한다. 선지처럼 J와 Q, K와 반전 출력을 연결하면 Q = 0일 때 J를 1로 주어도 설정 신호가 발생하지 않으므로 JK 동작을 구현할 수 없다.

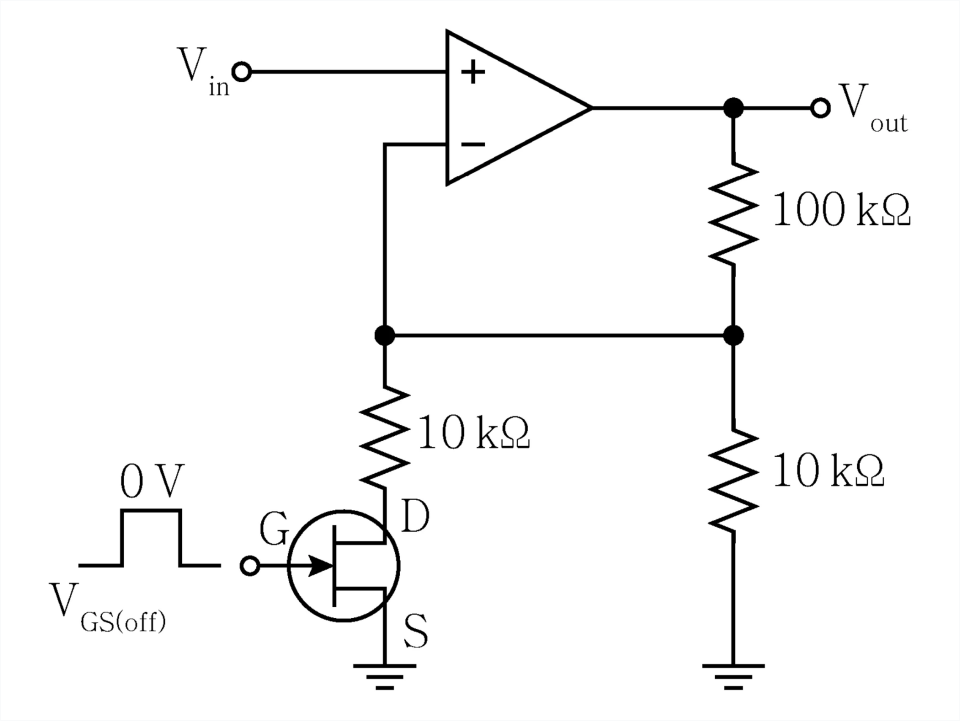
② O: 2입력 AND 게이트 2개로 $J \cdot \overline{Q}$와 $K \cdot Q$를 만든다. 이어서 2입력 NAND 게이트 2개로 각 신호와 클록을 결합하고, 나머지 2입력 NAND 게이트 2개를 서로 교차 연결하여 상태를 저장한다. 이처럼 NAND 게이트 4개를 **클록 제어용 2개와 상태 저장용 2개**로 나누면, 선지에 제시된 게이트들로 기본 JK 회로를 구성할 수 있다.

③ O: JK 플립플롭의 **J와 K를 함께 묶어 T 입력으로 사용**하면 된다. T = 0이면 J = K = 0이 되어 기존 상태를 유지하고, T = 1이면 J = K = 1이 되어 클록의 유효 동작 시점마다 상태를 반전한다. 이는 T 플립플롭의 동작과 같으며, 입력 단자를 연결하기만 하므로 추가 논리 게이트가 필요하지 않다.

④ O: J = K = 1일 때 JK 플립플롭은 **현재 출력의 반대 상태로 바뀌는 토글 동작**을 한다. 현재 출력을 Q_n, 다음 출력을 Q_{n+1}이라 하면 $Q_{n+1} = \overline{Q_n}$이다. 따라서 클록의 유효 동작 시점에 Q = 0이면 1로, Q = 1이면 0으로 바뀌며, 이는 T = 1인 T 플립플롭의 동작과 같다.

NoteBase

문 15. 다음과 같은 이상적인 연산증폭기를 이용한 회로에서 전압이득의 최댓값과 최솟값의 차는? (단, n채널 JFET의 게이트 입력전압은 0 [V]에서 차단전압 $V_{GS(off)}$까지 변화한다)



① 10

② 20

③ 30

④ 40

정답 1번

간단한 해설

JFET를 이상적인 스위치로 보면, 도통·차단에 따라 반전 입력에서 접지 쪽으로 본 등가저항이 **5 kΩ과 10 kΩ**으로 바뀐다. 비반전 증폭기의 전압이득은 각각 21과 11이므로 그 차는 10이다.

NoteBase

계산 과정

회로와 이득식: 입력이 연산증폭기의 (+) 단자에 연결된 비반전 증폭기이다. 출력과 (−) 단자 사이의 피드백 저항을 R_f, (−) 단자에서 접지 쪽으로 본 등가저항을 R_g라 하면 $R_f = 100\text{k}\Omega$이다. 이상적인 연산증폭기에 음의 되먹임이 걸리므로 두 입력 단자의 전압이 같고 입력 전류는 0이다. 따라서 저항 분압 관계로부터 전압이득은 $A_V = \frac{V_{\text{out}}}{V_{\text{in}}} = 1 + \frac{R_f}{R_g}$가 된다. 여기서는 JFET에 **도통저항과 차단 시 누설전류를 무시하는 스위치 근사**를 적용한다.

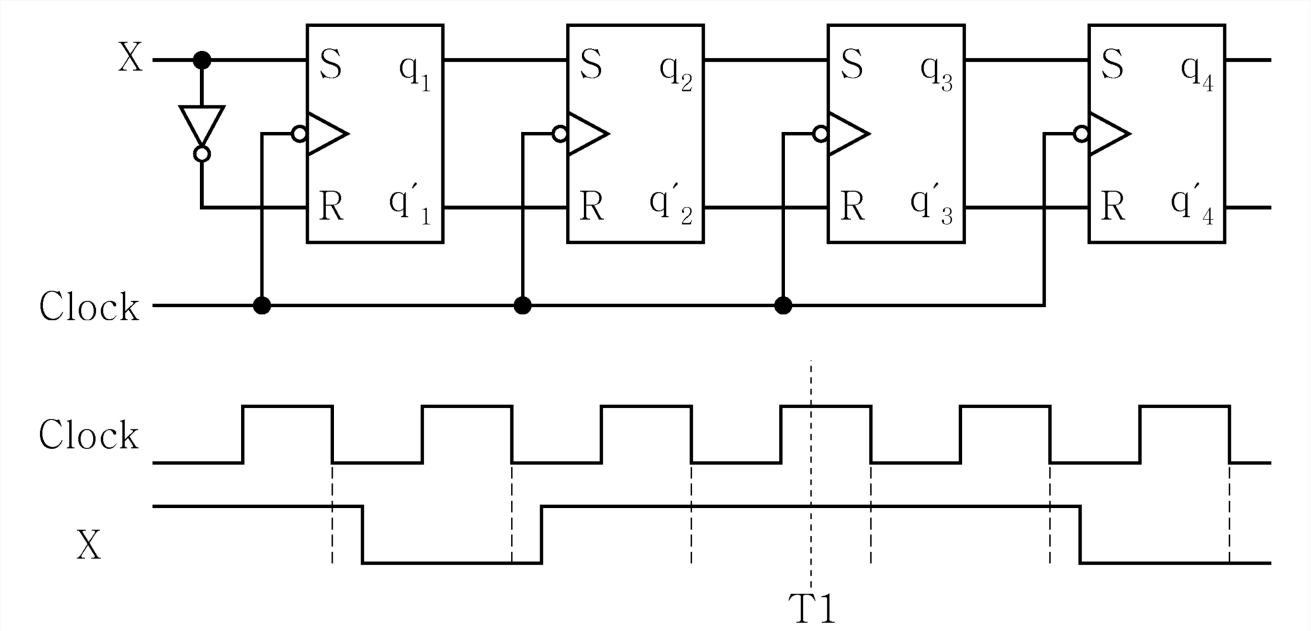
JFET 도통 시: 소스가 접지되어 있으므로 게이트 전압이 0 V이면 $V_{GS} = 0$이다. 이때 n채널 JFET는 도통하며, 드레인과 소스를 단락으로 근사한다. 왼쪽 10 kΩ 저항도 접지로 이어지므로 오른쪽 10 kΩ 저항과 **병렬로 연결**된다. 따라서 $R_g = \frac{10 \cdot 10}{10 + 10}\text{k}\Omega = 5\text{k}\Omega$이다. 접지 쪽 등가저항이 가장 작아지는 상태이므로 이득은 최댓값이며, $A_{v,\,\text{max}} = 1 + \frac{100}{5} = 21$이다.

JFET 차단 시: 게이트 전압이 차단전압 $V_{GS(\text{off})}$에 이르면 드레인과 소스 사이를 개방으로 근사한다. 왼쪽 10 kΩ 가지에는 전류가 흐르지 않으므로, 접지 쪽에는 **오른쪽 10 kΩ 저항만 남는다**. 따라서 $R_g = 10\text{k}\Omega$이고, 이득은 최솟값인 $A_{v,\,\text{min}} = 1 + \frac{100}{10} = 11$이다.

최댓값과 최솟값의 차: 21 − 11 = 10으로, ①의 10과 일치한다. 전압이득은 출력전압과 입력전압의 비이므로 이 차에는 전압 단위 V를 붙이지 않는다.

NoteBase

문 16. 다음은 SR 플립플롭을 사용한 4비트 시프트 레지스터이다. 그림과 같은 입력 조건일 때 T1 시점에서 출력 $q_1q_2q_3q_4$는? (단, 초기에 각 플립플롭의 상태 $q_1q_2q_3q_4$는 0101이며, 각 플립플롭의 상태변화 시 지연은 없다)



① 1000

② 0100

③ 1010

④ 1101

정답 3번

간단한 해설

각 플립플롭은 **클록의 하강 에지**에서 앞 단의 비트를 받아들인다. T1 이전의 세 하강 에지에서 입력 X가 1, 0, 1이므로 상태는 0101 → 1010 → 0101 → 1010으로 바뀌며, T1에서는 **1010을 유지**한다.

NoteBase

계산 과정

동작 시점: 클록 입력의 삼각형 앞에 작은 원이 있으므로 각 플립플롭은 **하강 에지에서 동작**한다. T1은 세 번째 하강 에지 이후이자 네 번째 하강 에지 이전에 있으므로, 세 번의 상태변화를 계산한다.

상태변화 규칙: 첫 단의 S에는 X, R에는 X의 반전값이 들어간다. 따라서 X가 1이면 출력이 1로 설정되고, X가 0이면 0으로 리셋된다. 나머지 단도 앞 단의 출력과 그 반전값을 S와 R로 받으므로 같은 방식으로 앞 단의 비트를 저장한다. 하강 에지 직후 값을 +로 나타내면 $q_1^+ = X$, $q_2^+ = q_1$, $q_3^+ = q_2$, $q_4^+ = q_3$이다. 우변은 모두 **해당 에지 직전의 값**이다. 공통 클록으로 동시에 갱신되므로 지연이 없어도 한 에지에서 입력 비트가 여러 단을 연속 통과하지 않는다.

첫 번째 하강 에지: X = 1이고 직전 상태는 0101이다. 첫 단에 1을 넣고, 기존의 첫째·둘째·셋째 비트 0·1·0을 각각 다음 단으로 옮기면 상태는 1010이 된다.

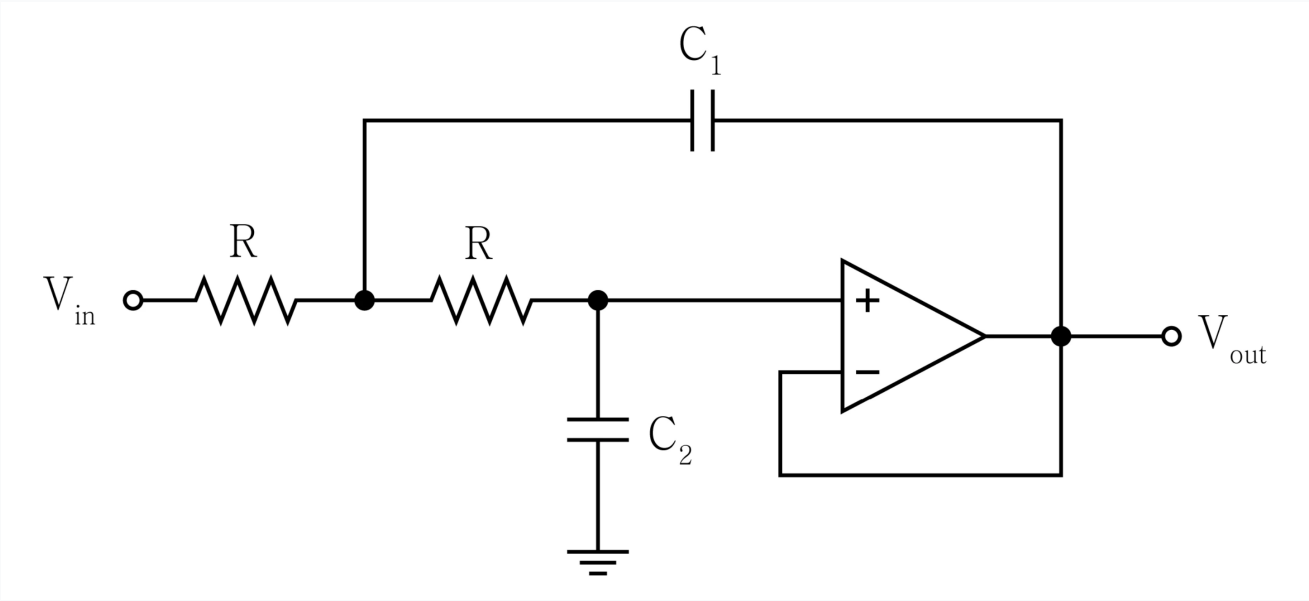
두 번째 하강 에지: X = 0이고 직전 상태는 1010이다. 첫 단에 0을 넣고 기존의 앞 세 비트 1·0·1을 옮기면 상태는 0101이 된다.

세 번째 하강 에지: X = 1이고 직전 상태는 0101이다. 첫 단에 1을 넣고 기존의 앞 세 비트 0·1·0을 옮기면 상태는 1010이 된다.

T1 시점: 세 번째 하강 에지 뒤에 상승 에지가 있지만 **상승 에지에서는 상태가 바뀌지 않는다**. 따라서 T1의 출력 $q_1q_2q_3q_4$는 1010으로, ③의 값과 일치한다.

NoteBase

문 17. 다음 회로의 전달함수가 $H(s)=\frac{V_{out}(s)}{V_{in}(s)}=\frac{1}{1+s(2RC_2)+s^2X}$일 때, X는? (단, 연산증폭기는 이상적이다)



① C_1C_2R

② C_2R^2

③ C_1R^2

④ $C_1C_2R^2$

정답 4번

간단한 해설

이상적인 전압 팔로어 조건을 이용해 두 노드의 전류식을 정리하면, 전달함수 분모의 **2차항 계수**는 $X=C_1C_2R^2$ 이다.

NoteBase

계산 과정

회로 조건: 두 저항 사이의 노드 전압을 V_a, 비반전 입력과 C_2가 만나는 노드 전압을 V_b라 한다. 출력이 반전 입력에 직접 연결된 이상적인 전압 팔로어이므로 **입력 전류는 0이고 두 입력 전압은 같다**. 따라서 $V_b = V_{out}$이다. 이하 전압은 s영역의 전압이며, 전달함수는 초기 에너지가 0인 조건에서 구한다.

비반전 입력 노드: 연산증폭기로 전류가 들어가지 않으므로 두 번째 저항을 흐르는 전류는 모두 C_2로 흐른다. 커패시터 전류를 s영역에서 나타내면 $\frac{V_a - V_{out}}{R} = sC_2V_{out}$이다. 이를 정리한 $V_a = (1 + sRC_2)V_{out}$은 두 저항 사이 노드의 전압을 출력 전압으로 나타낸 식이다.

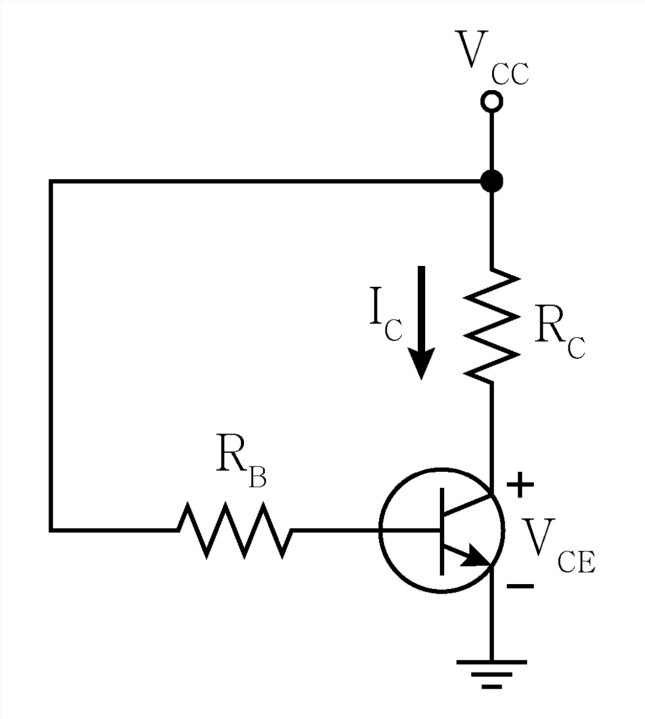
두 저항 사이 노드: 첫 번째 저항으로 들어온 전류는 두 번째 저항과 C_1으로 나뉜다. C_1의 오른쪽 단자는 출력에 연결되어 있으므로, **양단 전압은 접지 기준 전압이 아니라 두 노드의 전압 차**이다. 따라서 전류식은 $\frac{V_{in} - V_a}{R} = \frac{V_a - V_{out}}{R} + sC_1(V_a - V_{out})$이다.

전류식 정리: 앞에서 구한 $V_a - V_{out} = sRC_2V_{out}$을 대입하고 양변에 R을 곱하면 $V_{in} - V_a = sRC_2V_{out} + s^2R^2C_1C_2V_{out}$이다. 여기에 $V_a = (1 + sRC_2)V_{out}$을 대입하면 $\frac{V_{in}}{V_{out}} = 1 + 2sRC_2 + s^2R^2C_1C_2$를 얻는다. 이 식은 전달함수의 역수이므로 오른쪽 다항식이 전달함수의 분모가 된다.

계수 비교: 주어진 분모의 s^2X와 계산한 분모의 $s^2R^2C_1C_2$를 비교하면 $X = C_1C_2R^2$이며, ④의 식과 일치한다. R을 Ω, 정전용량을 F로 나타내면 X의 단위는 시간의 제곱인 초^{2}이다.

NoteBase

문 18. 다음 회로에서 $I_C = 5[\text{mA}]$, $V_{CE} = 5.7[\text{V}]$일 때, R_B [kΩ]와 R_C [kΩ]를 바르게 연결한 것은? (단, 트랜지스터의 $\beta_{DC} = 100$, $V_{BE} = 0.7[\text{V}]$, $V_{CC} = 10.7[\text{V}]$이다)



① R_B: 200, R_C: 1

② R_B: 200, R_C: 2

③ R_B: 400, R_C: 1

④ R_B: 400, R_C: 2

정답 1번

간단한 해설

각 저항은 **양단 전압을 그 저항에 흐르는 전류로 나누어** 구한다. 베이스 전류는 50 μA이므로 $R_B = 200\text{k}\Omega$, 컬렉터 저항의 전압 강하는 5 V이므로 $R_C = 1\text{k}\Omega$이다.

NoteBase

계산 과정

회로에서 이미터는 접지되어 있고, R_B는 전원과 베이스 사이에, R_C는 전원과 컬렉터 사이에 연결되어 있다. 따라서 베이스 전압은 $V_{BE} = 0.7\text{V}$, 컬렉터 전압은 $V_{CE} = 5.7\text{V}$이다.

베이스 전류: 직류 전류이득은 $\beta_{DC} = I_C/I_B$이므로, 컬렉터 전류 5 mA와 전류이득 100을 이용하면 $I_B = \frac{I_C}{\beta_{DC}} = \frac{5}{100}\text{mA} = 0.05\text{mA}$이다. 이는 50 μA이며, **베이스 저항에 흐르는 전류**이다.

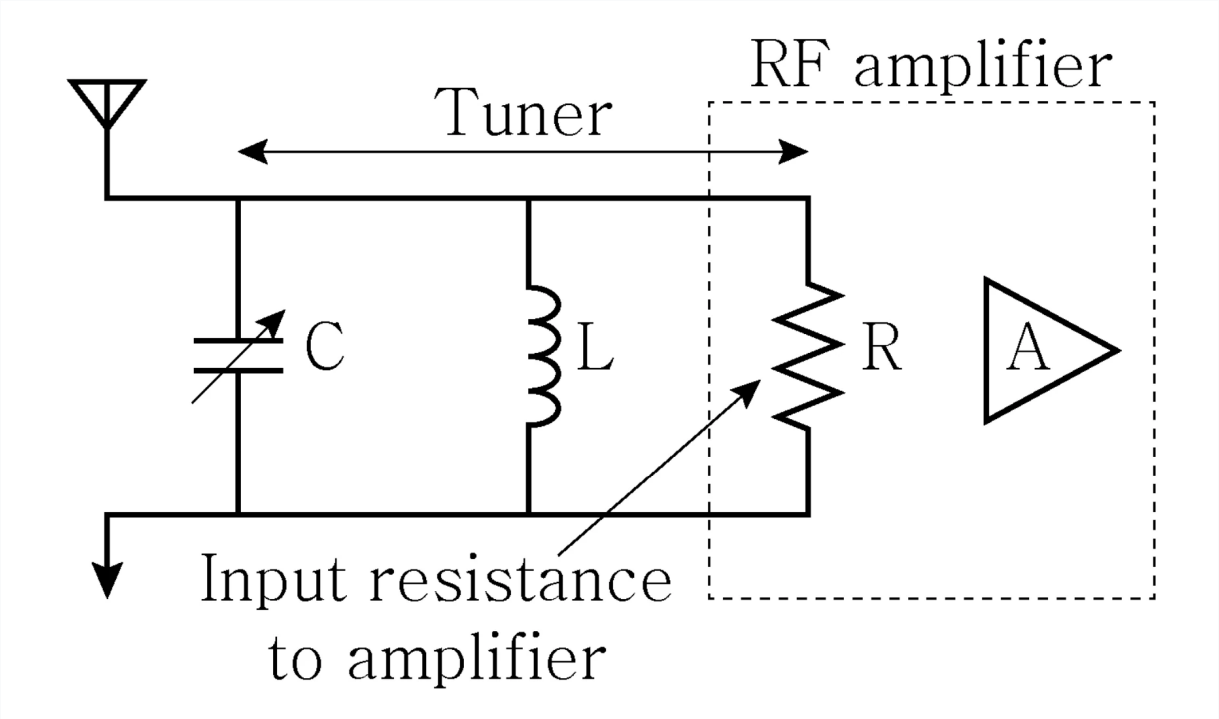
베이스 저항: 저항 양단의 전압은 전원전압에서 베이스 전압을 뺀 값으로, $V_{CC} - V_{BE} = 10.7 - 0.7 = 10\text{V}$이다. 옴의 법칙을 적용하면 $R_B = \frac{10\text{V}}{0.05\text{mA}} = 200\text{k}\Omega$이다. V를 mA로 나누면 저항의 단위는 kΩ이 된다.

컬렉터 저항: 이미터가 접지되어 있으므로 저항 양단의 전압은 $V_{CC} - V_{CE} = 10.7 - 5.7 = 5\text{V}$이다. 이 저항에는 **컬렉터 전류 5 mA**가 흐르므로 $R_C = \frac{5\text{V}}{5\text{mA}} = 1\text{k}\Omega$이다.

따라서 $R_B = 200\text{k}\Omega$, $R_C = 1\text{k}\Omega$이며, 이 조합은 ①과 일치한다.

NoteBase

문 19. 진폭변조(AM, Amplitude Modulation) 라디오의 공진회로 또는 동조회로는 다음과 같다. L = 1 [μH]로 주어졌을 때 공진주파수를 처음부터 끝까지 조정할 수 있는 AM 밴드의 C[nF]값의 범위는? (단, AM 방송의 주파수 범위는 540 [kHz] ~ 1600 [kHz]이다)



① 19.8 ~ 86.9

② 9.9 ~ 86.9

③ 19.8 ~ 173.8

④ 9.9 ~ 173.8

정답 2번

간단한 해설

LC 병렬 공진회로에서 인덕턴스가 일정하면 정전용량은 **공진주파수의 제곱에 반비례**한다. 따라서 1600 kHz에서 최소 9.9 nF, 540 kHz에서 최대 86.9 nF가 필요하다.

NoteBase

계산 과정

그림에서 가변 커패시터 C와 인덕터 L은 병렬로 연결되어 있다. 공진은 두 소자의 무효 전류가 상쇄되는 조건이므로 공진주파수는 $f_0 = \frac{1}{2\pi\sqrt{LC}}$이다. 이를 정전용량에 대해 정리하면 $C = \frac{1}{4\pi^2 L f_0^2}$이다. L이 일정하므로 **주파수가 높을수록 필요한 정전용량은 작아진다**.

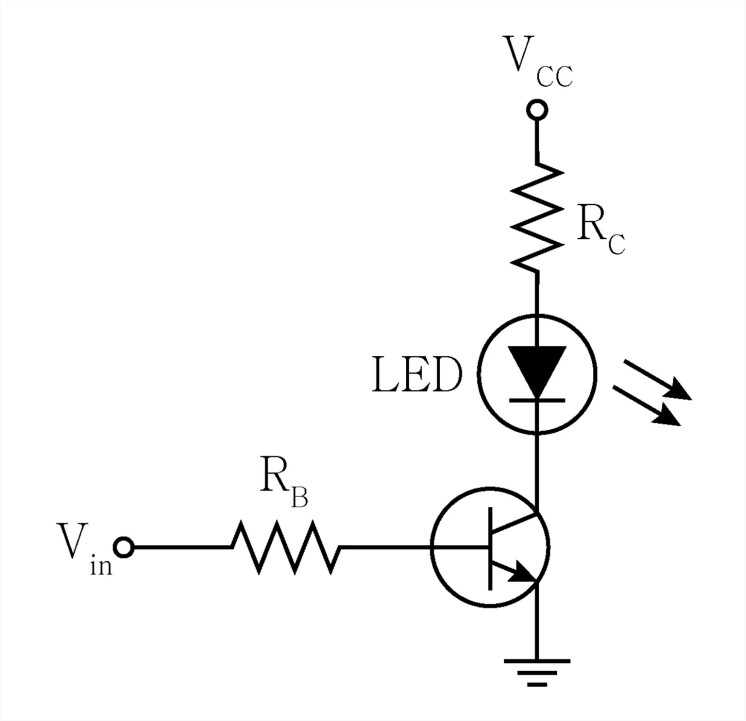
최소 정전용량: 가장 높은 주파수 1600 kHz에 동조할 때의 값이다. 단위를 $L = 10^{-6}$ H, $f_{\max} = 1.6 \cdot 10^6$ Hz로 바꾸어 대입하면 $C_{\min} = \frac{1}{4\pi^2 L f_{\max}^2} \approx 9.9$ nF이다.

최대 정전용량: 가장 낮은 주파수 540 kHz에 동조할 때의 값이다. $f_{\min} = 5.4 \cdot 10^5$ Hz를 대입하면 $C_{\max} = \frac{1}{4\pi^2 L f_{\min}^2} \approx 86.9$ nF이다.

따라서 전체 AM 주파수 대역에 동조하려면 C를 약 9.9~86.9 nF 범위에서 조절할 수 있어야 하며, 이는 ②에 해당한다.

NoteBase

문 20. 다음은 BJT를 이용한 디지털 스위치 회로이다. 안정된 LED 구동을 위해서 컬렉터 전류는 40 [mA]의 포화 전류가 필요하다. 이때 필요한 R_C [Ω]와 입력 구형파 전압 V_{in}의 진폭[V]을 바르게 연결한 것은? (단, 확실한 포화를 위해 베이스 전류는 최솟값의 3배가 되도록 하며 $V_{CC} = 10$ [V], $V_{CE(sat)} = 0.2$ [V], $V_{BE} = 0.7$ [V], $V_{LED} = 1.8$ [V], $R_B = 5$ [kΩ], $\beta_{DC} = 100$이다)



① R_C: 200, V_in: 6

② R_C: 200, V_in: 6.7

③ R_C: 300, V_in: 6

④ R_C: 300, V_in: 6.7

정답 2번

간단한 해설

컬렉터 저항에는 전원 10 V에서 LED와 포화된 BJT의 전압 강하를 뺀 **8 V**가 걸리므로, 40 mA를 흘리려면 200 Ω이 필요하다. 베이스 전류를 최솟값의 **3배인 1.2 mA**로 잡으면 베이스 저항의 전압 강하 6 V에 베이스–이미터 전압 0.7 V를 더한 입력 진폭 6.7 V가 필요하다.

NoteBase

계산 과정

컬렉터 저항: 그림에서 전원, R_C, LED, BJT의 컬렉터–이미터 경로가 직렬로 연결되어 있다. 따라서 포화 상태에서 R_C에 걸리는 전압은 **LED와 BJT의 전압 강하를 제외한 전압**이다. 그 값은 $10 - 1.8 - 0.2 = 8$ V이고, 컬렉터 전류는 40 mA = 0.040 A이므로 옴의 법칙으로 $R_C = \frac{8}{0.040} = 200\Omega$이다.

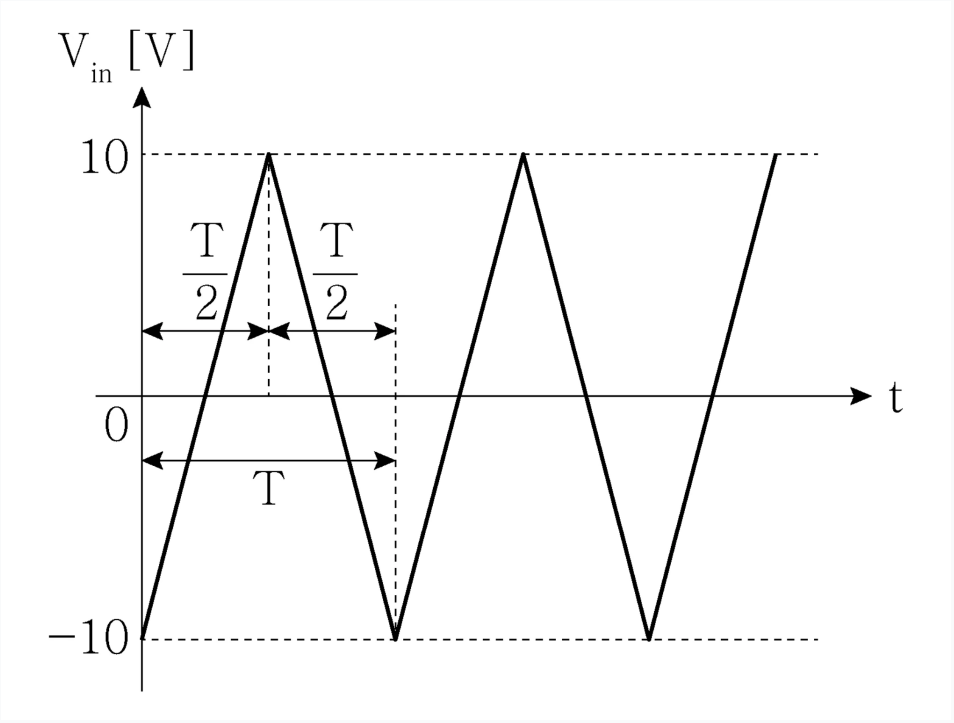
베이스 전류: $\beta_{DC} = 100$을 이용하면 컬렉터 전류 40 mA를 공급하기 위한 베이스 전류의 최솟값은 $I_{B,\min} = \frac{I_C}{\beta_{DC}} = \frac{40}{100} = 0.4\text{mA}$이다. 이는 전류 이득으로 구한 포화 경계의 기준값이며, 문제에서는 **확실한 포화를 위해 그 3배**를 요구한다. 따라서 실제로 공급할 베이스 전류는 $I_B = 3I_{B,\min} = 1.2\text{mA}$이다.

입력 전압: 이미터가 접지되어 있으므로 입력이 높은 구간의 전압은 베이스 저항의 전압 강하와 베이스–이미터 전압의 합이다. $R_B = 5\text{k}\Omega = 5000\Omega$, $I_B = 1.2\text{mA} = 0.0012\text{A}$이므로 베이스 저항의 전압 강하는 $I_B R_B = 0.0012 \cdot 5000 = 6\text{V}$이다. 입력에는 이 전압 외에 **베이스–이미터 전압도 필요**하므로 $V_{in} = I_B R_B + V_{BE} = 6 + 0.7 = 6.7\text{V}$이다.

필요한 값은 $R_C = 200\Omega$, 입력 구형파 진폭 6.7 V이며, 이 조합은 ②에 해당한다.

NoteBase

문 21. 연산증폭기를 이용한 전압 팔로워 (unity-gain buffer)에 다음과 같은 삼각파가 인가되는 경우, 출력이 왜곡되지 않을 삼각파의 최대주파수[kHz]는? (단, 연산증폭기의 슬루율은 S = 8 [V/μs]이다)



① 10

② 20

③ 100

④ 200

정답 4번

간단한 해설

전압 팔로워의 출력은 입력과 같은 크기로 변하므로, 삼각파의 **전압 변화율이 슬루율을 넘지 않아야** 한다. 반주기 동안 20 V가 변하는 데 최소 2.5 μs가 필요하므로, 최소 주기는 5 μs이고 최대주파수는 200 kHz이다.

NoteBase

계산 과정

전압 팔로워는 전압 이득이 1이므로 입력 삼각파를 그대로 따라가는 출력을 요구한다. 그림에서 입력은 −10 V에서 +10 V까지 반주기 동안 상승하므로, 이 구간의 전압 변화량은 10 − (−10) = 20 V이다. 하강 구간도 같은 시간 동안 20 V만큼 변한다.

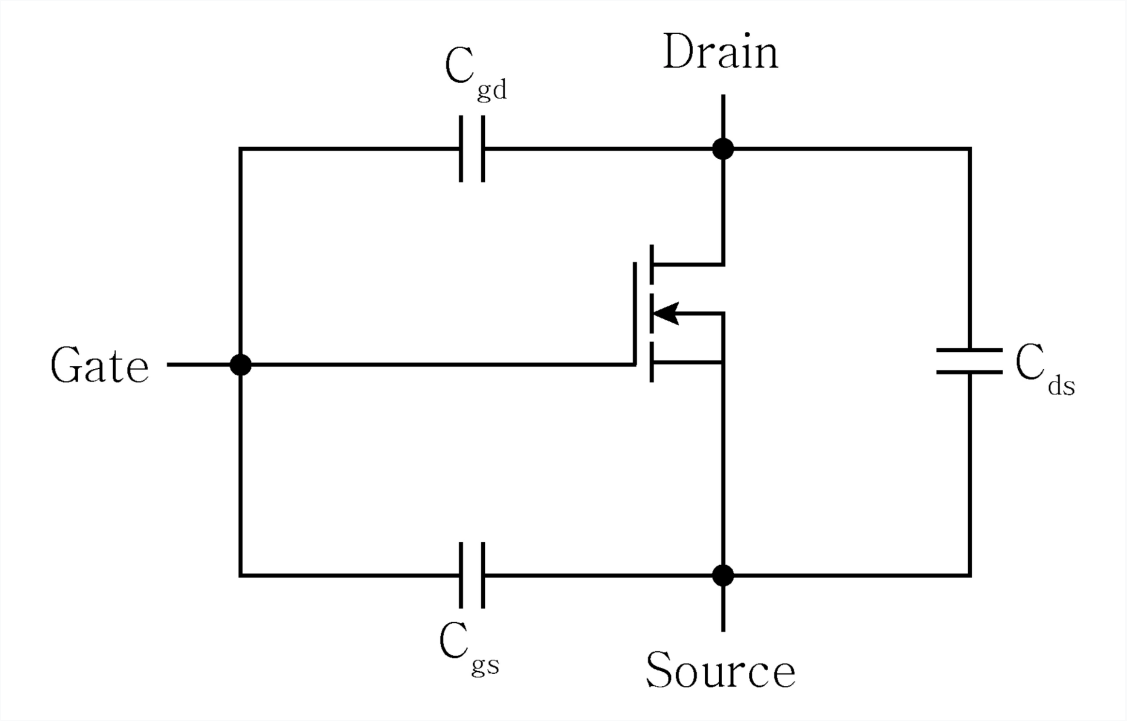
슬루율 S는 출력 전압이 변할 수 있는 최대 속도이다. 주기를 T라 하면 삼각파의 상승·하강 구간에서 기울기의 크기는 $\frac{20\text{V}}{T/2} = \frac{40\text{V}}{T}$이다. 슬루율에 따른 왜곡을 피하려면 **이 기울기의 크기가 8 V/μs 이하여야** 한다.

최대주파수에서는 기울기가 슬루율에 도달한다. 20 V를 변화시키는 데 필요한 최소 반주기는 $\frac{20\text{V}}{8\text{V}/\mu\text{s}} = 2.5\mu\text{s}$이다. 한 주기는 상승과 하강을 모두 포함하므로 최소 주기는 2 × 2.5 = 5 μs이다.

주파수는 주기의 역수이므로 $f_{\max} = \frac{1}{5 \cdot 10^{-6}\text{s}}$이다. 따라서 최대주파수는 200 kHz로, ④의 200에 해당한다.

NoteBase

문 22. 다음은 게이트, 드레인, 소스 간 기생 커패시턴스를 포함한 MOSFET을 나타내는 회로이다. 이 MOSFET의 입력 커패시턴스 $C_{iss} = 5[\text{pF}]$, 역방향 전달 커패시턴스 $C_{rss} = 2[\text{pF}]$, 출력 커패시턴스 $C_{oss} = 10[\text{pF}]$일 때, 게이트-드레인 간 기생 커패시턴스 C_{gd}[pF], 게이트-소스 간 기생 커패시턴스 C_{gs}[pF], 드레인-소스 간 기생 커패시턴스 C_{ds}[pF]를 바르게 연결한 것은?



① C_{gd}: 2, C_{gs}: 3, C_{ds}: 7

② C_{gd}: 2, C_{gs}: 3, C_{ds}: 8

③ C_{gd}: 3, C_{gs}: 2, C_{ds}: 8

④ C_{gd}: 3, C_{gs}: 2, C_{ds}: 7

정답 2번

간단한 해설

역방향 전달 커패시턴스는 **게이트-드레인 간 커패시턴스**이므로 $C_{gd} = 2\text{pF}$이다. 입력·출력 커패시턴스에서 각각 이 값을 빼면 $C_{gs} = 3\text{pF}$, $C_{ds} = 8\text{pF}$가 된다.

NoteBase

계산 과정

게이트-드레인 간 커패시턴스: 그림에서 C_{gd}는 게이트와 드레인을 직접 연결하는 기생 커패시턴스이다. 드레인의 전압 변화가 게이트로 전달되는 경로이므로 **역방향 전달 커패시턴스**는 $C_{rss} = C_{gd}$이다. 따라서 $C_{gd} = 2\text{pF}$이다.

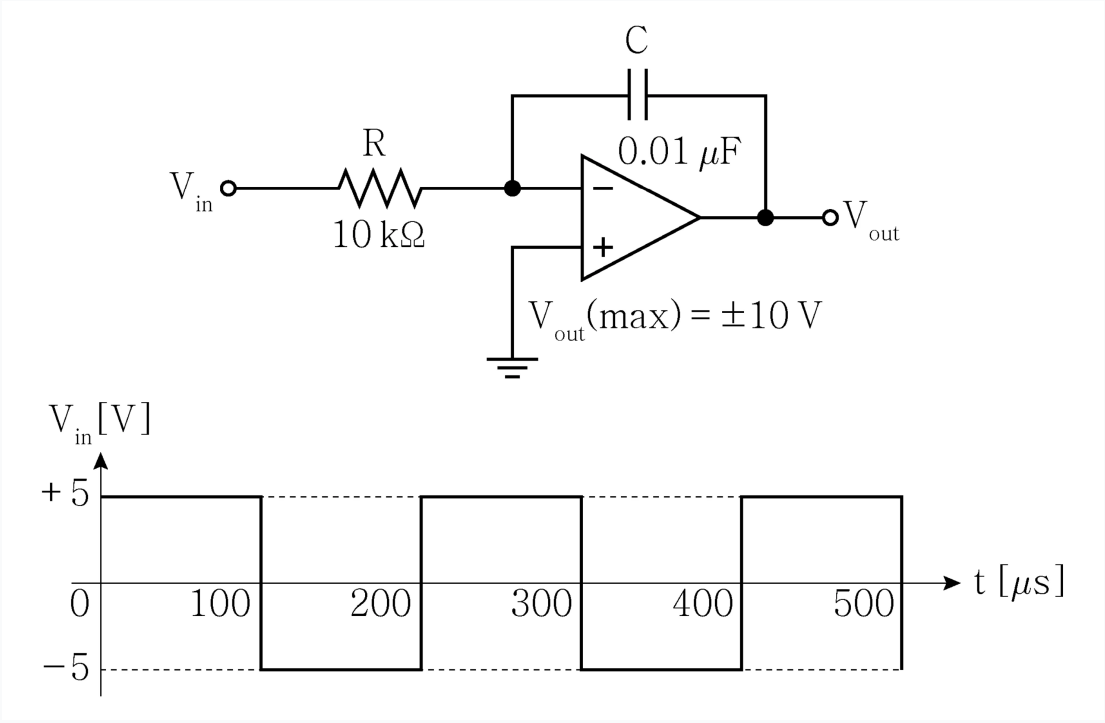
게이트-소스 간 커패시턴스: 입력 커패시턴스는 드레인과 소스를 교류적으로 단락한 상태에서 게이트 쪽으로 본 커패시턴스이다. 이때 C_{gs}와 C_{gd}가 **병렬로 연결**되므로 $C_{iss} = C_{gs} + C_{gd}$이다. 따라서 $C_{gs} = C_{iss} - C_{gd}$이며, $5 - 2 = 3$ pF이다. 이는 입력 커패시턴스 중 게이트-드레인 성분을 제외한 값이다.

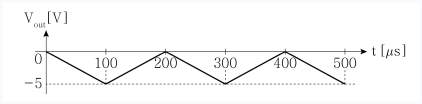
드레인-소스 간 커패시턴스: 출력 커패시턴스는 게이트와 소스를 교류적으로 단락한 상태에서 드레인 쪽으로 본 커패시턴스이다. 이때 C_{ds}와 C_{gd}가 병렬로 연결되므로 $C_{oss} = C_{ds} + C_{gd}$이다. 따라서 $C_{ds} = C_{oss} - C_{gd}$이며, $10 - 2 = 8$ pF이다. 출력 커패시턴스에도 **게이트-드레인 성분이 포함**되므로 이를 빼야 한다.

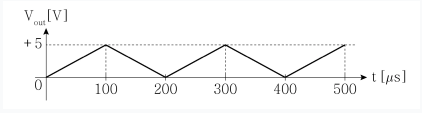
구한 값은 C_{gd}, C_{gs}, C_{ds} 순서로 2 pF, 3 pF, 8 pF이며, ②의 연결과 일치한다.

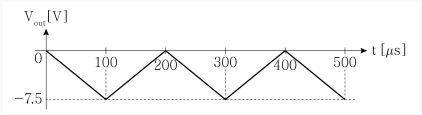
NoteBase

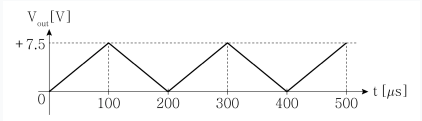
문 23. 다음 회로의 입력전압(V_{in})이 그림과 같은 구형파일 때 출력전압(V_{out})은? (단, 연산증폭기는 이상적이고, 커패시터의 초깃값은 0 [V]이다)



① 

② 

③ 

④ 

정답 1번

간단한 해설

이 회로는 **반전 적분기**이므로 +5 V 입력에서는 출력이 직선으로 감소하고, −5 V 입력에서는 직선으로 증가한다. RC가 100 μs이므로 각 100 μs 동안 출력이 5 V씩 변하여, 0 V에서 시작해 **−5 V와 0 V 사이를 반복**한다.

NoteBase

계산 과정

적분 관계: 입력에 저항 R, 출력과 반전 입력 사이에 커패시터 C가 연결된 반전 적분기이다. 이상적 연산증폭기가 음의 되먹임으로 동작하므로 반전 입력은 가상접지인 0 V이고 입력단으로 전류가 흐르지 않는다. 따라서 저항을 통과한 전류가 커패시터로 흘러 $\frac{V_{in}}{R} = -C\frac{dV_{out}}{dt}$가 성립한다. 즉, 출력의 기울기는 $\frac{dV_{out}}{dt} = -\frac{V_{in}}{RC}$로, **입력전압과 반대 부호**를 가진다.

회로 상수와 초기값: R = 10 kΩ, C = 0.01 μF이므로 RC = 100 μs이다. 입력은 +5 V와 −5 V가 각각 100 μs씩 지속된다. 커패시터의 초기 전압이 0 V이고 반전 입력이 0 V이므로 $V_{out}(0) = 0$이다.

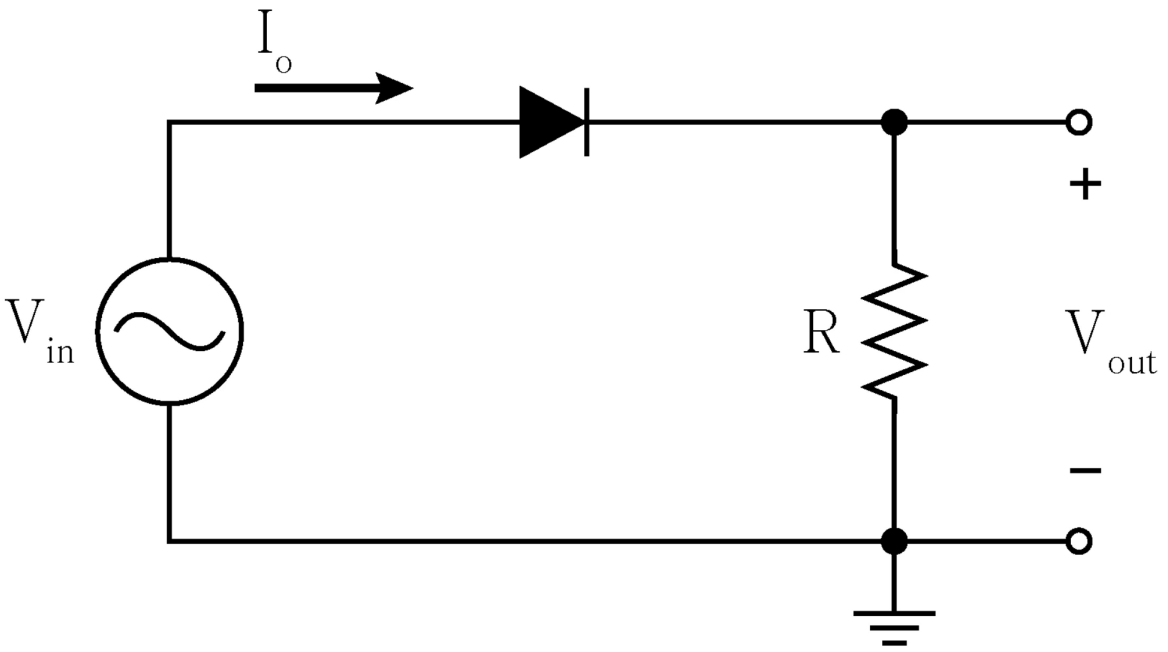
0~100 μs: 입력이 +5 V이므로 출력의 기울기는 $-\frac{5\text{V}}{100\mu\text{s}} = -0.05\text{V}/\mu\text{s}$이다. 이는 매 1 μs마다 출력이 0.05 V씩 감소한다는 뜻이다. 따라서 100 μs 동안 5 V 감소하여 출력은 0 V에서 −5 V까지 직선으로 내려간다.

100~200 μs: 입력이 −5 V로 바뀌면 출력의 기울기는 $-\frac{-5\text{V}}{100\mu\text{s}} = +0.05\text{V}/\mu\text{s}$가 된다. **커패시터 전압은 순간적으로 바뀌지 않으므로** 출력은 −5 V에서 이어지며, 다음 100 μs 동안 5 V 증가하여 200 μs에 0 V로 돌아온다.

반복 파형: 이후에도 같은 입력이 반복되므로 출력은 300 μs에 −5 V, 400 μs에 0 V, 500 μs에 −5 V가 된다. 출력 범위가 −5~0 V이므로 주어진 출력 한계 ±10 V에 도달하지 않아 포화되지 않는다. 따라서 0 V에서 하강하기 시작해 −5 V와 0 V 사이를 오가는 삼각파이며, ①의 파형과 일치한다.

NoteBase

문 24. 다음 반파정류회로에서 옳지 않은 것은? (단, 다이오드는 이상적인 모델이고, 부하저항 $R = 10[\Omega]$, 정현파 전원의 전압 $V_{in} = 220[V_{rms}]$이며 주파수는 60 [Hz]이다)



① 출력전압의 평균값 $\langle V_{out} \rangle = \frac{\sqrt{2} \times 220}{\pi}[V]$

② 출력전류의 평균값 $\langle I_o \rangle = \frac{\sqrt{2} \times 220}{\pi \times 10}[A]$

③ 출력전류의 실횻값 $I_o = \frac{\sqrt{2} \times 220}{2 \times 10}[A]$

④ 부하에 공급되는 전력 $P_o = \frac{220^2}{\pi \times 10}[W]$

정답 4번

간단한 해설

저항 부하의 평균전력은 **출력전압의 실횻값을 제곱하여 저항으로 나눈 값**이다. 반파정류 출력에 이를 적용하면 $P_o = \frac{220^2}{2 \cdot 10} = 2420\text{W}$이므로, ④의 분모는 $\pi \cdot 10$이 아니라 $2 \cdot 10$이어야 한다.

NoteBase

선지별 해설

그림의 다이오드는 입력전압이 양인 반주기에 도통하고 음인 반주기에 차단된다. 이상적인 다이오드이므로 도통 시 전압강하는 0이고, 출력에는 양의 반주기만 남는다. 입력전압의 최댓값을 V_m이라 하면 $V_m = \sqrt{2} \cdot 220\text{V}$ 이며, 부하저항은 $10\ \Omega$이다.

① O: 출력전압의 평균값은 **출력이 0인 반주기까지 포함한 한 주기**를 기준으로 구한다. 반파정류 사인파의 평균값은 $\langle V_{out} \rangle = \frac{V_m}{\pi}$이므로, $\langle V_{out} \rangle = \frac{\sqrt{2} \cdot 220}{\pi}\text{V}$이다.

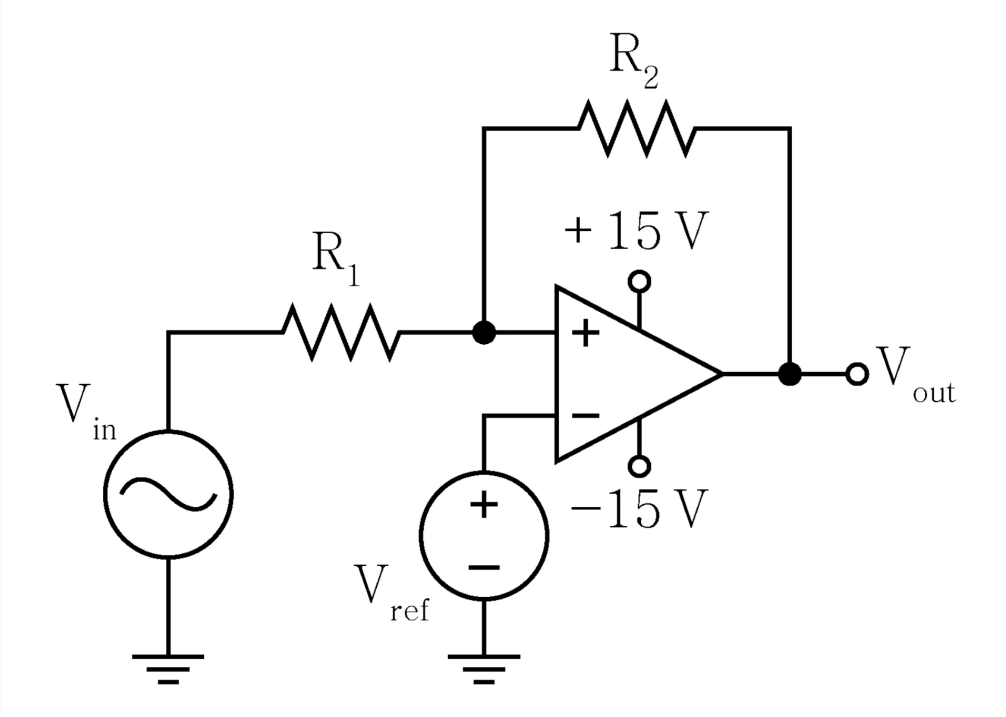
② O: 순수 저항 부하에서는 매 순간 전류가 전압을 저항으로 나눈 값이므로, **평균전류도 평균전압을 저항으로 나눈 값**이다. 따라서 $\langle I_o \rangle = \frac{\langle V_{out} \rangle}{R}$이고, $\langle I_o \rangle = \frac{\sqrt{2} \cdot 220}{\pi \cdot 10}\text{A}$이다.

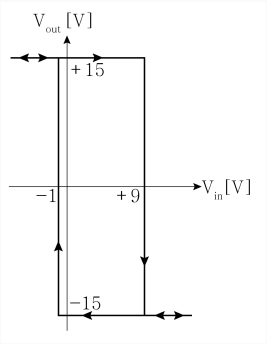
③ O: 실횻값은 **한 주기 동안 제곱한 값의 평균에 제곱근을 취한 값**이다. 정현파 전압의 제곱평균은 $\frac{V_m^2}{2}$인데, 반파정류하면 그중 한 반주기가 0이 되어 $\frac{V_m^2}{4}$이 된다. 따라서 출력전압의 실횻값은 $V_{out,\,\text{rms}} = \frac{V_m}{2}$이고, 출력전류의 실횻값은 $I_{o,\,\text{rms}} = \frac{V_m}{2R}$이다. 값을 대입하면 $I_{o,\,\text{rms}} = \frac{\sqrt{2} \cdot 220}{2 \cdot 10}\text{A}$이다.

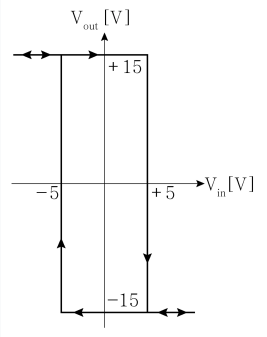
④ X: 저항에서 소비되는 평균전력은 순간전력 $\frac{v_{out}^2}{R}$의 평균이므로 **전압의 제곱평균**을 사용한다. 따라서 $P_o = \frac{V_{out,\,\text{rms}}^2}{R} = \frac{V_m^2}{4R}$이다. 입력전압의 최댓값과 저항을 대입하면 $P_o = \frac{220^2}{2 \cdot 10} = 2420\text{W}$이다. 선지의 분모 $\pi \cdot 10$은 $2 \cdot 10$으로 고쳐야 한다.

NoteBase

문 25. 다음 회로의 입출력 히스테리시스 특성 곡선으로 옳은 것은? (단, $R_1 = 400\ [\Omega]$, $R_2 = 1.2\ [\text{k}\Omega]$, $V_{\text{ref}} = 3\ [\text{V}]$이고 연산증폭기는 이상적이다)

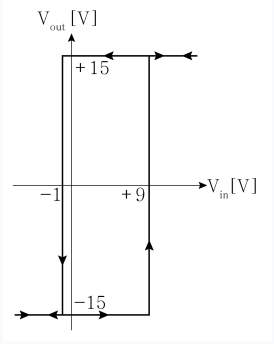


① 

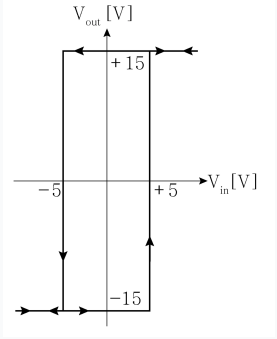
② 

NoteBase

③



④



정답 3번

간단한 해설

출력이 비반전 입력으로 되먹임되는 **정귀환 회로**이므로, 입력이 증가할 때는 9 V에서 출력이 −15 V에서 +15 V로 바뀌고, 감소할 때는 −1 V에서 반대로 바뀐다. 두 전환점 사이에서는 이전 출력 상태를 유지하여 히스테리시스가 생긴다.

NoteBase

계산 과정

회로의 출력은 저항 R_2를 거쳐 비반전 입력(+)으로 되돌아오므로 **정귀환을 이용한 비반전 슈미트 트리거**이다. 반전 입력 전압은 $V_- = V_{\text{ref}} = 3\text{V}$로 고정된다. 이상적인 연산증폭기의 출력은 $V_+ > 3\text{V}$이면 +15 V, $V_+ < 3\text{V}$이면 −15 V로 포화된다.

전환 조건: 이상적인 연산증폭기의 입력 전류는 0이므로 비반전 입력 노드에서 $\frac{V_{\text{in}} - V_+}{R_1} + \frac{V_{\text{out}} - V_+}{R_2} = 0$이다. 따라서 $V_+ = \frac{R_2 V_{\text{in}} + R_1 V_{\text{out}}}{R_1 + R_2}$이다. 저항을 같은 단위로 나타내면 $R_1 = 0.4\text{k}\Omega$, $R_2 = 1.2\text{k}\Omega$이므로 $V_+ = \frac{3}{4}V_{\text{in}} + \frac{1}{4}V_{\text{out}}$이다. **출력이 전환되는 경계에서** $V_+ = 3\text{V}$이므로, 입력의 전환 전압은 $V_{\text{in}} = 4\text{V} - \frac{V_{\text{out}}}{3}$이다.

입력이 증가할 때: 충분히 낮은 입력에서 출력은 −15 V이다. 이 상태의 전환 전압은 $V_{\text{in}} = 4\text{V} - \frac{-15\text{V}}{3} = 9\text{V}$이다. 입력이 9 V를 넘어가면 비반전 입력 전압이 3 V보다 높아져 출력이 −15 V에서 +15 V로 상승한다. 출력 상승은 정귀환을 통해 비반전 입력 전압을 더 높여 전환을 유지시킨다.

입력이 감소할 때: 충분히 높은 입력에서 출력은 +15 V이다. 이 상태의 전환 전압은 $V_{\text{in}} = 4\text{V} - \frac{15\text{V}}{3} = -1\text{V}$이다. 입력이 −1 V 아래로 내려가면 비반전 입력 전압이 3 V보다 낮아져 출력이 +15 V에서 −15 V로 하강한다. 따라서 −1 V와 9 V 사이에서는 **입력의 변화 이력에 따라 출력 상태가 달라진다**.

특성 곡선의 가로축은 입력 전압, 세로축은 출력 전압이다. 오른쪽 전환점 9 V에서 위로, 왼쪽 전환점 −1 V에서 아래로 향하는 화살표가 있어야 하므로 ③의 곡선과 일치한다.

NoteBase