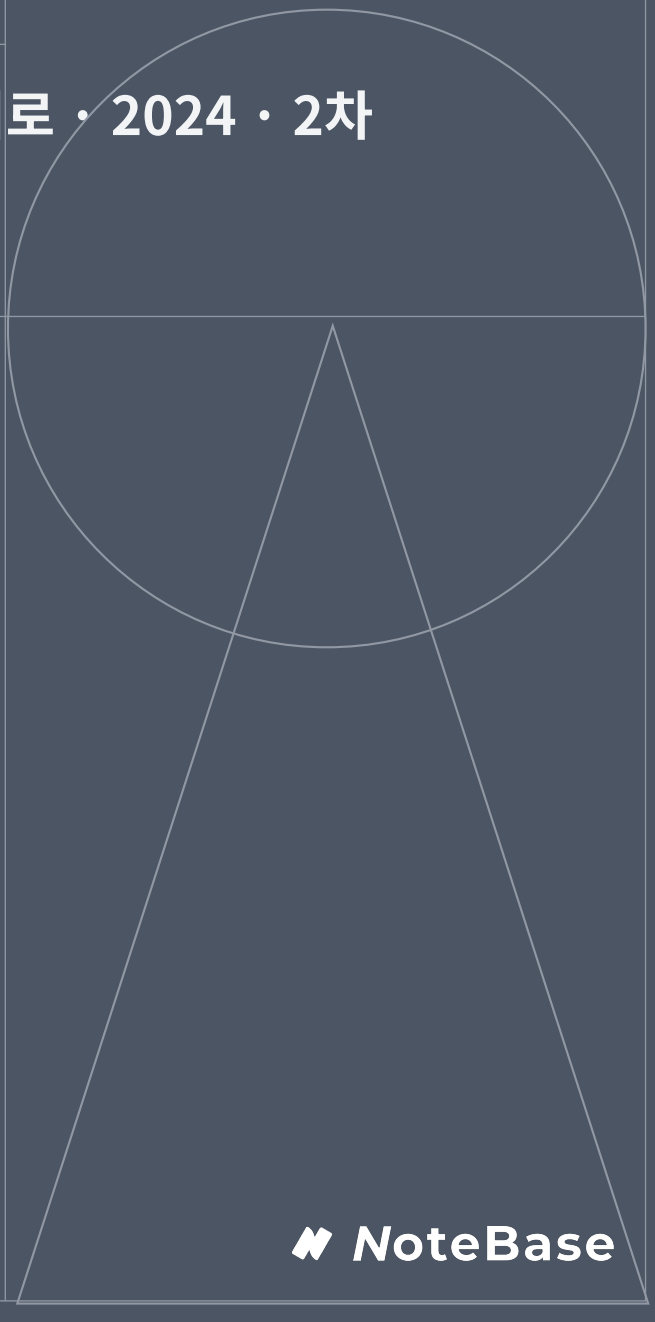
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2024 · 2차



NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2024 · 2차

공무원/국가직/7급 · 전자회로 · 2024 · 2차

문 1. 어떤 시스템의 입력전압과 입력전력이 각각 1,000 [V]와 10,000 [W]이고 출력임피던스와 출력전력은 각각 20 [Ω]과 500 [W]일 때, 이 시스템의 전압이득[dB]은?

① -10

② -20

③ -30

④ -40

정답 2번

출제 포인트

이 문제는 출력전력과 출력임피던스로 출력전압을 구한 뒤 전압이득 공식을 적용할 수 있는지를 묻는다.

조건 정리

주어진 값은 입력전압 $1000V$, 입력전력 $10000W$, 출력전력 $500W$, 출력임피던스 20Ω이다.
구해야 할 값은 전압이득 G_v의 dB값이다.
주의할 조건은 전압이득이므로 전력비가 아니라 전압비에 $20\log_{10}$를 적용해야 한다는 점이다.

사용할 공식

출력전압은 $P_{out} = \frac{V_{out}^2}{R_L}$ 에서 구하고, 전압이득은 $G_v = 20\log_{10}\left(\frac{V_{out}}{V_{in}}\right)$ 를 사용한다.
이 공식을 쓰는 이유는 문제에서 묻는 값이 전압이득이므로 최종적으로 입력전압과 출력전압의 비가 필요하고, 출력전력과 출력임피던스가 함께 주어져 있어 출력전압을 먼저 역산할 수 있기 때문이다.

계산 과정

출력전압은 $V_{out} = \sqrt{P_{out}R_L} = \sqrt{500 \times 20} = \sqrt{10000} = 100V$ 이다.
전압비는 $\frac{V_{out}}{V_{in}} = \frac{100}{1000} = 0.1$ 이다.
따라서 전압이득은 $G_v = 20\log_{10}(0.1) = 20 \times (-1) = -20dB$ 이다.

NoteBase

선지 판단

1번 X: 전압이득은 $-20dB$이므로 틀리다. 틀린 표현은 전압이득이 $-10dB$라는 판단이다. 올바르게는 전압비 0.1에 $20\log_{10}$를 적용해 $-20dB$가 된다. $-10dB$는 전압이득인데도 10log를 잘못 적용했을 때 나오는 값이다.
2번 O: 출력전압이 $100V$, 입력전압이 $1000V$이므로 전압비는 0.1이고 전압이득은 $-20dB$가 된다.
3번 X: 계산 결과보다 더 작은 값이므로 틀리다. 틀린 표현은 전압이득이 $-30dB$라는 판단이다. 올바르게는 출력전압을 $\sqrt{PR}$로 구하면 $100V$가 되어 전압이득은 $-20dB$가 된다.
4번 X: 실제 전압비는 0.1인데 0.01처럼 잘못 읽은 값에 가까워 틀리다. 틀린 표현은 전압이득이 $-40dB$라는 판단이다. 올바르게는 $100/1000 = 0.1$을 대입해 $-20dB$로 판단한다.

오답 포인트

입력전력 $10000W$가 함께 주어져 있어 전력이득 공식을 바로 쓰거나 10log를 적용하기 쉽다. 하지만 문항은 전압이득을 묻고 있으므로 출력전력과 출력임피던스로 출력전압을 만든 뒤 전압비를 계산해야 한다.

다시 나오면 이렇게 판단

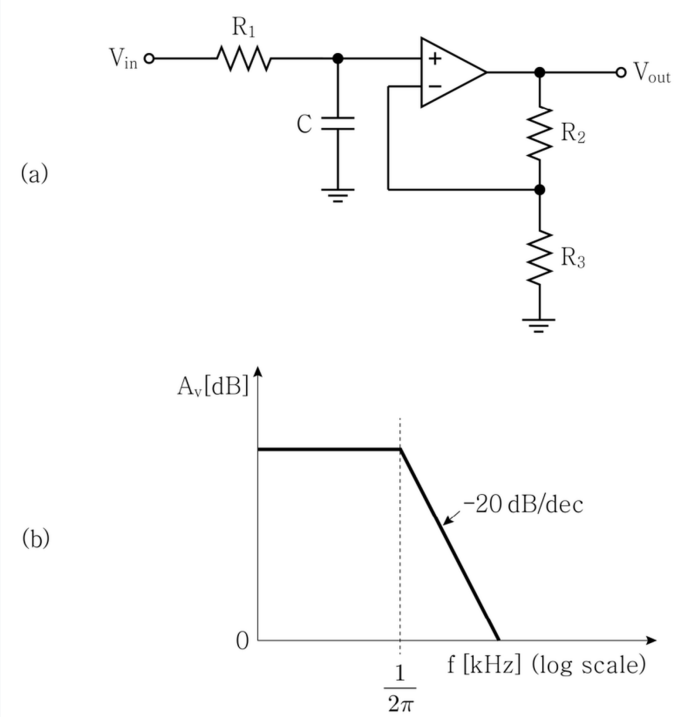
전압이득 문제는 먼저 입력전압과 출력전압을 확보하고, 다음에 전압비를 만든 뒤, 마지막에 $20\log_{10}$를 적용하는 순서로 판단한다. 전력값이 섞여 있으면 곧바로 dB 계산을 하지 않고 전압으로 환산하는 단계가 필요한지부터 확인한다.

암기 포인트

전압이득은 20log, 전력이득은 10log이다. 전력이 주어졌더라도 전압이득을 묻는 문항이면 먼저 $V = \sqrt{PR}$로 전압을 만든다.

NoteBase

문 2. 그림 (a) 연산증폭기 회로의 전압이득 $A_V = \frac{V_{out}}{V_{in}}$에 대한 보드선도(bode plot)가 그림 (b)와 같을 때, 커패시턴스 $C[\mu F]$는? (단, 저항 $R_1 = R_2 = R_3 = 1[k\Omega]$이고 연산증폭기는 이상적이다)



① $\frac{1}{2\pi}$

② $\frac{1}{\pi}$

③ 1

④ 3

정답 3번

출제 포인트

이 문제는 비반전 증폭기와 입력 RC 저역통과회로가 결합된 회로의 차단주파수로부터 C 값을 구하는 문제이다.

조건 정리

주어진 값: $R_1 = R_2 = R_3 = 1k\Omega$이다.
구해야 할 값: 커패시턴스 $C[\mu F]$이다.
주의할 조건: 연산증폭기는 이상적이므로 입력전류가 0이고, 보드선도의 꺾이는 주파수는 입력 RC 회로의 차단주파수와 같다.

NoteBase

사용할 공식

비반전 증폭기의 이득은 $1 + R_2/R_3$이고, 입력 RC 저역통과회로의 전달함수는 $1/(1 + j\omega R_1 C)$이다. 따라서 전체 전압이득은 $A_v(j\omega) = \frac{1 + R_2/R_3}{1 + j\omega R_1 C} = \frac{2}{1 + j\omega R_1 C}$이다.
이 공식을 쓰는 이유는 +단자 앞에 R_1-C 저역통과회로가 있고, 연산증폭기 부분은 비반전 증폭기로 동작하기 때문이다.

계산 과정

1. $R_2 = R_3$이므로 비반전 증폭기의 저주파 이득은 $1 + R_2/R_3 = 2$이다.
2. 보드선도에서 기울기가 $-20dB/dec$로 바뀌는 점이 차단주파수이며, 그림에서 $f_c = 1/(2\pi)kHz$이다.
3. 입력 RC 저역통과회로의 차단주파수는 $f_c = 1/(2\pi R_1 C)$이므로
$C = \frac{1}{2\pi R_1 f_c} = \frac{1}{2\pi \cdot 1000 \cdot (\frac{1000}{2\pi})} = 10^{-6}F = 1\mu F$
이다.

선지 판단

1번 X: $C = 1/(2\pi)\mu F$이면 $f_c = 1kHz$가 된다. 그림의 꺾이는 주파수는 $1/(2\pi)kHz$이므로 맞지 않는다. 틀린 표현은 C를 $1/(2\pi)\mu F$로 본 점이고, 올바르게는 $C = 1\mu F$이다.
2번 X: $C = 1/\pi\mu F$이면 $f_c = 1/(2\pi R_1 C) = 0.5kHz$가 된다. 그림의 차단주파수보다 크다. 틀린 표현은 C를 $1/\pi\mu F$로 본 점이고, 올바르게는 $C = 1\mu F$이다.
3번 O: $C = 1\mu F$이면 $f_c = 1/(2\pi \cdot 1000 \cdot 10^{-6}) = 1000/(2\pi)Hz = 1/(2\pi)kHz$가 되어 보드선도와 일치한다.
4번 X: $C = 3\mu F$이면 $f_c \approx 53Hz$로 $0.053kHz$ 수준이 된다. 그림의 차단주파수보다 훨씬 낮다. 틀린 표현은 C를 $3\mu F$로 본 점이고, 올바르게는 $C = 1\mu F$이다.

오답 포인트

가장 흔한 함정은 보드선도 아래에 적힌 $1/(2\pi)$를 놓치고 차단주파수를 그냥 $1kHz$로 읽는 실수이다. 또 비반전 증폭기의 이득 2는 평탄구간 높이를 정할 뿐, 차단주파수 $f_c = 1/(2\pi R_1 C)$ 자체는 입력 RC가 결정한다는 점을 혼동하면 틀린다.

다시 나오면 이렇게 판단

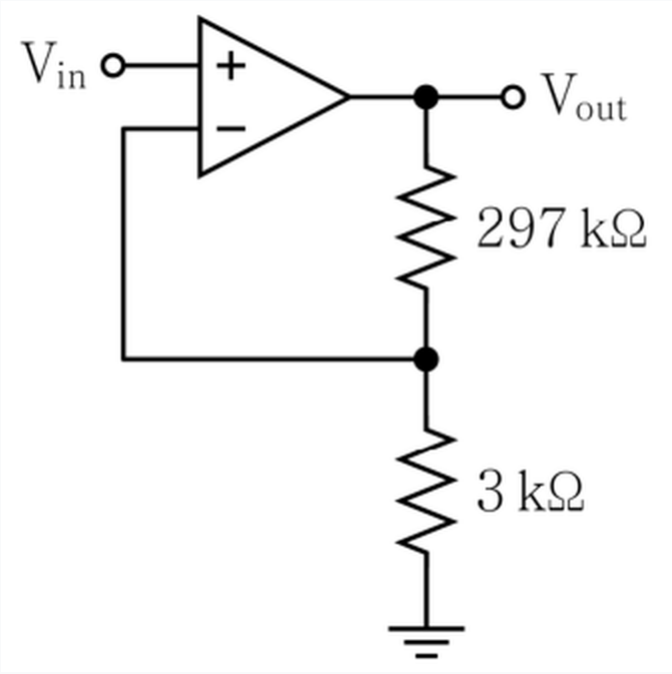
연산증폭기 보드선도 계산문제는 먼저 회로를 증폭기 부분과 주파수 의존 소자 부분으로 분리한다. 그다음 평탄구간 이득과 꺾이는 주파수를 따로 읽고, 마지막에 $f_c = 1/(2\pi RC)$에 대입해 단위를 검산하면 된다.

암기 포인트

입력 RC 1차 저역통과회로의 차단주파수는 $f_c = 1/(2\pi RC)$이고, 비반전 증폭기의 이득은 $1 + R_2/R_3$이다.

NoteBase

문 3. 다음 연산증폭기 회로에서 대역폭[MHz]은? (단, 연산증폭기는 개방루프 이득이 50 [dB]이고, 0 [dB] 이득을 갖는 주파수는 3 [MHz]이며, 그 외의 특성은 이상적이다)



① 0.03

② 0.3

③ 3

④ 30

정답 1번

출제 포인트

이 문제는 비반전 연산증폭기의 폐루프 이득을 구한 뒤 이득-대역폭 곱을 이용해 대역폭을 계산할 수 있는지를 묻는다.

조건 정리

주어진 값: 개방루프 직류 이득은 $50dB$, $0dB$ 이득 주파수는 $3MHz$, 피드백 저항은 $297k\Omega$, 접지 쪽 저항은 $3k\Omega$이다.
구해야 할 값: 회로의 대역폭이다.
주의할 조건: 회로는 비반전 증폭기이고, 그 외 특성은 이상적이므로 1차 근사에서 이득-대역폭 곱이 일정하다고 본다.

NoteBase

사용할 공식

비반전 증폭기의 폐루프 이득은 $A_V = 1 + \frac{R_f}{R_1}$이다.
이상적인 1차 연산증폭기에서는 이득-대역폭 곱이 일정하므로 $BW = \frac{f_T}{A_v}$이다.
이 공식을 쓰는 이유는 회로가 저항 분압 피드백을 가진 비반전 증폭기이고, 문제에서 $0dB$ 이득 주파수 f_T를 직접 주었기 때문이다.

계산 과정

1. 폐루프 이득을 구하면 $A_V = 1 + \frac{297k\Omega}{3k\Omega} = 1 + 99 = 100$이다.
2. 연산증폭기의 단위이득 주파수는 $f_T = 3MHz$이다.
3. 따라서 대역폭은 $BW = \frac{3MHz}{100} = 0.03MHz = 30kHz$이다.

선지 판단

1번 O: 계산 결과 대역폭은 $0.03MHz$이므로 옳다.
2번 X: $0.3MHz$는 폐루프 이득을 10으로 잘못 본 값이다. 올바르게는 저항비가 99이므로 폐루프 이득은 100이고 대역폭은 $0.03MHz$이다.
3번 X: $3MHz$는 연산증폭기의 $0dB$ 이득 주파수일 뿐, 이 회로의 폐루프 대역폭이 아니다. 올바르게는 이 값을 폐루프 이득 100으로 나눈 $0.03MHz$가 대역폭이다.
4번 X: $30MHz$는 주어진 단위이득 주파수 $3MHz$보다 더 커서 이득-대역폭 곱과 모순된다. 올바르게는 소수점을 반대로 옮기는 것이 아니라 $3MHz$를 100으로 나눈 $0.03MHz$이다.

오답 포인트

피드백 회로를 보는 순간 비반전 증폭기의 폐루프 이득 $1 + \frac{R_f}{R_1}$를 먼저 구해야 한다. $3MHz$를 그대로 대역폭으로 쓰거나, 폐루프 이득 100을 반영하지 않으면 3번과 같은 오답에 걸린다.

다시 나오면 이렇게 판단

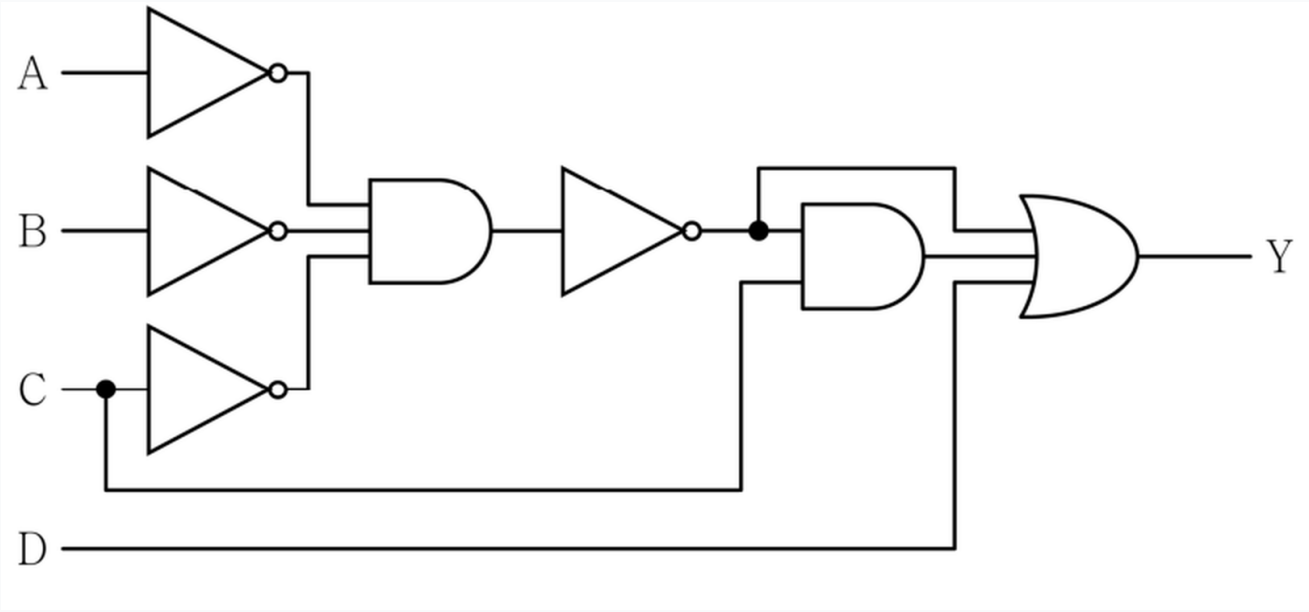
연산증폭기 대역폭 문제는 회로 형태를 먼저 확인하고, 폐루프 이득을 계산한 다음, 단위이득 주파수를 그 이득으로 나누는 순서로 판단한다.

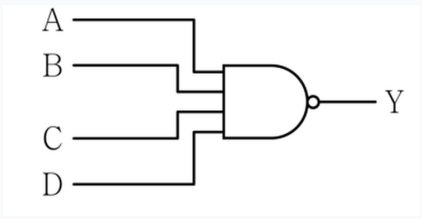
암기 포인트

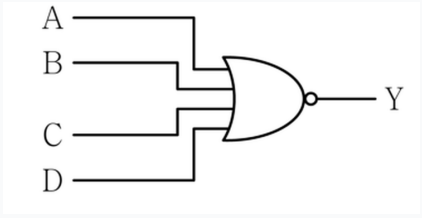
비반전 증폭기 대역폭은 $BW \approx \frac{f_T}{1 + R_f/R_1}$로 정리된다.

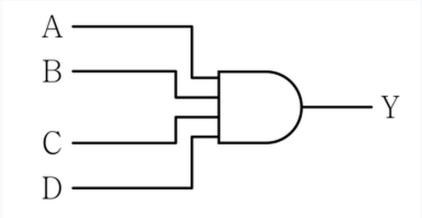
NoteBase

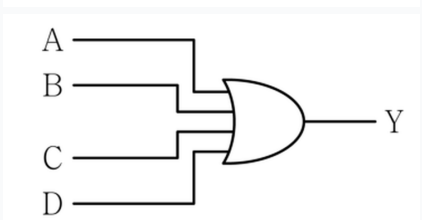
문 4. 다음 논리회로를 최소 형태로 간소화한 것은?



① 

② 

③ 

④ 

정답 4번

NoteBase

출제 포인트

이 문제는 인버터, AND, OR가 섞인 회로를 드모르간 법칙과 흡수법칙으로 정리해 최소형을 찾을 수 있는지를 묻는다.

핵심 정리

A, B, C는 먼저 각각 반전되어 3입력 AND에 들어가므로 그 출력은 $\overline{ABC}$이다. 이를 다시 반전하면 $A+B+C$가 된다. 이 신호가 그대로 최종 OR로 들어가고, 동시에 C와 AND된 항도 더해지므로 $Y=(A+B+C)+C(A+B+C)+D$이다. 여기서 $X+XY=X$ 또는 $C(A+B+C)=C$를 적용하면 최종적으로 $Y=A+B+C+D$가 된다.

선지별 해설

1번 X: 1번은 4입력 NAND 게이트이므로 출력이 $Y=\overline{ABCD}$인 형태이다. 원회로의 최종식은 $A+B+C+D$이므로 출력 전체가 반전되는 NAND형이 아니다. 틀린 표현은 최종 게이트가 NAND형이라는 점이며, 올바르게는 4입력 OR형이다.
2번 X: 2번은 4입력 NOR 게이트이므로 출력이 $Y=\overline{A+B+C+D}$가 된다. 원회로는 마지막에 OR 결합만 남고 최종 반전이 없으므로 NOR형이 될 수 없다. 틀린 표현은 OR 결과가 한 번 더 반전된다는 점이며, 올바르게는 반전 없는 $A+B+C+D$이다.
3번 X: 3번은 4입력 AND 게이트이므로 A, B, C, D가 모두 1일 때만 1이 된다. 원회로는 A, B, C, D 중 하나만 1이어도 출력이 1이 될 수 있는 OR형 구조이다. 틀린 표현은 모든 입력의 동시 참을 요구한다는 점이며, 올바르게는 어느 한 입력이 1이어도 출력이 1이 되는 OR형이다.
4번 O: 첫 번째 묶음은 $\overline{ABC}$를 만든 뒤 다시 반전하므로 $A+B+C$가 된다. 이 값이 그대로 최종 OR에 들어가고, 중간의 AND 경로는 $C(A+B+C)$로 정리되며 이는 이미 $A+B+C$에 흡수된다. 따라서 $Y=(A+B+C)+D=A+B+C+D$가 되어 4입력 OR 게이트와 일치한다.

오답 포인트

앞단에 인버터가 여러 개 보인다는 이유만으로 최종 회로를 NAND나 NOR로 오해하면 틀린다. 이 문항의 함정은 중간 반전과 마지막 반전을 구분하지 않고 게이트 모양만 대충 대응시키는 데 있다.

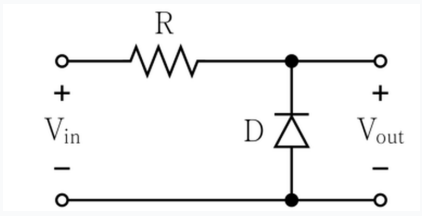
다시 나오면 이렇게 판단

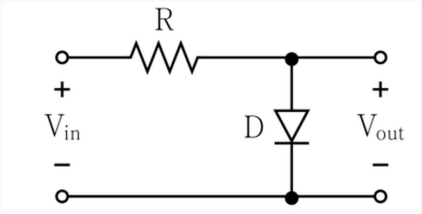
입력을 한 단계씩 식으로 바꾼 뒤 마지막 게이트 직전의 식을 먼저 정리하면 된다. 중간에 같은 항이 OR와 AND로 함께 나타나면 $X+XY=X$ 흡수법칙이 바로 적용되는지를 확인하면 최소형을 빠르게 찾을 수 있다.

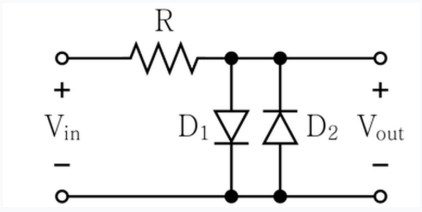
암기 포인트

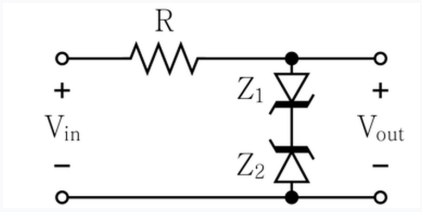
반전된 곱을 다시 반전하면 합이 되고, $X+XY=X$이면 중복된 AND 항은 흡수되어 OR 최소형만 남는다.

문 5. 다음 리미터(limiter) 회로에서 입력전압 V_{in}이 10 $[V_{rms}]$일 때, 출력전압 V_{out}의 최댓값이 6 $[V]$ 이상인 회로는? (단, 다이오드의 순방향 전압 $V_D = 0.7[V]$, 제너 다이오드의 제너전압 $V_Z = 4.5[V]$이다)

① 

② 

③ 

④ 

정답 1번

출제 포인트

이 문제는 회로도에서 다이오드와 제너 다이오드의 방향을 읽고, 입력 피크값 $V_{in,peak} = 10\sqrt{2} \approx 14.1V$와 각 리미터의 클리핑 전압을 비교하여 V_{out}의 최대값을 판단하는 문제이다.

NoteBase

선지별 해설

1번: O. ①은 출력 노드 쪽이 캐소드, 아래쪽이 애노드인 일반 다이오드 리미터이므로 음의 반주기에서만 도통하여 하한을 약 $-0.7V$로 제한한다. 양의 반주기 최대값은 거의 입력 피크인 $14.1V$까지 올라가므로 최대값이 6 V 이상인 회로가 맞다.
2번: X. ②는 다이오드 방향이 반대이므로 양의 반주기에서 도통하여 상한이 약 $0.7V$로 제한된다. "최대값이 6 V 이상이다"가 틀린 표현이고, 올바르게는 "최대값은 약 $0.7V$이다"이다.
3번: X. ③은 서로 반대 방향의 일반 다이오드 두 개가 병렬로 연결된 리미터이므로 양극성과 음극성 모두 약 $\pm 0.7V$에서 제한된다. "최대값이 6 V 이상이다"가 틀린 표현이고, 올바르게는 "최대값은 약 $0.7V$이다"이다.
4번: X. ④는 서로 반대 방향의 제너 다이오드 두 개이므로 한쪽은 역방향 항복 $V_Z = 4.5V$, 다른 쪽은 순방향 전압강하 $V_D = 0.7V$를 더한 약 $5.2V$에서 제한된다. "최대값이 6 V 이상이다"가 틀린 표현이고, 올바르게는 "최대값은 약 $5.2V$이다"이다.

오답 포인트

①과 ②는 같은 일반 다이오드 회로처럼 보여도 다이오드 방향이 반대라서 제한되는 반주기가 서로 다르다. 또한 ④를 보면 제너 두 개이므로 막연히 큰 전압이 나온다고 착각하기 쉬우나, 실제 상한은 $V_Z + V_D \approx 5.2V$이어서 6 V에 못 미친다. $10V_{rms}$를 바로 10 V 최대값으로 보는 실수도 자주 나온다.

다시 나오면 이렇게 판단

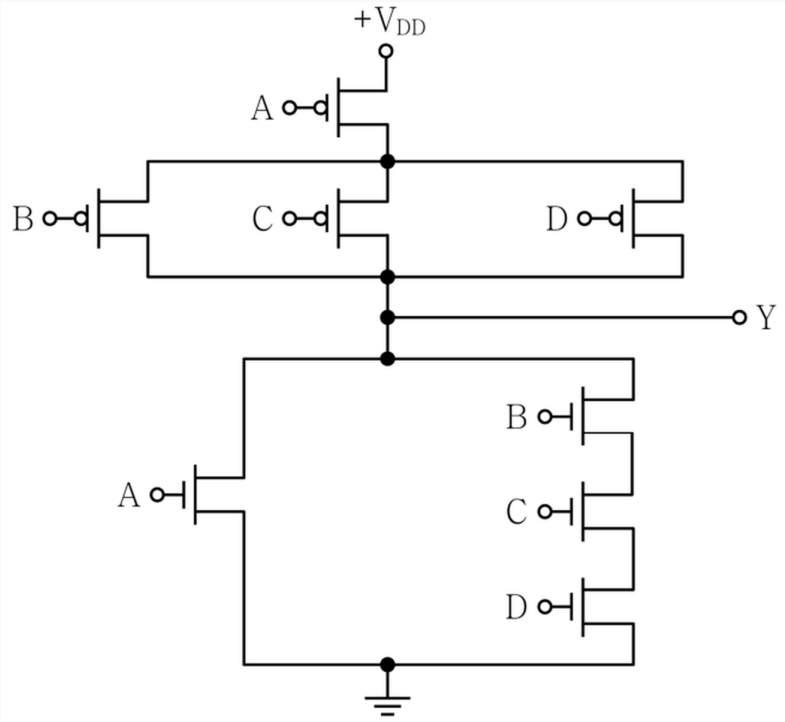
먼저 V_{rms}를 피크값으로 바꾸어 $10\sqrt{2} \approx 14.1V$를 잡는다.
그다음 다이오드 방향을 보고 어느 반주기에서 도통하는지 확인한다.
일반 다이오드 하나면 제한 전압은 약 $0.7V$, 역병렬 일반 다이오드면 최대값도 약 $0.7V$, 역병렬 제너 다이오드면 약 $V_Z + V_D$로 본다.
마지막으로 제한되지 않는 쪽 반주기의 피크가 그대로 살아 있는지 비교하면 정답을 고를 수 있다.

암기 포인트

일반 다이오드 리미터는 약 $0.7V$, 역병렬 제너 리미터는 약 $V_Z + 0.7V$, 한쪽 반주기만 잘리면 반대쪽 최대값은 입력 피크가 유지된다.

NoteBase

문 6. 다음 논리회로에서 출력 Y의 논리식은?



① $\overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D}$

② $A \cdot (B + C + D)$

③ $\overline{A \cdot (B + C + D)}$

④ $\overline{A + B \cdot C \cdot D}$

정답 4번

출제 포인트

이 문제는 CMOS 논리회로에서 아래 NMOS 풀다운망의 직렬·병렬 관계를 먼저 읽고, 출력 Y를 그 방전 조건의 보수로 정리할 수 있는지를 묻는 문제이다.

NoteBase

선지별 해설

1번 X: $\overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D}$는 드모르간 법칙으로 $\overline{A \cdot (B + C + D)}$와 같은 식이다. 이는 A가 직렬이고 B, C, D가 병렬인 구조를 읽은 결과인데, 실제 풀다운망은 A 단독 가지와 B-C-D 직렬 가지가 병렬이다. 틀린 구조 해석은 $A \cdot (B + C + D)$이고, 올바르게는 $A + B \cdot C \cdot D$이므로 출력은 $\overline{A + B \cdot C \cdot D}$이다.
2번 X: $A \cdot (B + C + D)$는 A와 B, C, D 중 하나가 직렬 조건으로 함께 켜질 때의 식이므로 회로의 병렬 구조와 맞지 않는다. 실제로는 A만 1이어도 아래 왼쪽 가지가 바로 도통하므로 출력은 0이 된다. 틀린 식은 $A \cdot (B + C + D)$이고, 올바른 출력식은 $\overline{A + B \cdot C \cdot D}$이다.
3번 X: $\overline{A \cdot (B + C + D)}$는 1번 식을 드모르간 형태로 다시 쓴 것일 뿐이다. 회로를 A와 B, C, D의 직렬-병렬 혼합으로 잘못 읽었기 때문에 보수까지 취해도 정답이 되지 않는다. 틀린 내부식은 $A \cdot (B + C + D)$이고, 올바르게는 $A + B \cdot C \cdot D$이므로 출력은 $\overline{A + B \cdot C \cdot D}$이다.
4번 O: 아래 NMOS망은 A 단독 가지와 B-C-D 직렬 가지가 병렬이므로 방전 조건은 $A + B \cdot C \cdot D$이다. CMOS 출력은 이 풀다운 조건의 보수이므로 $Y = \overline{A + B \cdot C \cdot D}$가 된다. 위 PMOS망도 A가 직렬이고 B, C, D가 병렬인 상보 구조이므로 같은 결론이 확인된다.

오답 포인트

A가 있는 왼쪽 아래 가지를 B, C, D 가지와 직렬로 착각하면 $A \cdot (B + C + D)$로 잘못 읽게 된다. CMOS 문제에서는 위 PMOS망을 먼저 억지로 해석하기보다 아래 NMOS 풀다운망의 직렬은 AND, 병렬은 OR로 읽고 마지막에 전체를 보수 처리하는 방식이 가장 안전하다.

다시 나오면 이렇게 판단

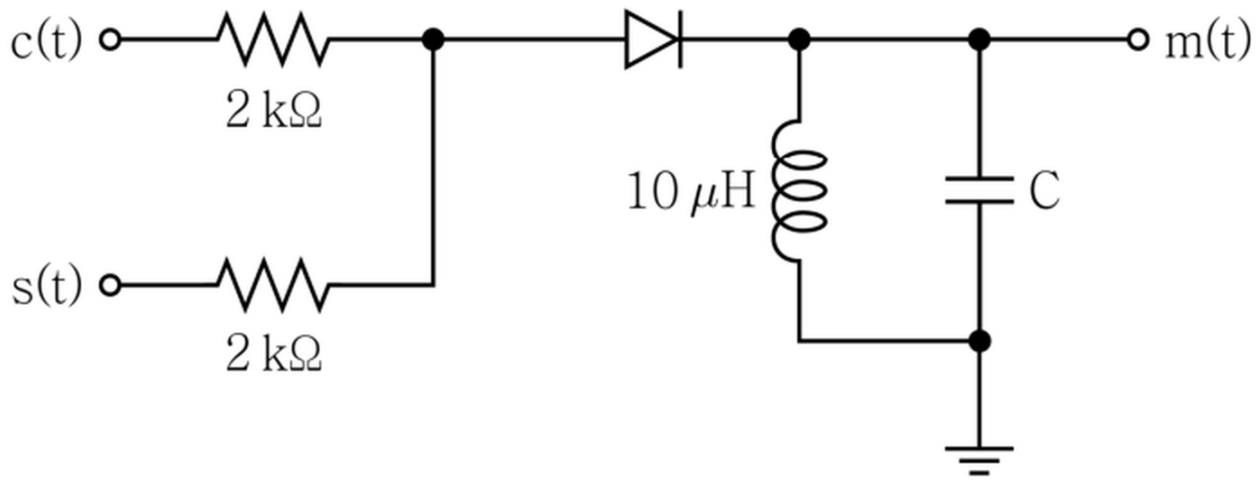
출력 노드에서 접지까지 이어지는 NMOS망을 먼저 본다. 직렬 연결은 AND, 병렬 연결은 OR로 묶어서 방전 조건을 만든 뒤, CMOS 출력은 그 보수라는 순서로 Y를 정리하면 된다.

암기 포인트

CMOS는 아래 NMOS망을 읽어 방전 조건을 구하고, 최종 출력은 Y=방전 조건로 정리한다.

NoteBase

문 7. 다음 회로에서 다이오드는 비선형으로 동작한다. 반송파 주파수 10 [MHz] 부근에서 변조가 발생하기 위한 커패시터 C[pF]는? (단, $c(t)$는 반송파 신호, $s(t)$는 변조 신호, $m(t)$는 피변조 신호를 나타내며, $s(t)$의 주파수는 $c(t)$의 주파수보다 매우 낮다)



① $\frac{50}{\pi^2}$
② $\frac{250}{\pi^2}$
③ $\frac{10}{\pi}$
④ $\frac{400}{\pi}$

정답 2번

출제 포인트

이 문제는 출력단의 LC 공진회로를 반송파 주파수 $10MHz$에 맞춘다고 보고, 공진식으로 캐패시터 값을 구할 수 있는지를 묻는다.

조건 정리

주어진 값: 인덕턴스 $L = 10\mu H$, 공진 주파수 $f_0 = 10MHz$
구해야 할 값: 캐패시터 C
주의할 조건: 다이오드의 비선형성으로 생긴 성분 중 반송파 부근 성분을 선택하려면 출력의 LC 회로가 반송파 주파수에 공진해야 한다.

NoteBase

사용할 공식

공진 조건은 $f_0 = \frac{1}{2\pi\sqrt{LC}}$이다.
이 공식을 쓰는 이유: 출력단은 L과 C로 이루어진 공진회로이므로, 반송파 부근의 성분을 통과시키려면 공진 주파수를 반송파 $10MHz$에 맞춰야 한다.

계산 과정

$f_0 = 10 \times 10^6 Hz, L = 10 \times 10^{-6} H$이다.
$C = \frac{1}{(2\pi f_0)^2 L}$
$C = \frac{1}{(2\pi \cdot 10 \times 10^6)^2 \cdot 10 \times 10^{-6}} = \frac{1}{4\pi^2 \times 10^9} F$
$C = \frac{10^3}{4\pi^2} pF = \frac{250}{\pi^2} pF$
따라서 필요한 캐패시터 값은 $\frac{250}{\pi^2} pF$이다.

선지 판단

1번 X: $\frac{50}{\pi^2} pF$는 계산된 공진값 $\frac{250}{\pi^2} pF$의 5분의 1이라서 $10MHz$ 공진 조건을 만족하지 못한다. 올바르게는 $\frac{250}{\pi^2} pF$이다.
2번 O: 공진식 $C = \frac{1}{(2\pi f_0)^2 L}$에 $f_0 = 10MHz, L = 10\mu H$를 대입하면 정확히 $\frac{250}{\pi^2} pF$가 된다.
3번 X: $\frac{10}{\pi} pF$는 계산 결과와 일치하지 않는 값이다. $(2\pi f_0)^2$의 제곱 처리와 단위 변환을 반영하면 올바른 값은 $\frac{250}{\pi^2} pF$이다.
4번 X: $\frac{400}{\pi} pF$도 계산된 공진값보다 훨씬 큰 값이어서 $10MHz$에 맞는 공진 용량이 아니다. 올바르게는 $\frac{250}{\pi^2} pF$이다.

오답 포인트

공진 주파수 식에서 f_0와 각주파수 ω_0를 혼동하거나, $(2\pi f_0)^2$의 제곱을 빠뜨리거나, μH를 그대로 숫자 10으로 두면 오답으로 흐른다.

다시 나오면 이렇게 판단

LC 공진형 문제는 먼저 어떤 주파수에 동조시키는지를 확인하고, 다음에 $f_0 = \frac{1}{2\pi\sqrt{LC}}$를 $C = \frac{1}{(2\pi f_0)^2 L}$로 정리한 뒤, $\mu H \to H, F \to pF$ 순서로 단위까지 검산하면 된다.

암기 포인트

반송파 선택용 LC 공진회로는 $f_0 = \frac{1}{2\pi\sqrt{LC}}$, 미지수가 C이면 $C = \frac{1}{(2\pi f_0)^2 L}$이다.

NoteBase

문 8. 반도체 소자의 전류 흐름에 대한 설명으로 옳지 않은 것은?

① 순방향 바이어스에서 동작하는 다이오드는 주로 확산(diffusion) 현상에 의해서 전류가 흐른다.

② 선형 영역에서 동작하는 MOS 트랜지스터는 주로 채널영역의 확산 현상에 의해서 전류가 흐른다.

③ 역방향 바이어스에서 동작하는 다이오드는 공핍층을 지나는 열생성 소수 캐리어(minority carrier)의 움직임에 의한 전류가 흐른다.

④ 순방향 활성(active) 영역에서 동작하는 바이폴라접합트랜지스터의 베이스 영역에서 소수 캐리어가 움직이는 것은 주로 확산 현상에 의한 것이다.

정답 2번

출제 포인트

이 문제는 반도체 소자별 동작 영역에서 전류를 지배하는 메커니즘이 확산인지 드리프트인지 구별하는지를 묻는다.

핵심 개념

확산 전류는 캐리어의 농도 구배 때문에 흐르는 전류이고, 드리프트 전류는 전기장 때문에 흐르는 전류이다. 순방향 pn 다이오드와 순방향 활성 BJT의 베이스에서는 확산이 지배적이고, MOS 채널 전류와 역바이어스 다이오드의 공핍층 전류는 전기장에 의한 드리프트가 지배적이다.

선지별 해설

1번: O. 순방향 바이어스된 다이오드는 접합 양쪽에 캐리어 농도 구배가 생겨 소수 캐리어가 확산으로 주입되므로 전류의 주된 메커니즘은 확산이다.
2번: X. 틀린 부분은 '채널영역의 확산 현상'이다. 선형 영역의 MOS 트랜지스터 전류는 소스와 드레인 사이에 형성된 횡전계가 채널 캐리어를 이동시키는 드리프트 전류가 주가 된다. 올바르게는 '선형 영역의 MOS 트랜지스터는 주로 채널영역에서 전기장에 의한 드리프트 전류가 흐른다'이다.
3번: O. 역방향 바이어스된 다이오드에서는 공핍층 전기장이 열적으로 생성된 소수 캐리어를 쓸어 가므로 역포화전류가 흐른다. 공핍층을 지나는 소수 캐리어의 움직임으로 전류가 생긴다는 설명은 맞다.
4번: O. 순방향 활성 영역의 BJT에서는 이미터에서 주입된 소수 캐리어가 베이스의 농도 구배 때문에 얇은 베이스를 통과한다. 따라서 베이스 영역에서의 주된 이동 메커니즘은 확산이다.

오답 포인트

MOSFET도 반도체 소자라는 이유로 다이오드와 같은 확산 전류로 묶으면 틀린다. 이 문항의 함정은 2번의 '채널영역'과 '확산'을 붙여 놓아 MOS 채널 전류의 본질이 드리프트라는 점을 흐리게 만든 데 있다.

NoteBase

다시 나오면 이렇게 판단

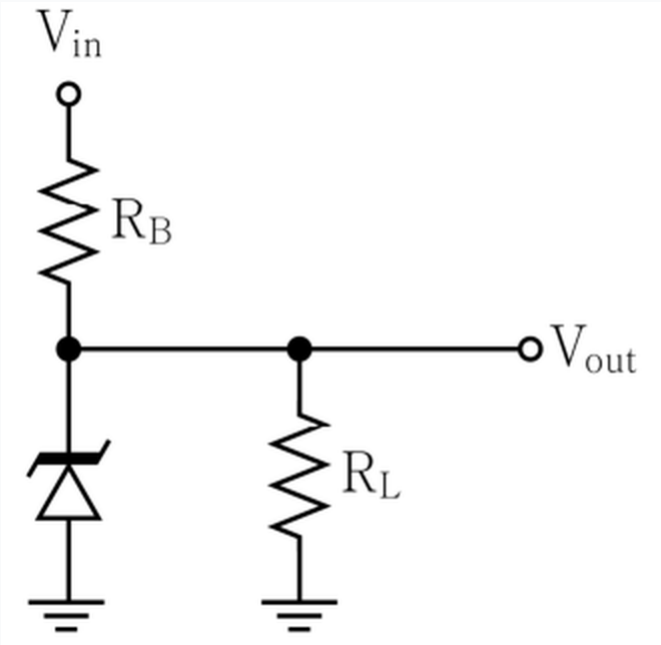
전류가 농도 구배 때문에 퍼지는 구조인지, 전기장이 캐리어를 끄는 구조인지부터 구분한다. 순방향 pn 접합과 BJT 베이스는 확산, MOS 채널과 역바이어스 공핍층은 드리프트로 판단하면 된다.

암기 포인트

다이오드 순방향과 BJT 베이스는 확산, MOS 채널과 다이오드 역바이어스 공핍층은 드리프트가 지배적이다.

NoteBase

문 9. 다음 제너 다이오드 정전압 회로에 대한 설명으로 옳은 것은?



① 제너 다이오드의 순방향 바이어스 특성을 이용하는 회로이다.

② 부하저항(R_L)에 흐르는 전류가 변할 때 출력전압(V_{out})의 변화를 이용하는 회로이다.

③ 부하저항에 흐르는 전류의 크기가 계속 증가하면 제너 다이오드는 제너항복(Zener breakdown) 영역에서 벗어난다.

④ 입력전압(V_{in})의 변화에 대해 출력전압의 변화가 작기 위해서는 제너 다이오드의 내부저항이 커야 한다.

정답 3번

출제 포인트

이 문제는 제너 다이오드 정전압 회로에서 직렬저항, 제너 다이오드, 부하저항의 전류 분배를 보고 제너 다이오드가 역방향 항복영역에서 출력전압을 거의 일정하게 유지한다는 점을 판단하는 문제이다.

NoteBase

선지별 해설

① X. 제너 정전압 회로는 제너 다이오드를 역방향으로 바이어스하여 항복영역의 거의 일정한 전압을 이용하는 회로이다. "순방향 바이어스 특성"이 틀렸고, 올바르게는 "역방향 항복 특성"을 이용하는 회로이다.

② X. 부하저항에 흐르는 전류가 변할 때 회로가 이용하는 것은 출력전압의 변화가 아니라 제너전류가 증감하면서 출력전압 변동을 억제하는 성질이다. "출력전압의 변화를 이용한다"가 틀렸고, 올바르게는 "출력전압 변화가 작도록 제너전류가 조정된다"이다.

③ O. 부하전류가 커지면 직렬저항을 통해 공급된 전류 중 부하로 가는 몫이 증가하므로 제너전류는 감소한다. 이 증가가 계속되면 제너전류가 최소 유지전류 아래로 떨어져 제너 다이오드는 항복영역에서 벗어나므로 옳은 설명이다.

④ X. 입력전압 변화에 대해 출력전압의 변화가 작으려면 제너 다이오드의 동저항, 즉 내부저항이 작아야 한다. "내부저항이 커야 한다"가 틀렸고, 올바르게는 "내부저항이 작을수록 정전압 특성이 좋아진다"이다.

오답 포인트

①은 제너 다이오드의 동작 방향을 순방향으로 바꿔 놓은 함정이고, ②는 정전압 회로의 목적이 출력전압 변화를 이용하는 것처럼 표현한 함정이다. ④는 동저항이 클수록 전압 변동이 더 커진다는 기본 관계를 반대로 뒤집어 놓은 함정이다.

다시 나오면 이렇게 판단

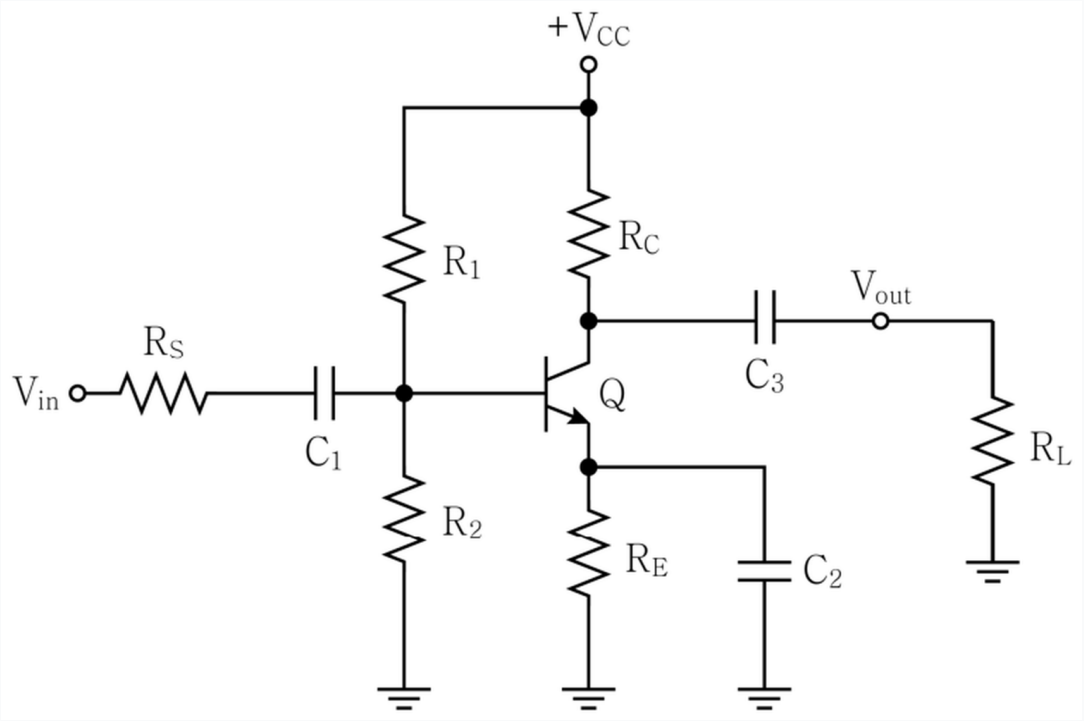
제너 정전압 회로가 나오면 먼저 제너 다이오드가 역방향 항복영역에서 동작하는지 본다. 다음으로 부하전류가 증가하면 제너전류가 감소하고, 입력전압 변동에 둔감하려면 제너의 동저항이 작아야 한다는 흐름으로 판단한다.

암기 포인트

제너 정전압 회로는 역방향 항복으로 전압을 잡고, 부하전류가 늘수록 제너전류는 줄어든다.

NoteBase

문 10. 다음 증폭기 회로에서 C_2를 포함하는 바이패스 RC 회로의 차단 주파수를 결정하는 데 관여하지 않는 소자는? (단, 바이폴라접합트랜지스터 Q의 교류이미터 저항 r'_e은 임의의 상수이고, 입력전압 V_{in}의 주파수는 충분히 낮다)



① R_S

② R_1

③ R_C

④ R_E

정답 3번

출제 포인트

이 문제는 공통 이미터 증폭기 회로도에서 C_2가 만드는 이미터 바이패스 저주파 극점이 어느 쪽 저항에 의해 정해지는지를 묻는 문제이다.

핵심 정리

저주파에서 C_2의 차단주파수는 대체로 $f_{L2} \approx \frac{1}{2\pi C_2 R_{seen}}$으로 정해진다.
여기서 R_{seen}은 C_2가 이미터 단자에서 바라본 저항으로, 직접 연결된 R_E와 베이스 쪽 저항망의 반사 성분 R_S, R_1, R_2, r'_e에 의해 결정된다.
반면 컬렉터 가지의 R_C는 C_2의 충방전 경로에 직접 들어오지 않으므로 이 극점 결정에 관여하지 않는다.

NoteBase

선지별 해설

① X
R_S가 정답이 되려면 R_S가 차단주파수 결정에 관여하지 않아야 하지만, 실제로는 입력원을 교류적으로 0으로 두면 R_S가 베이스 쪽 저항으로 남아 이미터 쪽으로 반사된다.
따라서 올바른 표현은 "R_S는 C_2의 차단주파수 결정에 관여한다"이다.

② X
R_1도 바이어스 분압망의 일부이므로 R_2와 함께 베이스가 보는 저항을 만든다.
이 베이스 저항은 트랜지스터를 거쳐 이미터 쪽 유효 저항에 반영되므로, 올바른 표현은 "R_1은 차단주파수 결정에 관여한다"이다.

③ O
R_C는 컬렉터 회로의 부하 저항이지만, C_2는 이미터에서 접지로 연결된 바이패스 커패시터이다.
따라서 C_2가 보는 저항은 이미터와 베이스 쪽에서 정해지고 컬렉터 저항 R_C는 포함되지 않으므로, "R_C는 차단주파수 결정에 관여하지 않는다"가 맞다.

④ X
R_E는 C_2가 바로 바이패스하는 저항이므로 이 극점과 가장 직접적으로 연결된 소자이다.
따라서 올바른 표현은 "R_E는 차단주파수 결정에 관여한다"이다.

오답 포인트

회로를 전체적으로 보면서 출력측의 R_C도 주파수 특성에 영향을 줄 것처럼 느끼기 쉽지만, 이 문항은 C_2 하나가 만드는 바이패스 RC 극점만 따로 묻는다.
출력측 부하인지, C_2의 실제 충방전 경로에 들어가는 저항인지를 구분하지 못하면 ①, ②, ④ 대신 ③을 배제하는 실수가 나온다.

다시 나오면 이렇게 판단

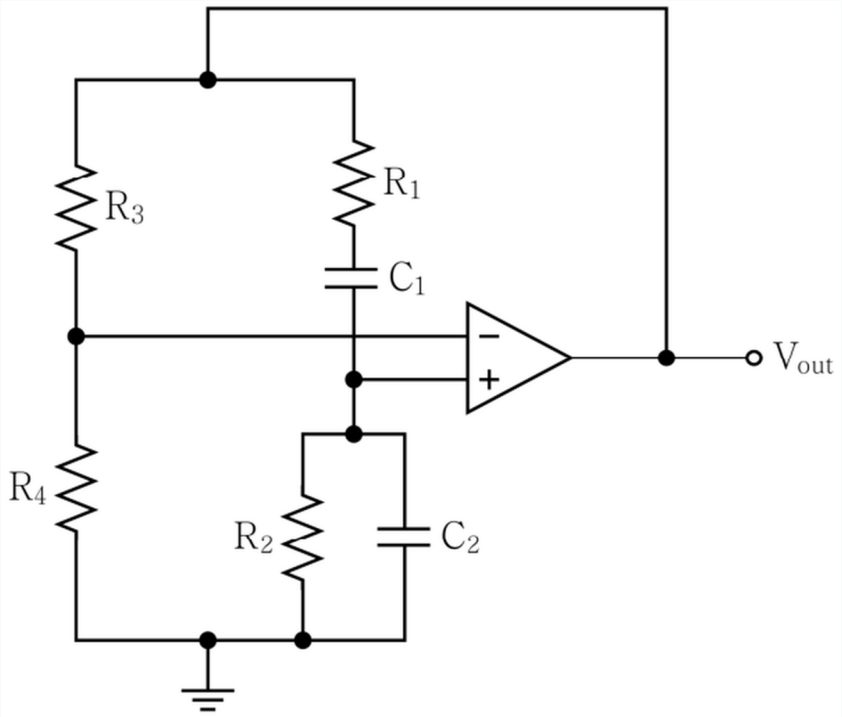
바이패스 커패시터 문제는 그 커패시터의 양 단자에서 실제로 전류가 드나드는 경로만 추린다.
그다음 해당 단자에서 본 등가저항에 들어가는 소자만 남기면 되고, 다른 단자망에 있는 출력측 저항은 제외하면 된다.

암기 포인트

이미터 바이패스 C_2의 극점은 이미터·베이스 쪽 저항이 정하고, 컬렉터 저항 R_C는 정하지 않는다.

NoteBase

문 11. 다음 발진회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이며, $R_1 = R_2 = R$, $C_1 = C_2 = C$이다)



① 발진주파수는 $f_r = \frac{1}{2\pi\sqrt{RC}}$이다.

② R_1, R_2, C_1, C_2는 진상-지상 회로를 구성한다.

③ 발진을 위해서 정귀환(positive feedback) 루프의 위상천이가 $n \times 360\,^\circ$(n은 정수)이어야 한다.

④ 발진을 위해서 $R_3 = 2R_4$가 되어야 한다.

정답 1번

출제 포인트

이 문제는 회로도에서 빈 브리지 발진회로의 RC 진상-지상망과 비반전 증폭기 이득 조건을 읽어 발진주파수와 발진조건을 판별하는 문제이다.

NoteBase

선지별 해설

1번: X. 이 회로는 $R_1 = R_2 = R, C_1 = C_2 = C$인 빈 브리지 발진회로이므로 발진주파수는 $f_r = \frac{1}{2\pi RC}$이다. 일반식은 $f_r = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$이고, 여기서 모두 같으면 $\sqrt{R^2C^2} = RC$가 된다. 틀린 표현은 "$\frac{1}{2\pi\sqrt{RC}}$"이고, 올바르게는 "$\frac{1}{2\pi RC}$"이다.

2번: O. 출력에서 비반전 입력으로 들어가는 $R_1 - C_1$ 직렬망과 입력 노드에서 접지로 내려가는 $R_2 \parallel C_2$ 망은 빈 브리지 발진기의 진상-지상 회로를 이룬다. 한쪽은 진상 성분, 다른 한쪽은 지상 성분을 제공하여 특정 주파수에서 위상차가 0이 된다.

3번: O. 발진조건은 바르크하우젠 조건으로 설명하며, 정귀환 루프의 전체 위상천이는 $n \times 360\,^\circ$이어야 한다. 이 회로에서는 RC망이 발진주파수에서 0도 위상천이를 만들고, 증폭기는 비반전 경로이므로 전체 위상이 정귀환 조건을 만족한다.

4번: O. 빈 브리지 발진기에서 RC망의 크기 감쇠는 발진주파수에서 1/3이므로 증폭기 이득은 3이어야 한다. 비반전 증폭기 이득은 $1 + \frac{R_3}{R_4}$이므로 $1 + \frac{R_3}{R_4} = 3 \Rightarrow R_3 = 2R_4$가 된다.

오답 포인트

①은 일반식과 등가조건식을 섞어 놓은 함정이다. $\sqrt{R_1R_2C_1C_2}$를 기억한 상태에서 $R_1 = R_2 = R, C_1 = C_2 = C$를 대입하면 RC가 되어야 하는데, 이를 $\sqrt{RC}$로 잘못 줄이면 차원이 맞지 않아 바로 오답이 된다.

다시 나오면 이렇게 판단

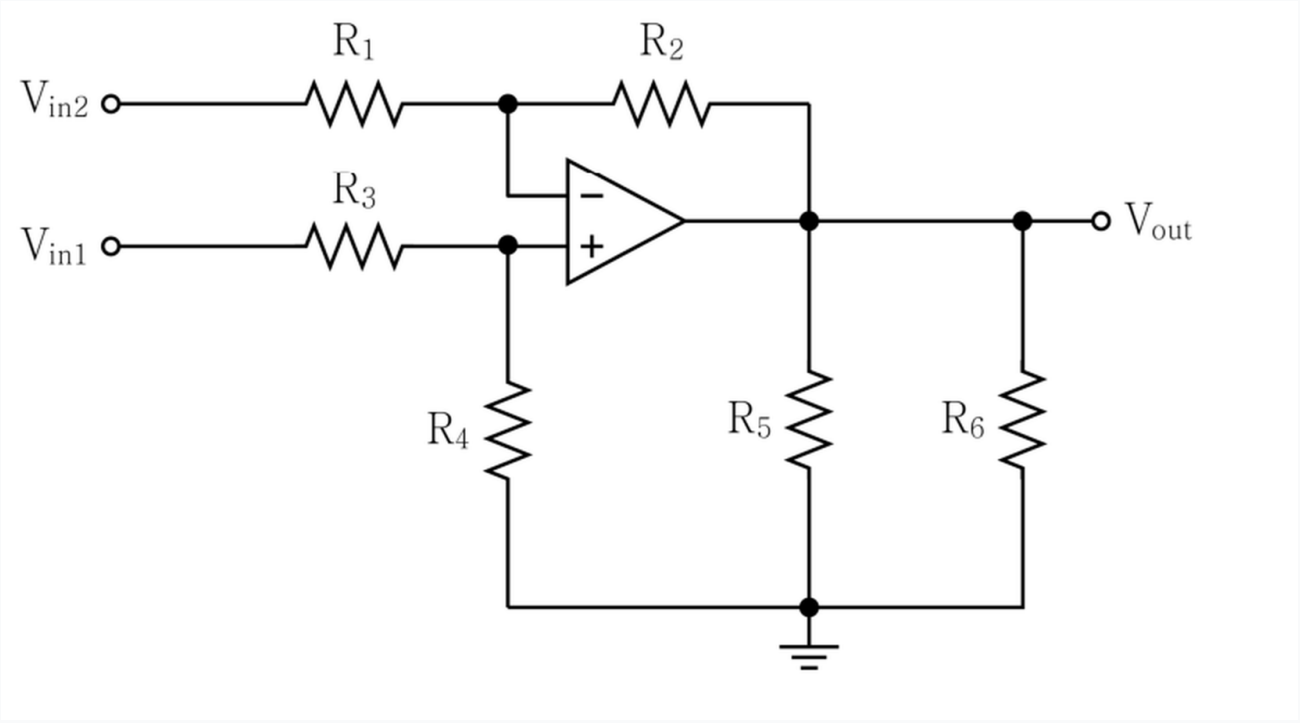
출력에서 비반전 입력으로 연결된 RC 직렬-병렬망이 보이면 먼저 빈 브리지 발진기인지 확인한다. 그다음 $f_r = \frac{1}{2\pi RC}$, RC망 감쇠 1/3, 비반전 이득 3의 순서로 연결하면 발진조건 선지를 빠르게 판별할 수 있다.

암기 포인트

빈 브리지 발진기에서는 $f_r = \frac{1}{2\pi RC}$, 증폭기 이득은 3, 따라서 $R_3 = 2R_4$이다.

NoteBase

문 12. 다음 회로에서 전압이득 $\frac{V_{out}}{V_{in1}}$은? (단, 연산증폭기는 이상적이고, $V_{in1} = 1.2V_{in2}$, $2R_1 = R_2 = R_6$, $2R_3 = R_4$, $R_5 = 20R_6$이다)



① $\frac{1}{6}$
② $\frac{1}{3}$
③ $\frac{2}{3}$
④ $\frac{5}{6}$

정답 2번

출제 포인트

이 문제는 이상적인 연산증폭기에서 비반전 입력단의 분압 전압을 먼저 구한 뒤, $V_- = V_+$와 반전 입력단 KCL을 이용해 $\frac{V_{out}}{V_{in1}}$을 계산하는 문제이다.

조건 정리

주어진 값은 $V_{in1} = 1.2V_{in2}$, $R_2 = 2R_1$, $R_4 = 2R_3$, $R_5 = 20R_6$, $R_6 = R_2$이다.
구해야 할 값은 $\frac{V_{out}}{V_{in1}}$이다.
이상적인 연산증폭기이므로 입력전류는 0이고, 음귀환이 걸려 있으면 $V_- = V_+$가 된다.
출력단의 R_5, R_6는 부하저항이므로 이상적인 연산증폭기에서는 출력전압 자체를 바꾸지 않는다.

NoteBase

사용할 공식

비반전 입력단 전압은 분압으로 $V_+ = \frac{R_4}{R_3+R_4}V_{in1}$이다.
반전 입력단에서는 입력전류가 0이므로
$\frac{V_- - V_{in2}}{R_1} + \frac{V_- - V_{out}}{R_2} = 0$
가 된다.
이 공식을 쓰는 이유는 비반전 입력단은 저항 분압회로이고, 반전 입력단은 연산증폭기 입력전류가 0인 접점이어서 KCL을 바로 적용할 수 있기 때문이다.

계산 과정

1. $R_4 = 2R_3$이므로
$V_+ = \frac{R_4}{R_3+R_4}V_{in1} = \frac{2R_3}{R_3+2R_3}V_{in1} = \frac{2}{3}V_{in1}$
이다.
2. 이상적인 연산증폭기의 음귀환 조건에서 $V_- = V_+ = \frac{2}{3}V_{in1}$이다.
3. 반전 입력단 KCL에서
$\frac{V_- - V_{in2}}{R_1} + \frac{V_- - V_{out}}{R_2} = 0$
이고 $R_2 = 2R_1$이므로
$2(V_- - V_{in2}) + (V_- - V_{out}) = 0$
$V_{out} = 3V_- - 2V_{in2}$
이다.
4. $V_- = \frac{2}{3}V_{in1}$을 대입하면
$V_{out} = 2V_{in1} - 2V_{in2} = 2(V_{in1} - V_{in2})$
이다.
5. $V_{in1} = 1.2V_{in2}$이므로 $V_{in2} = \frac{V_{in1}}{1.2} = \frac{5}{6}V_{in1}$이다. 따라서
$V_{out} = 2\left(V_{in1} - \frac{5}{6}V_{in1}\right) = 2 \cdot \frac{1}{6}V_{in1} = \frac{1}{3}V_{in1}$
이다.
따라서
$\frac{V_{out}}{V_{in1}} = \frac{1}{3}$
이다.

NoteBase

선지별 해설

① X
- $\frac{1}{6}$은 $V_{in1} - V_{in2} = \frac{1}{6}V_{in1}$까지만 구하고, 최종식 $V_{out} = 2(V_{in1} - V_{in2})$의 계수 2를 빠뜨린 값이다.
- 틀린 표현은 이득이 $\frac{1}{6}$이라는 부분이고, 올바르게는 $\frac{V_{out}}{V_{in1}} = \frac{1}{3}$이다.

② O
- 비반전 입력단 전압은 $\frac{2}{3}V_{in1}$, 반전 입력단 KCL로부터 $V_{out} = 3V_- - 2V_{in2}$가 된다.
- $V_{in2} = \frac{5}{6}V_{in1}$을 대입하면 $V_{out} = \frac{1}{3}V_{in1}$이므로 이 선택지가 맞다.

③ X
- $\frac{2}{3}$은 $V_+ = V_-$의 값만 보고 그것을 그대로 출력전압 비로 오해한 경우에 나오는 값이다.
- 틀린 표현은 출력이 곧 $\frac{2}{3}V_{in1}$이라는 부분이고, 올바르게는 반전 입력단의 V_{in2} 영향까지 포함해 $\frac{V_{out}}{V_{in1}} = \frac{1}{3}$이다.

④ X
- $\frac{5}{6}$은 $V_{in2} = \frac{5}{6}V_{in1}$라는 입력 간 관계를 그대로 전압이득으로 착각한 값이다.
- 틀린 표현은 $\frac{5}{6}$이 출력 이득이라는 부분이고, 올바르게는 이것은 $\frac{V_{in2}}{V_{in1}}$의 값일 뿐이며 실제 이득은 $\frac{1}{3}$이다.

오답 포인트

출력단의 R_5, R_6 값을 계산에 억지로 넣으려는 실수가 가장 흔하다. 이상적인 연산증폭기에서는 이 저항들이 출력전류만 바꿀 뿐 출력전압 이득은 바꾸지 않는다. 또 $V_+ = \frac{2}{3}V_{in1}$를 구한 뒤 이를 곧바로 V_{out}으로 오해하거나, $V_{in1} - V_{in2}$까지만 계산하고 앞의 계수 2를 빼먹기 쉽다.

다시 나오면 이렇게 판단

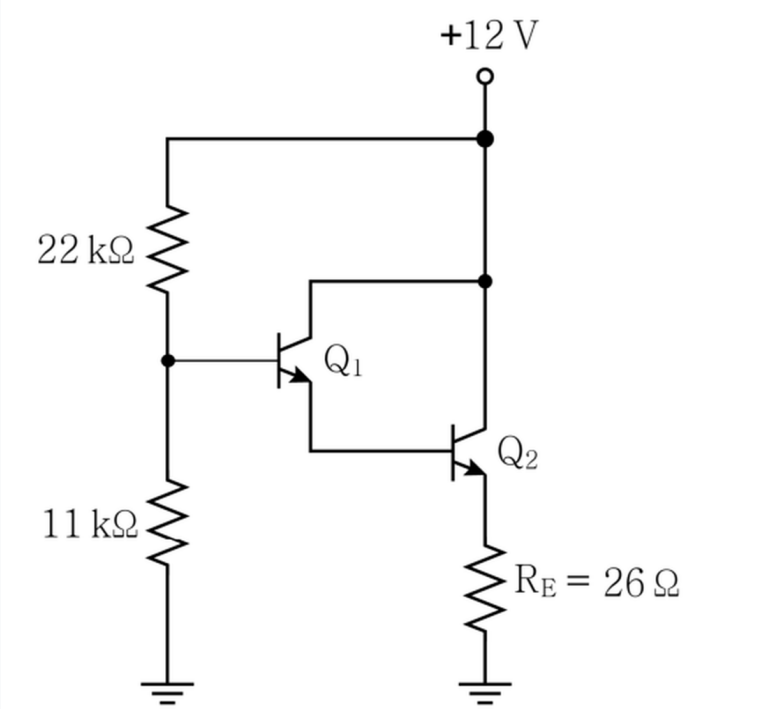
이상적인 연산증폭기 회로는 먼저 비반전 입력단 전압을 분압으로 구하고, 다음에 $V_- = V_+$를 놓은 뒤, 반전 입력 접점에 KCL을 적용해 출력식을 만든다. 출력단에 달린 단순 부하저항은 전압이득 계산에서 우선 제외하고 본다.

암기 포인트

이상적 연산증폭기 계산은 분압으로 V_+를 구하고, $V_- = V_+$, 반전단 KCL 순서로 정리하면 된다.

NoteBase

문 13. 다음 회로에서 이미터저항 R_E가 소비하는 전력[mW]은? (단, 각 바이폴라접합트랜지스터의 베이스-이미터 전압은 $V_{BE} = 0.7[V]$이고, 전류이득 β는 충분히 크다)



① 260

② 420

③ 1675

④ 2050

정답 1번

출제 포인트

이 문제는 분압회로로 Q1의 베이스 전압을 구한 뒤, 다알링턴 접속처럼 연속된 두 번의 V_{BE} 강하를 반영하여 R_E의 소비전력을 계산하는 문제이다.

NoteBase

조건 정리

주어진 값:
- 전원은 $12V$이다.
- 분압 저항은 $22k\Omega$, $11k\Omega$이다.
- 각 트랜지스터의 V_{BE}는 $0.7V$이다.
- 전류이득 β는 충분히 커서 베이스 전류는 무시한다.
- $R_E = 26\Omega$이다.

구해야 할 값:
- R_E가 소비하는 전력이다.

주의할 조건:
- Q1과 Q2를 지나며 V_{BE}가 두 번 빠진다.

사용할 공식

$V_{B1} = 12 \times \frac{11}{22+11}$, $V_{R_E} = V_{B1} - 2V_{BE}$, $P_{R_E} = \frac{V_{R_E}^2}{R_E} = V_{R_E} I_E$이다.
이 공식을 쓰는 이유:
분압회로가 Q1의 베이스 전압을 정하고, Q1의 이미터가 다시 Q2의 베이스가 되므로 이미터 저항에는 베이스 전압에서 V_{BE} 두 개를 뺀 전압이 걸린다. 그 전압을 구하면 저항 전력식을 바로 적용할 수 있다.

계산 과정

1. 분압으로 Q1의 베이스 전압을 구하면 $V_{B1} = 12 \times \frac{11}{22+11} = 4V$이다.
2. Q1의 이미터 전압이자 Q2의 베이스 전압은 $V_{B2} = 4 - 0.7 = 3.3V$이다.
3. Q2의 이미터 전압, 즉 R_E 양단전압은 $V_{R_E} = 3.3 - 0.7 = 2.6V$이다.
4. 따라서 전류는 $I_E = \frac{2.6}{26} = 0.1A$이고, 소비전력은 $P_{R_E} = 2.6 \times 0.1 = 0.26W = 260mW$이다.

선지 판단

1번: O. 계산 결과가 $260mW$이므로 정답이다.
2번: X. $420mW$는 두 번째 V_{BE} 강하를 빠뜨려 $V_{R_E} = 4 - 0.7 = 3.3V$로 계산할 때 나오는 값이다. 실제로는 V_{BE}를 두 번 빼야 하므로 선지의 수치를 $260mW$로 고치면 맞다.
3번: X. $1675mW$는 분압비를 거꾸로 보아 $V_{B1} = 12 \times \frac{22}{33} = 8V$로 잘못 계산하고, V_{BE}는 두 번 뺀 경우에 해당한다. 분압 하단 저항 $11k\Omega$에 걸리는 전압은 $4V$이므로 선지의 수치를 $260mW$로 고치면 맞다.
4번: X. $2050mW$는 분압비를 거꾸로 본 데다 V_{BE}도 한 번만 빼서 $V_{R_E} = 8 - 0.7 = 7.3V$로 계산할 때 나오는 값이다. 실제 전력은 $260mW$이므로 선지의 수치를 $260mW$로 고치면 맞다.

NoteBase

오답 포인트

분압회로의 기준을 위쪽 저항이 아니라 아래쪽 $11k\Omega$에 걸리는 전압으로 잡아야 한다는 점과, 다알링턴 구조에서 V_{BE}가 한 번이 아니라 두 번 빠진다는 점이 핵심 함정이다. 2번은 V_{BE} 개수를 하나 놓친 오답이고, 3번과 4번은 분압비 방향까지 잘못 본 오답이다.

다시 나오면 이렇게 판단

트랜지스터 계산형은 먼저 분압으로 기준 베이스 전압을 잡고, 그다음 연결된 트랜지스터 수만큼 V_{BE}를 차감하여 저항 양단전압을 구한 뒤, 마지막에 $P = VI$ 또는 $P = \frac{V^2}{R}$를 적용하는 순서로 판단한다.

암기 포인트

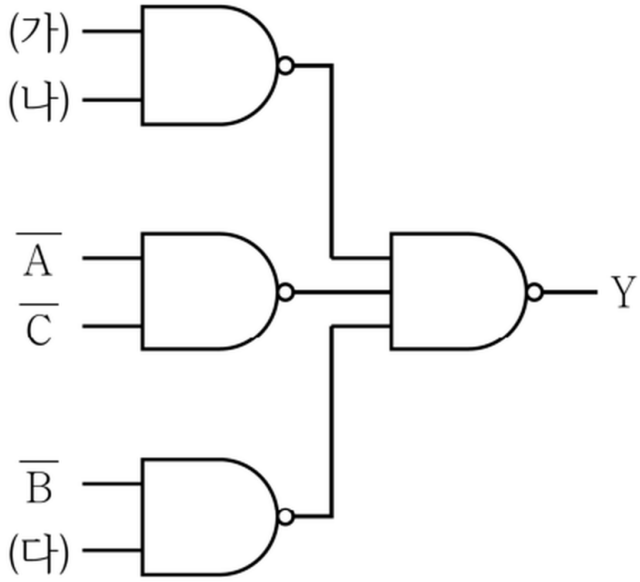
다알링턴 이미터 전압은 입력 베이스 전압에서 $0.7V$를 두 번 뺀 값이며, 저항 전력은 그 전압으로 다시 계산한다.

NoteBase

문 14. 그림 (a)에 주어진 카르노 맵을 그림 (b)의 NAND 게이트만으로 구현할 때, 그림 (b)의 입력 (가) ~ (다)에 들어갈 것으로 바르게 연결한 것은?

CD \ AB	00	01	11	10
00	1	1	0	1
01	X	1	0	1
11	0	0	X	0
10	1	X	0	1

(a)



(b)

① (가): $\overline{A}$, (나): $\overline{D}$, (다): $\overline{D}$

② (가): $\overline{A}$, (나): $\overline{D}$, (다): $\overline{C}$

③ (가): $\overline{B}$, (나): $\overline{A}$, (다): $\overline{C}$

④ (가): $\overline{B}$, (나): $\overline{C}$, (다): $\overline{D}$

정답 4번

출제 포인트

이 문제는 카르노 맵의 1과 X를 묶어 최소합을 구한 뒤, 이를 NAND-NAND 구조로 옮길 수 있는지를 묻는다. 최소식은 $Y = \overline{BC} + \overline{AC} + \overline{BD}$이다.

NoteBase

선지별 해설

1번 X: (가), (나)를 각각 $\overline{A}, \overline{D}$로 두면 윗단 NAND가 $(\overline{AD})'$를 만들어 최종적으로 $\overline{AD}$ 항이 들어간다. 그러나 카르노 맵에는 $\overline{BC}$ 항이 반드시 필요하고 $\overline{AD}$ 항은 최소식에 없다. 특히 $A=1, B=0, C=0, D=1$인 칸은 1이어야 하는데 이 선지는 그 칸을 만들지 못한다. 올바르게는 (가), (나)가 각각 $\overline{B}, \overline{C}$이고 (다)가 $\overline{D}$이다.
2번 X: 아랫단 NAND가 $(\overline{BC})'$를 만들어 $\overline{BC}$ 항은 생기지만, 윗단이 여전히 $\overline{AD}$이므로 필요한 $\overline{BD}$ 항이 없다. 따라서 $A=0, B=0, C=1, D=0$인 1칸을 덮지 못한다. 올바르게는 윗단이 $\overline{BC}$, 아랫단이 $\overline{BD}$가 되어야 한다.
3번 X: 윗단 NAND의 입력이 $\overline{B}$와 $\overline{A}$이면 최종 항은 $\overline{AB}$가 된다. 이는 카르노 맵의 묶음에서 나오지 않는 항이고, 동시에 필요한 $\overline{BD}$ 항도 빠진다. 특히 $A=0, B=0, C=1, D=0$인 1칸을 설명하지 못한다. 올바르게는 (가), (나), (다)가 각각 $\overline{B}, \overline{C}, \overline{D}$이다.
4번 O: 윗단, 중단, 아랫단이 각각 $\overline{BC}, \overline{AC}, \overline{BD}$의 보수를 만들고, 마지막 NAND가 이를 다시 합쳐 $Y=\overline{BC}+\overline{AC}+\overline{BD}$를 구현한다. 카르노 맵의 모든 1을 덮고 0칸과도 모순이 없으므로 (가)=$\overline{B}$, (나)=$\overline{C}$, (다)=$\overline{D}$가 맞다.

오답 포인트

카르노 맵을 보고 항을 바로 추정하면 $\overline{BC}$와 $\overline{BD}$처럼 $\overline{B}$를 공통으로 갖는 묶음을 하나 놓치기 쉽다. 또 NAND만으로 구현한 회로에서는 첫 단 NAND의 출력이 곧바로 곱항이 아니라 곱항의 보수라는 점을 잊으면 선지 1번이나 2번처럼 비슷해 보이는 연결을 고르게 된다.

다시 나오면 이렇게 판단

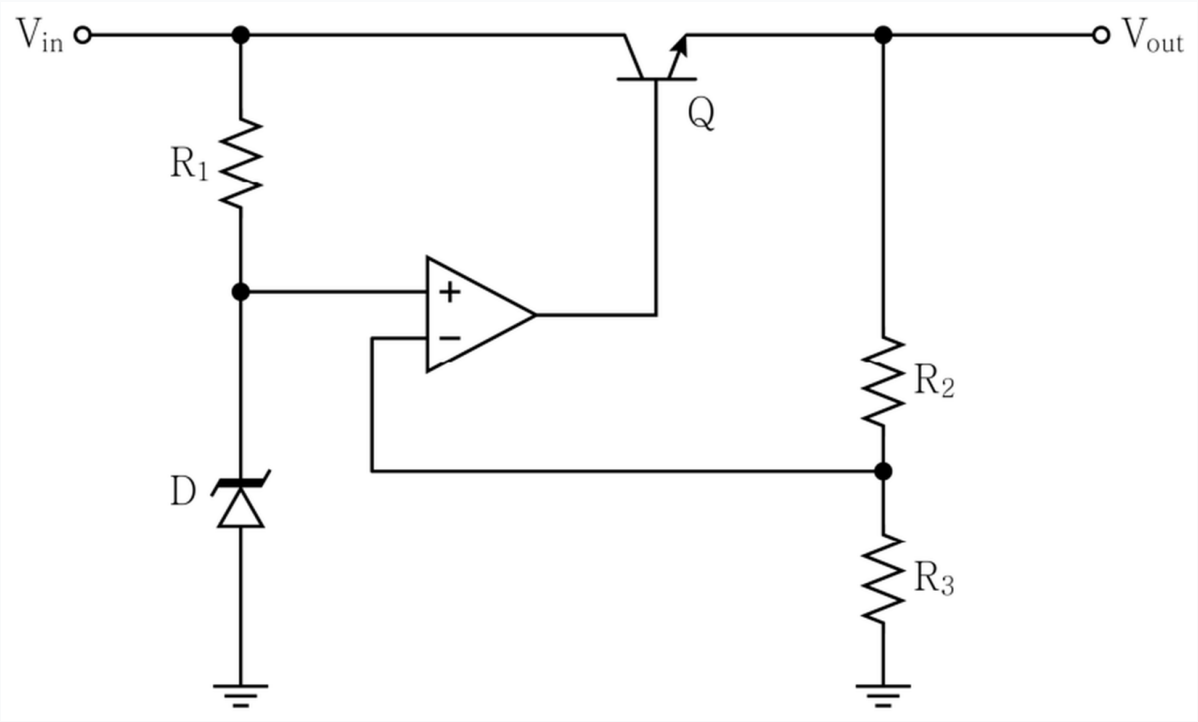
먼저 카르노 맵에서 1과 X를 최대한 크게 묶어 최소식을 만든다. 그다음 각 첫 단 NAND가 어떤 곱항의 보수를 만드는지 적고, 마지막 NAND가 그 곱항들을 OR로 합친다는 드모르간 변환으로 연결하면 된다.

암기 포인트

NAND-NAND 2단 구조는 최소합의 각 곱항을 첫 단에서 보수로 만들고 마지막 NAND에서 다시 합쳐 원래의 합으로 복원하는 형태이다.

NoteBase

문 15. 다음 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



① 제너 다이오드 D는 기준 전압을 제공한다.

② 출력전압이 변하면, 바이폴라접합트랜지스터 Q의 전류는 출력전압을 일정하게 유지하도록 제어된다.

③ 연산증폭기는 반전증폭기로 동작하여 오차를 검출하는 역할을 한다.

④ 직렬형 전압조정기이다.

정답 3번

출제 포인트

이 문제는 제너 다이오드 기준전압과 출력 분압 되먹임을 이용한 직렬형 전압조정기 회로에서 연산증폭기의 역할을 판단하는 문제이다.

NoteBase

선지별 해설

① O
제너 다이오드 D는 역방향 항복 영역에서 거의 일정한 전압을 만들어 연산증폭기 +단자에 기준전압을 제공한다.

② O
출력전압은 R_2, R_3 분압을 거쳐 -단자에 되먹임된다. 출력전압이 변하면 연산증폭기 출력이 바뀌고 그에 따라 Q의 도통 정도가 조절되어 출력전압이 다시 일정해진다.

③ X
이 연산증폭기는 반전증폭기라기보다 기준전압과 되먹임 전압의 차이를 비교하는 오차 증폭기이다. 틀린 표현은 '반전증폭기로 동작하여'이고, 올바르게는 '오차 증폭기로 동작하여 기준전압과 출력 샘플 전압의 차이를 증폭한다'이다.

④ O
트랜지스터 Q가 입력과 출력 사이에 직렬로 들어가 출력전압을 조절하므로 이 회로는 직렬형 전압조정기이다.

오답 포인트

연산증폭기의 -단자에 출력 분압이 연결되어 있다는 이유만으로 곧바로 반전증폭기라고 보면 틀리기 쉽다. 이 회로의 핵심은 증폭기 형태의 이름이 아니라 기준전압과 되먹임 전압의 오차를 증폭하여 패스 트랜지스터를 제어하는 점이다.

다시 나오면 이렇게 판단

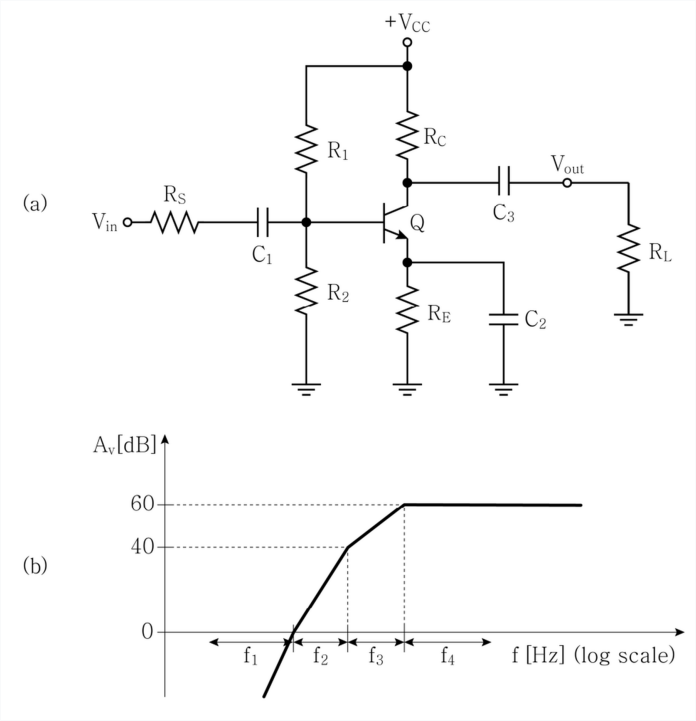
회로에서 먼저 기준전압원, 출력 검출 분압기, 직렬 패스 소자를 찾으면 된다. 그다음 연산증폭기가 두 전압을 비교해 패스 소자를 제어하면 직렬형 레귤레이터의 오차 증폭 구조로 판단할 수 있다.

암기 포인트

제너는 기준전압, 연산증폭기는 오차 증폭, 직렬 트랜지스터는 출력 조정이라는 역할 분담이 직렬형 전압조정기의 핵심이다.

NoteBase

문 16. 그림 (a) 바이폴라접합트랜지스터 증폭기의 전압이득 $A_V = \frac{V_{out}}{V_{in}}$에 대한 보드선도(bode plot)를 그림 (b)에 나타내고 있다. 이 증폭기에서 입력전압 $V_{in} = 0.01[V]$를 인가하면 출력전압 $V_{out} = 2[V]$가 출력될 때, 인가된 입력신호의 주파수 범위로 옳은 것은?



① f_1

② f_2

③ f_3

④ f_4

정답 3번

출제 포인트

이 문제는 입력·출력 전압비를 전압이득의 dB 값으로 환산한 뒤, 보드선도에서 그 값이 들어가는 주파수 구간을 찾는 문제이다.

조건 정리

주어진 값은 $V_{in} = 0.01V$, $V_{out} = 2V$이다.
구해야 할 값은 이 조건을 만족하는 전압이득 구간이다.
보드선도에서 f_2 구간은 $0dB$부터 $40dB$, f_3 구간은 $40dB$부터 $60dB$, f_4 구간은 $60dB$ 평탄구간이다.

NoteBase

사용할 공식

전압이득의 dB 표현은 $A_v[dB] = 20\log_{10}(V_{out}/V_{in})$이다.
문제는 실제 전압비가 얼마인지 먼저 구한 뒤, 그 값을 dB로 바꾸어 보드선도의 세로축과 비교하는 구조이다.

계산 과정

1. 전압이득은 $A_v = V_{out}/V_{in} = 2/0.01 = 200$이다.
2. 이를 dB로 바꾸면 $A_v[dB] = 20\log_{10}(200) \approx 20 \times 2.301 = 46dB$이다.
3. $46dB$는 보드선도에서 $40dB$와 $60dB$ 사이에 있으므로 해당 주파수 구간은 f_3이다.

선지 판단

1번 X: f_1 구간의 이득은 $0dB$보다 작은 영역이다. 이는 전압이득이 1보다 작은 구간이므로 $V_{out} = 2V$가 될 수 없다. 틀린 표현은 "정답 구간이 f_1이다"이고, 올바르게는 필요한 $46dB$는 f_3 구간에 해당한다.
2번 X: f_2 구간은 $0dB$에서 $40dB$ 사이이므로 전압이득이 1배에서 100배 사이이다. 필요한 이득 200배에 못 미친다. 틀린 표현은 "정답 구간이 f_2이다"이고, 올바르게는 $46dB$가 포함되는 f_3 구간이다.
3번 O: f_3 구간은 $40dB$에서 $60dB$ 사이이다. 계산된 $46dB$가 이 범위 안에 있으므로 이 구간에서 $V_{out} = 2V$가 가능하다.
4번 X: f_4 구간의 이득은 $60dB$로 일정하다. $60dB$는 전압이득 1000배에 해당하므로 $V_{in} = 0.01V$일 때 $V_{out} = 10V$가 된다. 틀린 표현은 "정답 구간이 f_4이다"이고, 올바르게는 필요한 이득이 $60dB$보다 작은 f_3 구간이다.

오답 포인트

dB 값을 전압비와 선형적으로 같은 크기라고 착각하면 $40dB$와 $60dB$ 사이의 의미를 놓치게 된다. 이 문제의 함정은 보드선도의 평탄한 f_4 구간을 무조건 정답으로 고르거나, $40dB = 100$배까지만 보고 f_2를 고르는 데 있다.

다시 나오면 이렇게 판단

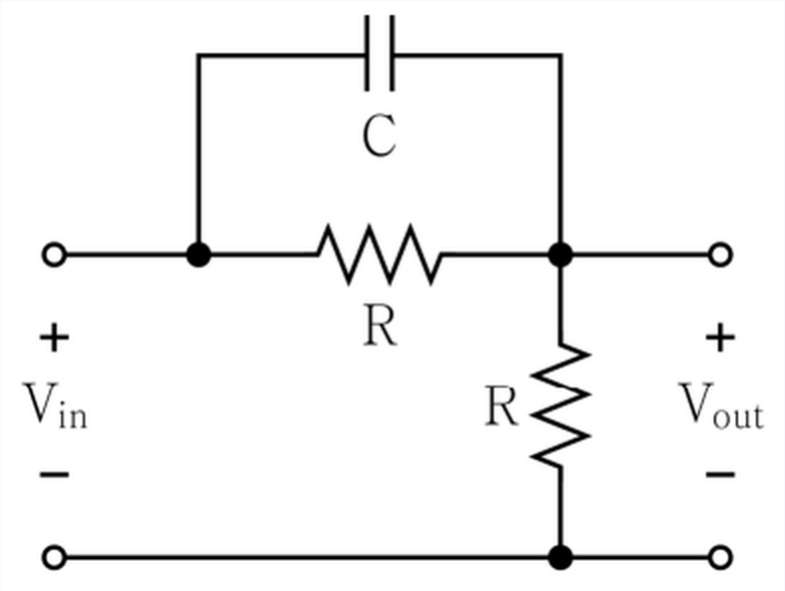
먼저 V_{out}/V_{in}으로 실제 전압이득을 구하고, 그 값을 $20\log_{10}$으로 dB화한 뒤 보드선도의 세로축 범위와 대응시킨다. 이후 해당 dB 값이 어느 주파수 구간에 들어가는지만 확인하면 된다.

암기 포인트

전압이득은 $20\log_{10}(V_{out}/V_{in})$로 바꾸며, $40dB$는 100배, $60dB$는 1000배 전압이득이다.

NoteBase

문 17. 고주파 대역의 신호대잡음비(SNR)를 개선하기 위해 다음과 같은 프리엠퍼시스(pre-emphasis) 회로를 사용할 때, 저주파 대비 고주파에서 전압이득 $\frac{V_{out}}{V_{in}}$은 몇 배 향상되는가? (단, 저주파는 $\omega \to 0$, 고주파는 $\omega \to \infty$이다)



① 16

② 8

③ 4

④ 2

정답 4번

출제 포인트

이 문제는 프리엠퍼시스 회로에서 저주파와 고주파의 극한 상태를 각각 등가회로로 바꾸고 전압분배식으로 전압이득 V_{out}/V_{in}의 향상 배수를 구하는 문제이다.

조건 정리

주어진 회로는 입력 노드와 출력 노드 사이에 R과 C가 병렬로 놓여 있고, 출력 노드에서 접지로 R이 연결된 형태이다.
구해야 할 값은 저주파 대비 고주파에서의 전압이득 향상 배수이다.
저주파에서는 $\omega \to 0$이므로 커패시터가 개방되고, 고주파에서는 $\omega \to \infty$이므로 커패시터가 단락된다.

NoteBase

사용할 공식

전압분배식은 $\frac{V_{out}}{V_{in}} = \frac{Z_{load}}{Z_{series} + Z_{load}}$이다.
이 문제에서는 입력과 출력 사이 임피던스를 Z_{series}, 출력에서 접지로 연결된 저항 R을 Z_{load}로 보면 각 주파수 극한에서 바로 이 식을 적용할 수 있다.

계산 과정

1. 저주파에서는 커패시터가 개방되므로 입력과 출력 사이 임피던스는 R만 남는다.
$\left(\frac{V_{out}}{V_{in}}\right)_{LF} = \frac{R}{R+R} = \frac{1}{2}$
2. 고주파에서는 커패시터가 단락되므로 입력과 출력 사이 임피던스는 $R \parallel 0 = 0$이 된다.
$\left(\frac{V_{out}}{V_{in}}\right)_{HF} = \frac{R}{0+R} = 1$
3. 따라서 저주파 대비 고주파의 향상 배수는
$\frac{(V_{out}/V_{in})_{HF}}{(V_{out}/V_{in})_{LF}} = \frac{1}{1/2} = 2$
이다.

선지 판단

1번(X): 틀린 표현은 '16배 향상'이다. 실제 전압이득은 저주파에서 1/2, 고주파에서 1이므로 향상 배수는 2이다. 올바르게는 '2배 향상'이다.
2번(X): 틀린 표현은 '8배 향상'이다. 회로의 극한 이득을 계산하면 $1 \div (1/2) = 2$만 나온다. 올바르게는 '2배 향상'이다.
3번(X): 틀린 표현은 '4배 향상'이다. 이 값은 전압비 2를 제곱해 전력비처럼 오해할 때 나오는 수치일 수 있으나, 문제는 전압이득 V_{out}/V_{in}의 향상 배수를 묻는다. 올바르게는 '2배 향상'이다.
4번(O): 저주파 이득이 1/2, 고주파 이득이 1이므로 향상 배수는 정확히 2이다.

오답 포인트

커패시터의 극한 동작을 반대로 해석하거나, 전압이득의 비를 묻는 문제를 전력비로 바꾸어 제곱하면 오답이 나온다. 특히 '고주파에서 커패시터는 단락'이라는 점을 놓치면 출력 노드가 입력 노드와 거의 같은 전위가 된다는 핵심을 놓치게 된다.

다시 나오면 이렇게 판단

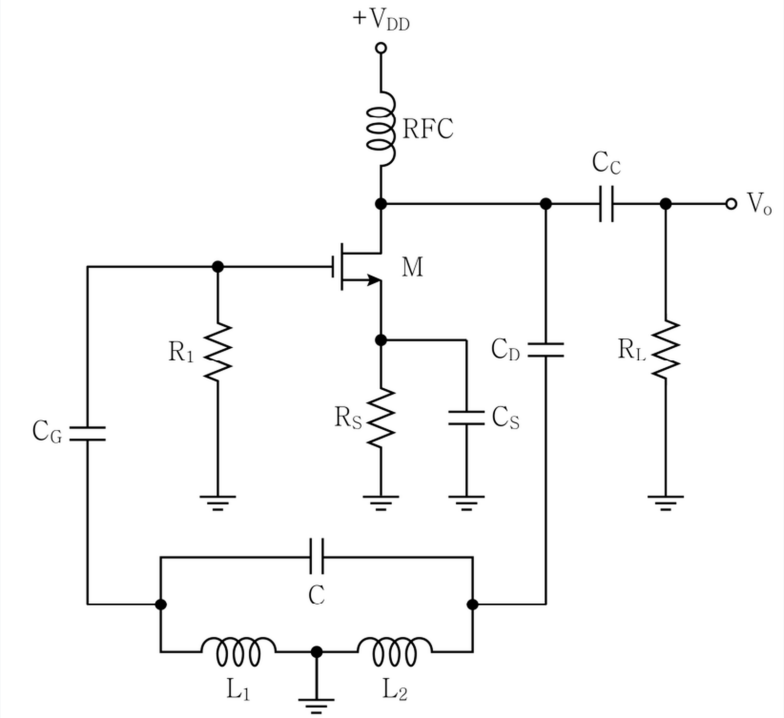
주파수 극한이 나오면 먼저 커패시터를 저주파에서는 개방, 고주파에서는 단락으로 바꾼다. 그 다음 각 등가회로에서 전압분배식으로 V_{out}/V_{in}을 구하고, 마지막에 두 이득의 비를 계산하면 된다.

암기 포인트

프리엠퍼시스 RC 회로는 고주파에서 커패시터가 우회 경로를 만들어 입력-출력 사이 감쇠를 줄이므로 전압이득이 커진다.

NoteBase

문 18. 다음 하틀리(Hartley) 발진기 회로에서 발진주파수 $f = \frac{1}{2\pi}[MHz]$가 되기 위한 $L_1[\mu H]$은? (단, MOSFET M의 전달 컨덕턴스 $g_m = 9[mS]$, $C = 1[\mu F]$, $R_L = 1[k\Omega]$이다)



① 0.01

② 0.1

③ 1

④ 10

정답 2번

출제 포인트

이 문제는 하틀리 발진기의 공진조건과 발진조건을 함께 적용해 L_1을 구하는 문제이다.

조건 정리

주어진 값은 $g_m = 9mS$, $R_L = 1k\Omega$, $C = 1\mu F$, $f = \frac{1}{2\pi}MHz$이다.
구해야 할 값은 L_1이다.
하틀리 발진기의 공진 인덕턴스는 $L_1 + L_2$이고, 탭비는 발진조건으로 정한다.

NoteBase

사용할 공식

공진조건은 $f = \frac{1}{2\pi\sqrt{(L_1 + L_2)C}}$ 이다.
발진조건은 $|A\beta| = 1$이므로 공통 소스 MOSFET 하틀리 발진기에서 $g_m R_L = \frac{L_2}{L_1}$ 이다.
이 공식을 쓰는 이유는 이 회로가 L_1, L_2의 탭비로 피드백을 만들고, MOSFET의 이득 $g_m R_L$이 그 피드백비를 만족해야 지속 발진하기 때문이다.

계산 과정

1. $f = \frac{1}{2\pi} MHz$ 이므로 $2\pi f = 10^6$ 이다.
2. 공진조건에서 $(L_1 + L_2)C = \frac{1}{(2\pi f)^2} = 10^{-12}$ 이다.
3. $C = 1\mu F = 10^{-6} F$ 이므로 $L_1 + L_2 = \frac{10^{-12}}{10^{-6}} = 10^{-6} H = 1\mu H$ 이다.
4. 발진조건에서 $g_m R_L = (9 \times 10^{-3})(10^3) = 9 = \frac{L_2}{L_1}$ 이므로 $L_2 = 9L_1$ 이다.
5. 따라서 $L_1 + L_2 = 10L_1 = 1\mu H$ 이고, $L_1 = 0.1\mu H$ 이다.

선지 판단

1번 X: 계산 결과 $L_1 = 0.1\mu H$ 이므로 $0.01\mu H$ 는 틀리다. $0.01\mu H$ 는 탭비 $\frac{L_2}{L_1} = 9$ 를 잘못 잡아 L_1을 과도하게 작게 본 값이다. 올바르게는 $L_1 = 0.1\mu H$ 이다.
2번 O: 공진조건으로 $L_1 + L_2 = 1\mu H$, 발진조건으로 $L_2 = 9L_1$ 이 되므로 $10L_1 = 1\mu H$ 이다. 따라서 $L_1 = 0.1\mu H$ 이므로 옳다.
3번 X: $1\mu H$ 는 L_1이 아니라 전체 공진 인덕턴스 $L_1 + L_2$ 이다. 올바르게는 발진조건까지 반영해 $L_1 = 0.1\mu H$ 이다.
4번 X: $10\mu H$ 는 공진식에 주파수나 단위를 잘못 대입한 값이다. 이 문제에서는 $2\pi f = 10^6$, $C = 1\mu F$ 이므로 전체 인덕턴스도 $1\mu H$ 를 넘지 않는다. 올바르게는 $L_1 = 0.1\mu H$ 이다.

오답 포인트

가장 흔한 실수는 $L_1 + L_2$ 를 바로 L_1로 착각하는 경우와, 발진조건 $g_m R_L = \frac{L_2}{L_1}$ 를 빠뜨리는 경우이다. 주파수 $\frac{1}{2\pi} MHz$ 에서 $2\pi f = 10^6$ 이 된다는 점을 놓치면 단위 오차도 생긴다.

다시 나오면 이렇게 판단

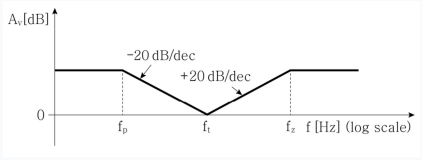
탱크회로 발진기 계산형은 먼저 공진조건으로 전체 L 또는 C를 구하고, 다음에 발진조건으로 탭비나 이득비를 적용해 개별 소자를 분리하는 순서로 판단한다.

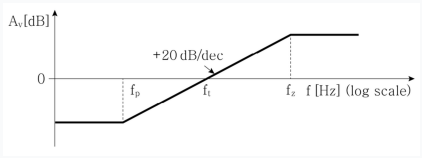
암기 포인트

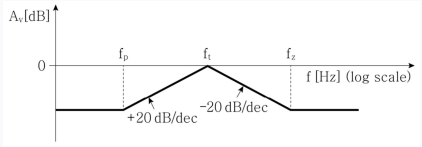
하틀리는 $L_1 + L_2$ 로 공진하고, $g_m R_L = \frac{L_2}{L_1}$ 로 탭비를 맞춘다.

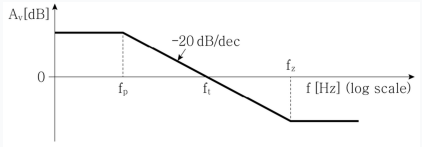
NoteBase

문 19. 어떤 증폭기의 전압이득 A_V 주파수 특성은 f_p에서 1개의 극점(pole)과 f_z에서 1개의 영점(zero)을 가진다. 이 증폭기가 $f_p < f_t < f_z$의 조건을 만족할 때, A_v의 주파수 특성으로 가장 옳은 것은? (단, f_t는 단위이득대역폭이다)

① 

② 

③ 

④ 

정답 4번

출제 포인트

이 문제는 보드선도에서 f_p의 pole이 만드는 기울기 변화와 f_z의 zero가 만드는 기울기 보정을 읽어 f_t가 어디에서 0 dB를 통과해야 하는지를 판단하는 문제이다.

NoteBase

선지별 해설

① X
- f_p 이후 기울기 $-20dB/dec$는 맞지만, f_z를 지나면 zero 1개가 pole 1개의 기울기를 상쇄하므로 이후에는 0 dB에서 평탄해지지 않고 더 낮은 이득에서 평탄해져야 한다.
- 틀린 표현은 f_t 이후 다시 상승하여 f_z에서 원래 이득으로 돌아가는 부분이다. 올바르게는 f_p부터 내려가다가 f_t에서 0 dB를 한 번 통과하고, f_z 이후에는 내려간 상태의 일정한 이득으로 유지된다.

② X
- 이 도식은 f_p 이후 기울기가 $+20dB/dec$로 증가하므로 pole 1개만 있는 경우의 응답과 맞지 않는다. pole은 이득을 감소시키는 방향으로 기울기를 바꾼다.
- 틀린 표현은 f_p 이후 상승하는 부분이다. 올바르게는 f_p 이후 $-20dB/dec$로 감소해야 한다.

③ X
- 이 도식은 f_p 이후 상승하고 f_t에서 최대가 된 뒤 다시 감소하므로 zero가 먼저 작용하고 pole이 나중에 작용하는 경우에 가깝다. 주어진 조건은 $f_p < f_t < f_z$이므로 f_p 이후 먼저 감소해야 한다.
- 틀린 표현은 f_p부터 f_t까지의 $+20dB/dec$ 구간이다. 올바르게는 이 구간이 $-20dB/dec$ 감소 구간이어야 한다.

④ O
- f_p 전에는 평탄하고, f_p 이후에는 pole 1개 때문에 $-20dB/dec$로 감소한다. 또 f_t가 f_p와 f_z 사이에 있으므로 감소 직선이 0 dB를 중간에서 통과해야 한다.
- f_z 이후에는 zero 1개가 추가되어 기울기 $+20dB/dec$가 더해지므로 전체 기울기가 0이 되어 낮아진 이득에서 다시 평탄해진다. 그림 ④가 이 조건을 정확히 만족한다.

오답 포인트

pole과 zero의 순서에 따른 기울기 변화를 반대로 외우면 ②나 ③으로 흔들리기 쉽다. 또 f_t를 zero가 생기는 지점처럼 오해하면 ①처럼 0 dB를 찍고 다시 올라가는 도식을 고르기 쉽다. f_t는 단지 단위이득 교차점일 뿐 새로운 절점이 아니다.

다시 나오면 이렇게 판단

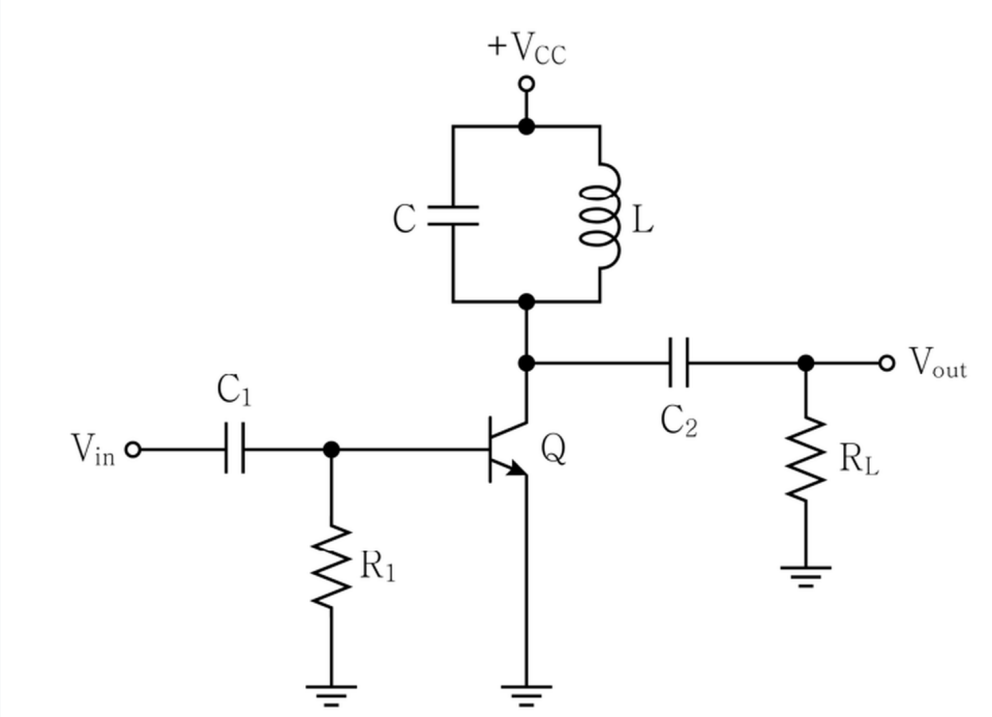
먼저 가장 낮은 절점이 pole인지 zero인지부터 보고 첫 기울기 변화를 정한다. 그다음 절점이 하나 추가될 때마다 기울기를 $20dB/dec$씩 더하거나 빼서 전체 선도를 그리면 된다. f_t는 그 선도가 0 dB를 통과하는 위치로만 해석한다.

암기 포인트

pole 1개는 $-20dB/dec$, zero 1개는 $+20dB/dec$를 더하며, f_t는 절점이 아니라 0 dB 교차점이다.

NoteBase

문 20. 다음 C급 전력증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, R_c는 코일저항과 부하저항 R_L의 병렬합성저항이다)



① 이상적인 경우에 최대효율은 약 100%이다.

② 출력전압의 피크-피크 전압 V_{pp}는 약 $2V_{CC}$이다.

③ 최대 출력전력(maximum output power)은 약 $\frac{V_{CC}^2}{R_c}$이다.

④ 주파수 곱셈기(frequency multiplier)로 동작시킬 수 있다.

정답 3번

출제 포인트

이 문제는 LC 동조회로를 부하로 둔 C급 전력증폭기의 회로 특징을 보고 효율, 출력 전압 스윙, 최대 출력전력, 고조파 이용 가능성을 판정하는 문제이다.

NoteBase

선지별 해설

① O
C급 전력증폭기는 트랜지스터가 도통하는 시간이 1주기보다 짧아 소자 손실이 매우 작고, 동조회로가 필요한 교류 성분만 꺼내므로 이상적인 경우 효율이 거의 100%까지 갈 수 있다.

② O
동조회로가 collector 전압의 교류 성분을 정현파에 가깝게 만들어 주면 출력 전압은 대략 0에서 $2V_{CC}$ 사이로 흔들릴 수 있다. 따라서 피크-피크 전압은 약 $2V_{CC}$이다.

③ X
틀린 표현은 "최대 출력전력은 약 V_{CC}^2/R_c"라는 부분이다. C급 동조 전력증폭기에서 최대 정현파 출력은 collector 전압의 진폭을 V_{CC}로 볼 수 있으므로, 출력 실효값은 $V_{CC}/\sqrt{2}$이고 최대 출력전력은 $P_{o,\max} = V_{CC}^2/(2R_c)$이다. 올바르게는 "최대 출력전력은 약 $V_{CC}^2/(2R_c)$이다"가 된다.

④ O
C급 증폭기는 짧은 도통각 때문에 큰 고조파 성분을 만들고, 동조회로를 원하는 고조파 주파수에 맞추면 기본파가 아니라 배주파 성분을 꺼낼 수 있다. 그래서 주파수 곱셈기로 동작시킬 수 있다.

오답 포인트

③은 전압 진폭과 실효값을 혼동하면 쉽게 속는다. 최대 출력전압 진폭이 V_{CC}라는 사실만 보고 바로 V^2/R를 대입하면 1/2가 빠진다. 정현파 전력은 항상 실효값 기준으로 계산된다는 점이 함정이다.

다시 나오면 이렇게 판단

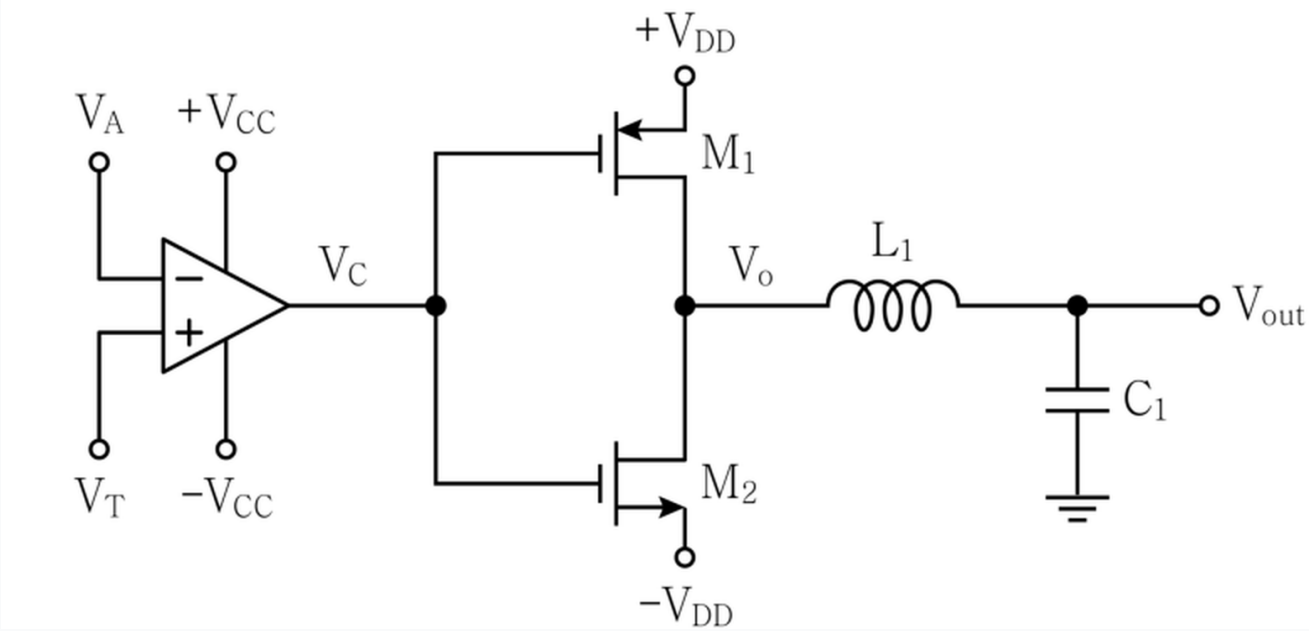
회로도에서 LC 동조회로가 달린 C급 증폭기인지 먼저 확인한다. 그다음 효율은 이상적으로 매우 높고, 출력 전압 스윙은 약 $2V_{CC}$, 최대 출력전력은 실효값을 써서 $V_{CC}^2/(2R_c)$로 판단한다. 배주파를 꺼낼 수 있는지도 함께 연결해 판단한다.

암기 포인트

C급 동조 전력증폭기는 고효율, $V_{pp} \approx 2V_{CC}$, $P_{o,\max} = V_{CC}^2/(2R_c)$, 주파수 곱셈 가능으로 정리된다.

NoteBase

문 21. 다음 D급 전력증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



① $V_A > V_T$일 때, V_C는 $-V_{CC}$이다.

② $V_A > V_T$일 때, M_1은 도통(ON), M_2는 차단(OFF)된다.

③ $V_A < V_T$일 때, V_o는 대략 $+V_{DD}$이다.

④ $V_C = +V_{CC}$일 때, M_1은 차단, M_2는 도통된다.

정답 3번

출제 포인트

이 문제는 비교기 출력 V_C가 상보형 MOSFET 스위치를 어떻게 구동하는지와 스위칭 노드 V_o가 어느 전원 레일에 연결되는지를 회로도로 판단하는 문제이다.

선지별 해설

① O: 이상적인 연산증폭기를 비교기로 쓰면 $V_A > V_T$일 때 반전 입력이 더 크므로 출력은 음의 포화로 가고 $V_C = -V_{CC}$가 된다.

② O: $V_A > V_T$이면 V_C가 낮아져 상단 PMOS인 M_1은 켜지고 하단 NMOS인 M_2는 꺼진다. 따라서 스위칭 노드는 위쪽 전원 쪽으로 끌어올려진다.

③ X: $V_A < V_T$이면 비교기 출력은 $+V_{CC}$가 되고 M_1은 차단, M_2는 도통된다. 그러므로 V_o는 대략 $-V_{DD}$가 된다. 틀린 표현은 '대략 $+V_{DD}$'이고, 올바르게는 '대략 $-V_{DD}$'이다.

④ O: $V_C = +V_{CC}$이면 게이트 전압이 높아져 M_1은 차단되고 M_2는 도통된다. 회로도상의 스위칭 동작과 일치한다.

NoteBase

오답 포인트

출력 노드 이름이 V_o와 V_{out}으로 나뉘어 있다는 점을 놓치면 ③처럼 극성을 거꾸로 판단하기 쉽다. 이 문항의 V_o는 LC 필터 앞의 스위칭 노드이므로 켜진 소자에 따라 거의 바로 $+V_{DD}$ 또는 $-V_{DD}$로 붙는다.

다시 나오면 이렇게 판단

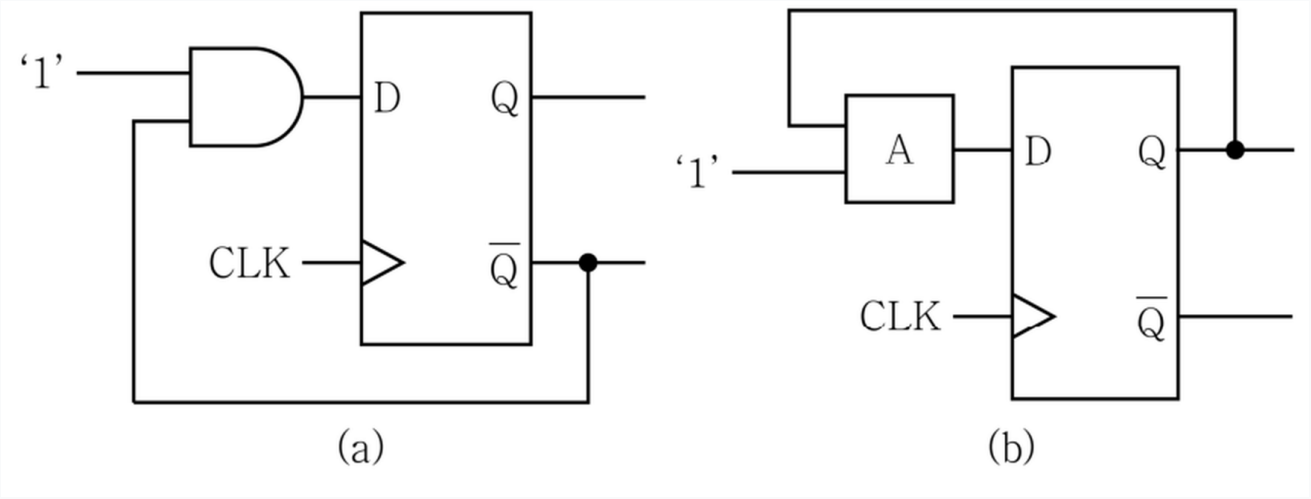
먼저 비교기에서 V_A와 V_T의 대소를 보고 V_C의 포화 방향을 정한다. 그다음 같은 게이트 신호를 받는 상단 PMOS와 하단 NMOS 중 어느 소자가 켜지는지를 보고 스위칭 노드 V_o가 어느 전원 레일에 연결되는지 판단하면 된다.

암기 포인트

D급 반브리지에서 게이트가 낮으면 상단 M_1이 켜져 $V_o \approx +V_{DD}$, 게이트가 높으면 하단 M_2가 켜져 $V_o \approx -V_{DD}$이다.

NoteBase

문 22. 다음 두 개의 D 플립플롭 회로에서 그림 (a) 회로의 출력 Q와 같은 출력이 그림 (b) 회로의 출력 Q에 나타나기 위해 A에 들어갈 2-입력 논리게이트로 옳은 것은? (단, CLK는 클록 입력이다)



① XOR

② AND

③ NOR

④ OR

정답 1번

출제 포인트

이 문제는 D 플립플롭의 다음 상태식 $Q_{n+1} = D$를 이용해 피드백 회로가 토글 동작을 만드는지, 그리고 이를 2입력 논리게이트의 등가식으로 바꿀 수 있는지를 묻는다.

선지별 해설

1번 O: XOR는 한 입력이 1이면 다른 입력을 반전시키므로 $A(1, Q) = \overline{Q}$이다. 그림 (b)에서는 $D = \overline{Q}$가 되어 $Q_{n+1} = \overline{Q_n}$가 되므로, 그림 (a)와 같이 클록마다 출력이 토글된다.

2번 X: AND는 $A(1, Q) = Q$이다. 따라서 그림 (b)는 $D = Q$, 즉 $Q_{n+1} = Q_n$가 되어 현재 상태를 그대로 유지한다. 틀린 표현은 '그림 (a)와 같은 출력이 나타난다'이고, 올바르게는 '출력이 유지된다'이다.

3번 X: NOR는 먼저 $1 + Q = 1$이므로 $A(1, Q) = \overline{1 + Q} = 0$이다. 따라서 $D = 0$이 되어 한 번 클록이 들어가면 Q가 0으로 고정된다. 틀린 표현은 '그림 (a)와 같은 출력이 나타난다'이고, 올바르게는 '출력이 0으로 고정된다'이다.

4번 X: OR는 $A(1, Q) = 1$이다. 따라서 $D = 1$이 되어 한 번 클록이 들어가면 Q가 1로 고정된다. 틀린 표현은 '그림 (a)와 같은 출력이 나타난다'이고, 올바르게는 '출력이 1로 고정된다'이다.

NoteBase

오답 포인트

그림 (a)의 핵심은 게이트 모양이 아니라 $D = \overline{Q}$가 만들어진다는 점이다. $\overline{Q}$ 피드백과 Q 피드백을 구분하지 않거나, D 플립플롭에서 현재 출력이 아니라 다음 상태가 D로 결정된다는 점을 놓치면 AND를 고르기 쉽다.

다시 나오면 이렇게 판단

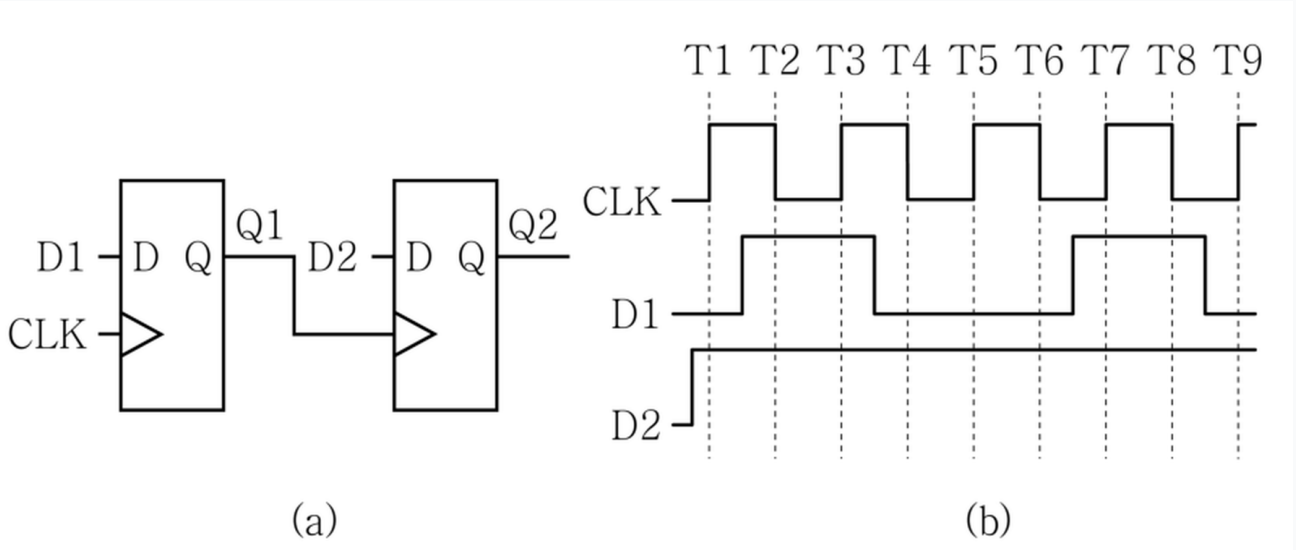
D 플립플롭 문제는 먼저 $Q_{n+1} = D$를 적고, 피드백 회로가 만드는 D식을 Q, $\overline{Q}$, 0, 1 중 무엇인지 정리하면 된다. 그다음 한 입력이 1인 XOR, AND, NOR, OR의 출력을 비교하면 정답이 바로 갈린다.

암기 포인트

D 플립플롭은 다음 상태가 D이고, 한 입력이 1인 XOR는 반전, AND는 그대로, OR는 1 고정, NOR는 0 고정이다.

NoteBase

문 23. 그림 (a) D 플립플롭 회로에서 Q1과 Q2 값은 모두 초기에 '0'인 논리값에서 시작한다. 그림 (b)와 같이 클록 CLK와 입력 D1, D2가 주어질 때, 구간(T3 ~ T4)와 구간(T6 ~ T7)에서 Q1, Q2의 논리값을 바르게 연결한 것은? (단, 각 논리게이트에서 지연은 없다)



① 구간(T3 ~ T4) Q1: 0, Q2: 1, 구간(T6 ~ T7) Q1: 1, Q2: 0

② 구간(T3 ~ T4) Q1: 1, Q2: 0, 구간(T6 ~ T7) Q1: 1, Q2: 1

③ 구간(T3 ~ T4) Q1: 1, Q2: 1, 구간(T6 ~ T7) Q1: 0, Q2: 0

④ 구간(T3 ~ T4) Q1: 1, Q2: 1, 구간(T6 ~ T7) Q1: 0, Q2: 1

정답 4번

출제 포인트

이 문제는 첫 번째 D 플립플롭이 CLK의 상승 에지에서 Q1을 갱신하고, 그 Q1의 상승 에지가 두 번째 D 플립플롭의 클록으로 작동할 때 각 구간의 출력 상태를 추적할 수 있는지를 묻는다.

NoteBase

선지별 해설

1번: X. 구간(T3~T4)에서 Q1은 T3의 CLK 상승 에지에서 D1=1을 받아 1이 되고, 그 순간 Q1의 상승 에지가 두 번째 플립플롭의 클록이 되어 Q2도 D2=1을 받아 1이 된다. 따라서 Q2를 0으로 둔 부분이 틀리며, 올바르게는 구간(T3~T4)에서 Q1=1, Q2=1이다.
2번: X. 구간(T3~T4)에서 Q2를 0으로 본 점이 틀리고, 구간(T6~T7)에서 Q1을 1로 본 점도 틀리다. 올바르게는 구간(T3~T4)에서 Q1=1, Q2=1이고 구간(T6~T7)에서 Q1=0, Q2=1이다.
3번: X. 구간(T3~T4)는 맞지만 구간(T6~T7)에서 Q2를 0으로 본 점이 틀리다. Q2는 T3에서 이미 1로 저장된 뒤 Q1의 다음 상승 에지인 T7 전까지 그대로 유지되므로, 올바르게는 구간(T6~T7)에서 Q1=0, Q2=1이다.
4번: O. T3에서 CLK 상승 에지로 Q1이 1이 되고, 그 순간 Q1의 상승 에지로 Q2도 1이 된다. 이후 T5에서 D1=0이므로 Q1은 0으로 바뀌지만, T6~T7 구간에는 새로운 Q1 상승 에지가 없어서 Q2는 1을 유지한다. 따라서 구간(T3~T4)에서 Q1=1, Q2=1이고 구간(T6~T7)에서 Q1=0, Q2=1이다.

오답 포인트

두 번째 플립플롭의 입력 D는 D2이지만 클록은 CLK가 아니라 Q1이라는 점을 놓치기 쉽다. 그래서 Q2를 CLK에 맞춰 직접 바뀐다고 보면 T3 이후 이미 1이 된 Q2를 0으로 오판하게 된다.

다시 나오면 이렇게 판단

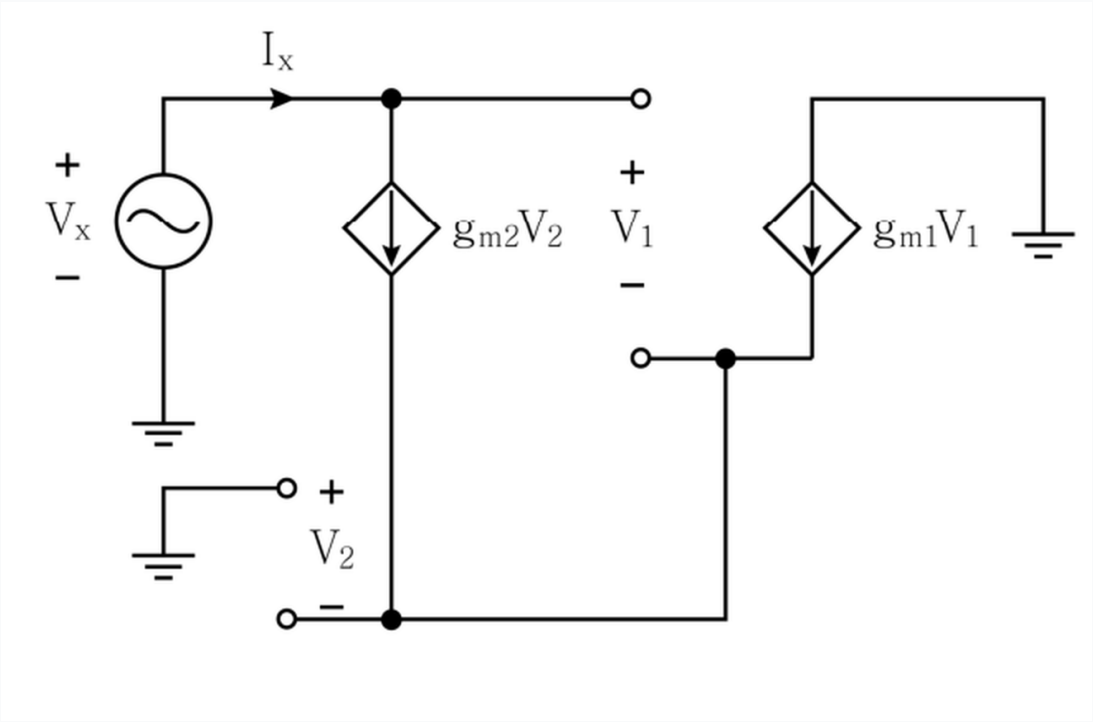
직렬 플립플롭 문제는 앞단의 클록과 입력으로 Q1의 변화를 먼저 확정한 뒤, 그 출력의 상승 또는 하강 에지가 뒷단 클록에 해당하는 시점에만 Q2를 갱신하는 순서로 판단한다.

암기 포인트

앞단 출력이 뒷단 클록이면 뒷단 출력은 앞단의 유효 에지에서만 바뀌고 그 사이 구간에서는 유지된다.

NoteBase

문 24. 다음 발진기 정귀환 회로의 일부 등가회로에서 $\frac{V_x}{I_x}$는? (단, $g_{m1} = 2g_m$, $g_{m2} = 3g_m$이다)



① $-\frac{6}{5}g_m$
② $-\frac{6}{5g_m}$
③ $-\frac{5}{6g_m}$
④ $-\frac{5}{6}g_m$

정답 3번

출제 포인트

이 문제는 제어전압 V_1, V_2를 노드전압으로 바꾼 뒤 KCL을 적용하여 입력 임피던스 V_x/I_x를 구하는 문제이다.

조건 정리

- 위쪽 노드 전압은 V_x이다.
- 아래쪽 공통 노드 전압을 V_B라고 두면 $V_1 = V_x - V_B$, $V_2 = 0 - V_B = -V_B$이다.
- $g_{m1} = 2g_m$, $g_{m2} = 3g_m$이다.

사용할 공식

$g_{m2}V_2 + g_{m1}V_1 = 0$
이 공식을 쓰는 이유: 아래쪽 공통 노드는 외부로 빠져나가는 독립 가지가 없으므로, 그 노드로 들어오는 두 종속전류원의 전류 합이 0이 되어야 하기 때문이다.

NoteBase

계산 과정

1. $V_1 = V_x - V_B$, $V_2 = -V_B$이다.
2. KCL을 대입하면 $3g_m(-V_B) + 2g_m(V_x - V_B) = 0$이다.
3. 정리하면 $2g_mV_x - 5g_mV_B = 0$이므로 $V_B = \frac{2}{5}V_x$이다.
4. 따라서 $I_x = g_{m2}V_2 = 3g_m\left(-\frac{2}{5}V_x\right) = -\frac{6}{5}g_mV_x$이다.
5. 그러므로 $\frac{V_x}{I_x} = \frac{V_x}{-\frac{6}{5}g_mV_x} = -\frac{5}{6g_m}$이다.

선지별 해설

① X: $-\frac{6}{5}g_m$는 계산 중간에 얻는 I_x/V_x 값이다. 틀린 표현은 문제에서 묻는 V_x/I_x를 그대로 쓰지 않고 비를 뒤집지 않은 점이며, 올바르게는 $V_x/I_x = -\frac{5}{6g_m}$이다.
② X: 역수를 취할 때 분자와 분모를 함께 뒤집어야 하는데 $-\frac{6}{5g_m}$로 쓰면 뒤집기가 잘못된다. 틀린 표현은 6과 5의 위치가 바뀌지 않은 점이며, 올바르게는 $-\frac{5}{6g_m}$이다.
③ O: $V_B = \frac{2}{5}V_x$, $I_x = -\frac{6}{5}g_mV_x$가 되므로 $\frac{V_x}{I_x} = -\frac{5}{6g_m}$이다.
④ X: $-\frac{5}{6}g_m$는 g_m가 분자에 남아 있어 V_x/I_x의 단위 형태와 맞지 않는다. 틀린 표현은 역수를 취한 뒤에도 g_m를 분모로 보내지 않은 점이며, 올바르게는 $-\frac{5}{6g_m}$이다.

오답 포인트

이 문항의 함정은 V_2의 부호와 V_x/I_x 대 I_x/V_x의 구분이다. V_2는 접지 전위에서 아래 노드 전위를 뺀 값이므로 $-V_B$이고, 계산 결과 $-\frac{6}{5}g_m$가 나와도 그것은 입력 어드미턴스 I_x/V_x일 뿐이다.

다시 나오면 이렇게 판단

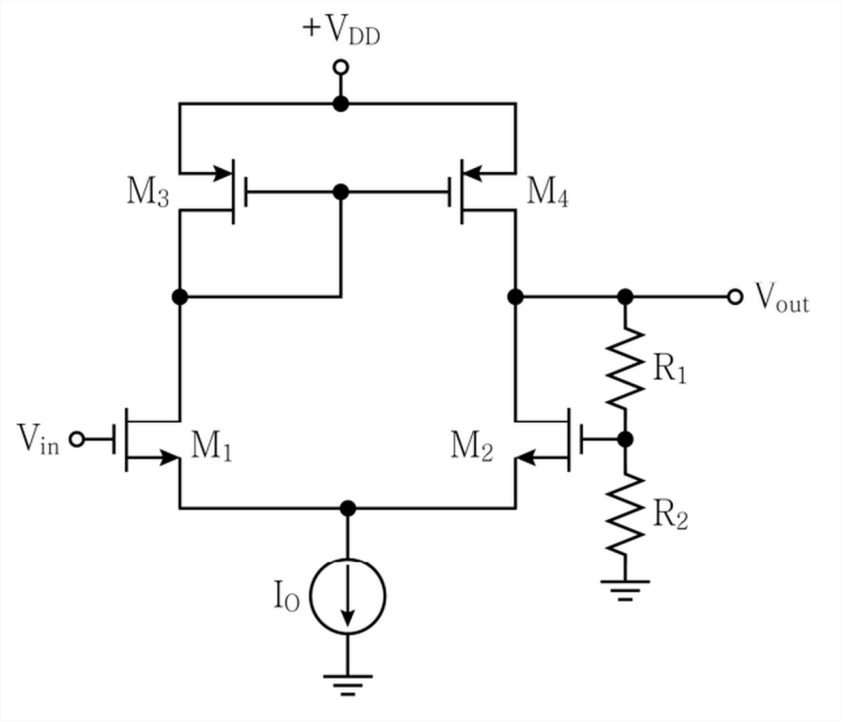
종속전류원이 있는 입력 임피던스 문제는 먼저 각 제어전압을 노드전압으로 바꾸고, 떠 있는 내부 노드에 KCL을 쓴 뒤 마지막에 문제에서 묻는 비가 V/I인지 I/V인지 확인하면 된다.

암기 포인트

트랜스컨덕턴스 회로에서 먼저 I/V가 나오면 입력 임피던스 V/I는 마지막에 역수를 취해 $1/g_m$ 형태로 정리된다.

NoteBase

문 25. 다음 회로의 전압이득 $\frac{V_{out}}{V_{in}}$은? (단, M_1과 M_2 MOSFET은 전달컨덕턴스 $g_{m1} = g_{m2} = 8[\mathrm{mS}]$, 출력저항 $r_{o1} = r_{o2} = 10[\mathrm{k\Omega}]$이고, M_3과 M_4 MOSFET은 전달컨덕턴스 $g_{m3} = g_{m4} = 4[\mathrm{mS}]$, 출력저항 $r_{o3} = r_{o4} = 20[\mathrm{k\Omega}]$이고, $R_1 = 18[\mathrm{k\Omega}]$, $R_2 = 2[\mathrm{k\Omega}]$이며, I_0는 정전류로 이상적이다)



① 5

② 8

③ 11

④ 14

정답 2번

출제 포인트

이 문제는 능동 부하 MOS 차동증폭기의 개방루프 이득과 피드백 계수 β를 이용해 폐루프 전압이득 V_{out}/V_{in}을 구하는 문제이다.

조건 정리

주어진 값은 $g_{m1} = g_{m2} = 8mS$, $r_{o1} = r_{o2} = 10k\Omega$, $g_{m3} = g_{m4} = 4mS$, $r_{o3} = r_{o4} = 20k\Omega$, $R_1 = 18k\Omega$, $R_2 = 2k\Omega$이다.
구해야 할 값은 폐루프 전압이득 $A_v = V_{out}/V_{in}$이다.
M_3는 다이오드 접속, M_4는 전류미러 부하이므로 전체를 비반전 피드백 증폭기로 볼 수 있다.

NoteBase

사용할 공식

피드백 계수는 $\beta = R_2/(R_1 + R_2)$이다.
개방루프 이득은 $A \approx g_{m1}(r_{o2} \parallel r_{o4})$로 근사할 수 있다.
따라서 폐루프 이득은 $A_v = A/(1 + A\beta)$이다.
이 공식을 쓰는 이유는 V_{out}의 일부가 R_1-R_2 분압을 거쳐 M_2 게이트로 귀환되는 전압-직렬 피드백 구조이기 때문이다.

계산 과정

1. $r_{o2} \parallel r_{o4} = 10k\Omega \parallel 20k\Omega = 6.67k\Omega$이다.
2. 개방루프 이득은 $A \approx 8mS \times 6.67k\Omega = 53.3$이다.
3. 피드백 계수는 $\beta = 2/(18 + 2) = 0.1$이다.
4. 폐루프 이득은 $A_v = \frac{53.3}{1 + 53.3 \times 0.1} \approx 8.41$이다.
5. 따라서 가장 가까운 선택지는 8이다.

선지 판단

1번 X: 5는 피드백 후 이득을 지나치게 작게 본 값이다. 계산값은 약 8.41이므로 올바르게는 8에 가장 가깝다.
2번 O: 8은 계산값 8.41과 가장 일치하는 값이다. 따라서 정답이다.
3번 X: 11은 이상적인 비반전 증폭기 값 $1 + R_1/R_2 = 10$보다도 큰 쪽인데, 실제 MOS 증폭기는 유한한 개방루프 이득 때문에 폐루프 이득이 이상값보다 작아진다. 올바르게는 약 8.41이다.
4번 X: 14는 저항비나 증폭기 이득을 과대평가한 값이다. 분압 귀환이 걸린 뒤의 폐루프 이득은 10보다도 작아져야 하므로 14가 될 수 없다. 올바르게는 약 8.41이다.

오답 포인트

이 회로를 단순히 이상적인 비반전 증폭기처럼 보고 $1 + R_1/R_2 = 10$만 적용하면 유한한 개방루프 이득을 놓치게 된다. 반대로 피드백 때문에 이득이 줄어든다는 사실만 보고 수치를 과도하게 낮춰도 오답이 된다.

다시 나오면 이렇게 판단

능동 부하 차동증폭기에 저항 분압 귀환이 붙으면 먼저 개방루프 이득 A와 피드백 계수 β를 따로 구한 뒤 $A_v = A/(1 + A\beta)$를 적용하는 순서로 판단한다. $A\beta$가 충분히 크지 않으면 $1 + R_1/R_2$를 그대로 쓰지 않는다.

암기 포인트

비반전 피드백 증폭기의 실제 이득은 이상값 $1/\beta$보다 작고, 그 차이는 유한한 개방루프 이득 A에서 나온다.

NoteBase