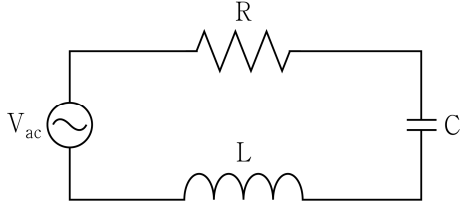


전자회로

문 1. 다음 RLC 회로가 공진주파수 f_r 에서 동작할 때, 발생하는 특징으로 옳지 않은 것은?



- ① 저항 R 양단에 인가되는 전압이 최소가 된다.
- ② 등가 임피던스가 최소이므로 회로에 흐르는 전류는 최대가 된다.
- ③ 인덕터 L과 커패시터 C의 직렬 연결 양단전압은 0[V]이 된다.
- ④ 저항만 있는 등가회로로 전압과 전류의 위상차가 발생하지 않는다.

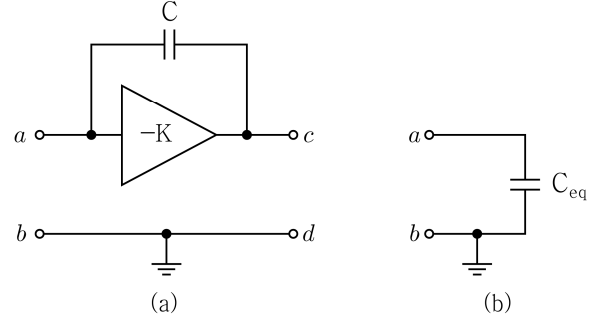
문 2. 어떤 진폭 변조파가 $v = (100 + 40 \sin 600\pi t) \sin 10^6\pi t$ [V]로 표시될 때, 피변조파의 반송파 전력 P_C , 상측파 전력 P_U , 하측파 전력 P_L 의 비율은?

	P_C		P_U		P_L
①	1	:	0.2	:	0.2
②	1	:	0.22	:	0.22
③	1	:	0.4	:	0.4
④	1	:	0.04	:	0.04

문 3. 플립-플롭(flip-flop)의 클럭(clock) 주파수가 25 [MHz]이고 클럭 펄스 폭이 30 [ns]일 때, 듀티 사이클(duty cycle)[%]은?

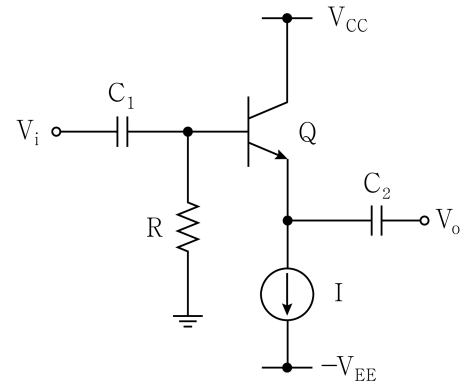
- ① 25
- ② 50
- ③ 75
- ④ 100

문 4. 그림 (a)의 단자 a, b 사이의 커패시턴스가 그림 (b)의 C_{eq} 와 등가인 것은?



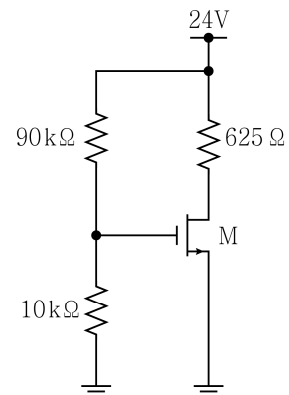
- ① $C(1-K)$
- ② $C(1+K)$
- ③ $\frac{C}{1-K}$
- ④ $\frac{C}{1+K}$

문 5. 다음 회로에 대한 설명으로 옳지 않은 것은?



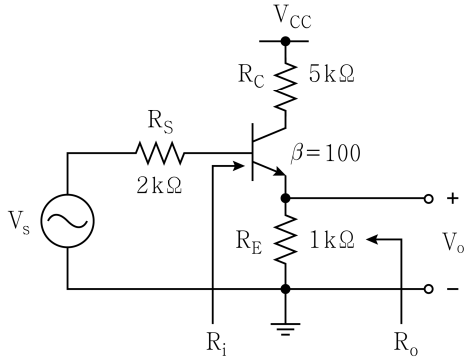
- ① 전압 증폭률은 1보다 약간 작거나 대략 같다.
- ② 공통-컬렉터 증폭기이다.
- ③ 입력신호와 출력신호의 위상차는 180도이다.
- ④ 낮은 저항값을 갖는 부하를 구동하기에 적당하다.

문 6. 다음 증가형 MOSFET 회로에서 V_{DS} [V]는? (단, $V_{GS(th)} = 2$ [V] 이고, $V_{GS(on)}$ 이 4 [V]일 때 $I_{D(on)} = 400$ [mA]이다)



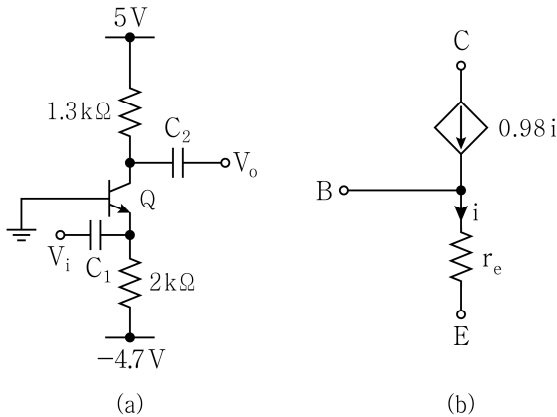
- ① 10
- ② 10.6
- ③ 11.2
- ④ 14

문 7. 다음 소신호 증폭기의 입력 임피던스 R_i 와 출력 임피던스 R_o 에 가장 가까운 것은? (단, 베이스-이미터 간 교류 입력 저항 $r_\pi = 1[\text{k}\Omega]$, 교류 출력 저항 $r_o = \infty$ 이다)



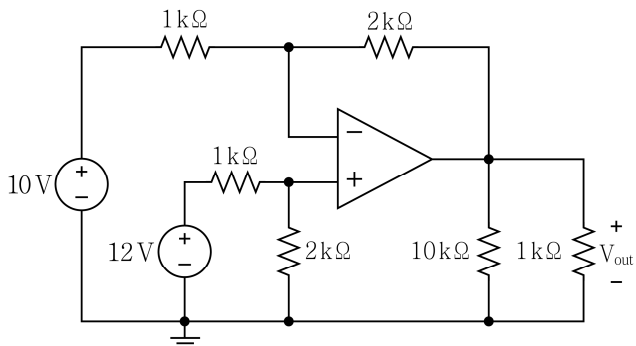
- | R_i | R_o |
|------------|----------|
| ① 1 [kΩ] | 4 [Ω] |
| ② 4 [Ω] | 1 [kΩ] |
| ③ 30 [Ω] | 102 [kΩ] |
| ④ 102 [kΩ] | 30 [Ω] |

문 8. 그림 (a) 증폭회로의 소신호 전압증폭도 $\frac{V_o}{V_i}$ 는? (단, $V_{BE} = 0.7[\text{V}]$, $V_T = 26 [\text{mV}]$ 이며, 소신호 등가회로는 그림 (b)와 같다)



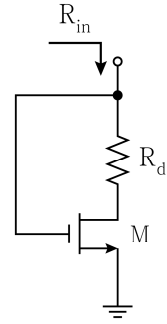
- | | |
|------|-------|
| ① 49 | ② 51 |
| ③ 98 | ④ 102 |

문 9. 다음 증폭기 회로에서 출력전압 $V_{out}[\text{V}]$ 은? (단, 연산증폭기는 이상적이다)



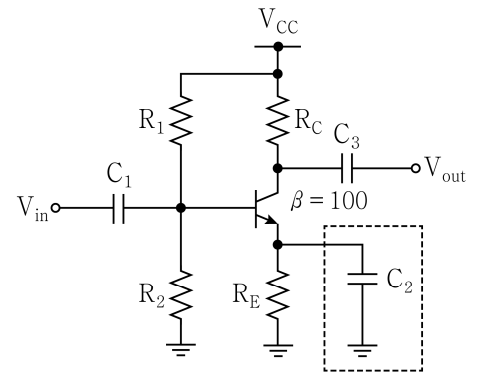
- | | |
|-----|------|
| ① 2 | ② 4 |
| ③ 8 | ④ 12 |

문 10. 다음 MOSFET 회로가 포화영역에서 동작하고 있다고 할 때, 저항값 R_{in} 은? (단, 전달컨덕턴스는 g_m , 소신호 출력저항은 r_{ds} 이다)



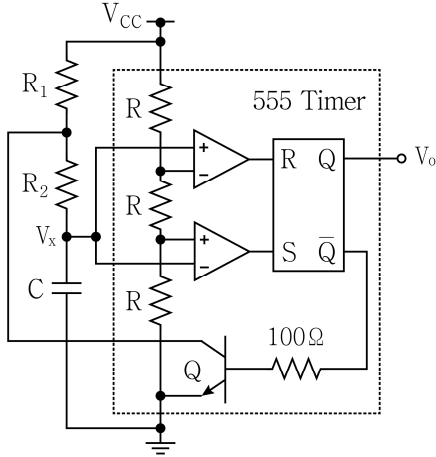
- | | |
|---|--|
| ① $\frac{r_{ds} + R_d}{1 + g_m r_{ds}}$ | ② $(1 + g_m r_{ds})R_d$ |
| ③ $\frac{1 + g_m R_d}{g_m R_d} r_{ds}$ | ④ $\frac{1}{g_m} + \frac{R_d}{1 + g_m r_{ds}}$ |

문 11. 다음 회로에서 교류 전압이득 $\left(\frac{V_{out}}{V_{in}}\right)$ 은 A_{V1} 이고, 점선 내의 C_2 를 제거했을 때의 교류 전압이득을 A_{V2} 라고 했을 때, $\frac{A_{V1}}{A_{V2}}$ 은? (단, 교류 출력 저항 $r_o = \infty$, 교류 이미터 저항은 r_e 이다)



- | |
|---------------------------------|
| ① $\frac{R_C}{r_e}$ |
| ② $\frac{r_e + R_E}{r_e}$ |
| ③ $\frac{r_e}{r_e + R_E}$ |
| ④ $\frac{r_e + R_C}{r_e + R_E}$ |

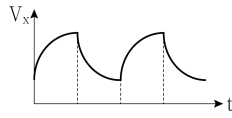
문 12. 다음 555 타이머 IC를 사용한 신호 발생기 회로에서 회로 이름과 V_x 의 파형으로 옳은 것은?



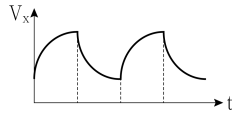
회로 이름

파형

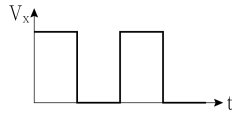
① 비안정(astable) 멀티바이브레이터



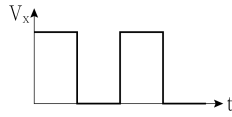
② 쌍안정(bistable) 멀티바이브레이터



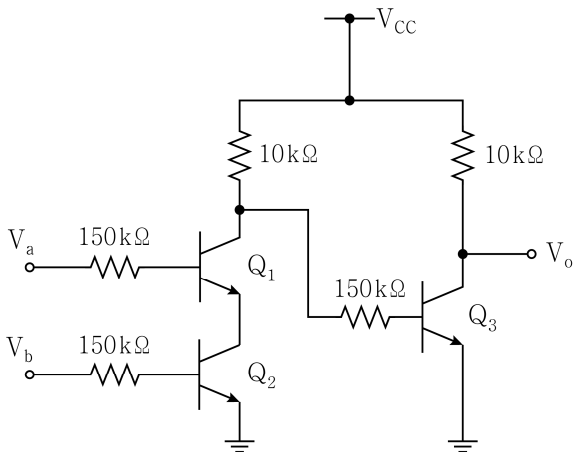
③ 비안정(astable) 멀티바이브레이터



④ 쌍안정(bistable) 멀티바이브레이터

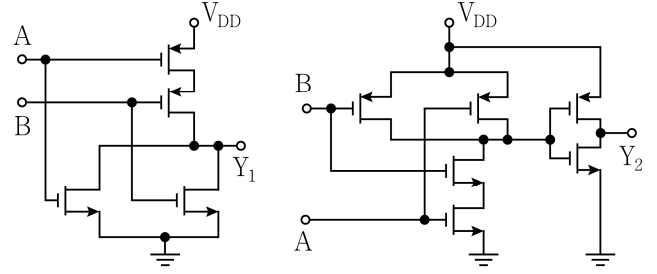


문 13. 다음 회로와 같은 동작을 하는 논리게이트는? (단, V_a , V_b 는 V_{CC} 또는 0[V] 크기를 갖는 논리 신호이다)



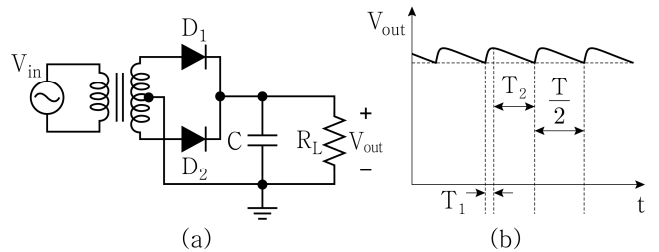
- ① OR
② AND
③ NOR
④ NAND

문 14. 다음 두 개의 논리회로에서 입력 A, B에 대한 출력 Y_1 , Y_2 의 논리식으로 옳은 것은?



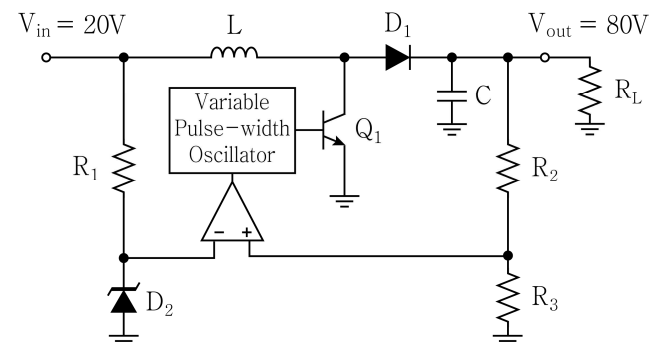
- | | Y_1 | Y_2 |
|---|-----------------------------------|-------------|
| ① | $A + B$ | $A \cdot B$ |
| ② | $A \cdot B$ | $A + B$ |
| ③ | $\overline{A} \cdot \overline{B}$ | $A \cdot B$ |
| ④ | $\overline{A} \cdot \overline{B}$ | $A + B$ |

문 15. 그림 (a)에 나타난 정류회로의 출력 V_{out} 에 대한 파형이 그림 (b)와 같을 경우에 대한 설명으로 옳지 않은 것은? (단, V_{in} 은 주기가 T인 교류신호이다)



- ① T_1 동안 커패시터는 충전된다.
② 커패시터 C 값이 클수록 리플(ripple) 전압의 크기가 커진다.
③ 부하저항 R_L 값이 클수록 리플 전압의 크기가 작아진다.
④ 정류기 전압이 피크전압 이하로 떨어지면, 커패시터가 부하를 통하여 방전하는 시간은 T_2 이다.

문 16. 다음 승압형 정전압 조정기에 대한 설명으로 옳지 않은 것은? (단, 소자들은 이상적이고 정상상태에서 동작하며, 인덕터 전류는 연속이고 연산증폭기는 이상적이다)

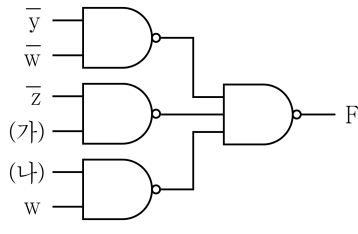


- ① 듀티비(duty ratio)는 0.75이다.
② 인덕터(L) 값을 2배 증가시켜도 출력전압(V_{out})은 변하지 않는다.
③ 스위치(Q_1)이 턴온(turn-on) 될 때, 다이오드(D_1)에 인가되는 역전압은 80[V]이다.
④ 듀티비를 일정한 값으로 유지하면서, 동작 주파수를 변경하면 출력전압이 가변된다.

문 17. 그림 (a)에 주어진 카르노 맵을 그림 (b)의 NAND 게이트만으로 구현할 때, 그림 (b)의 입력 (가), (나)에 들어갈 것은?

yz \ wx	00	01	11	10
00	1	1		
01	1	1		
11	1			
10	1	1	1	1

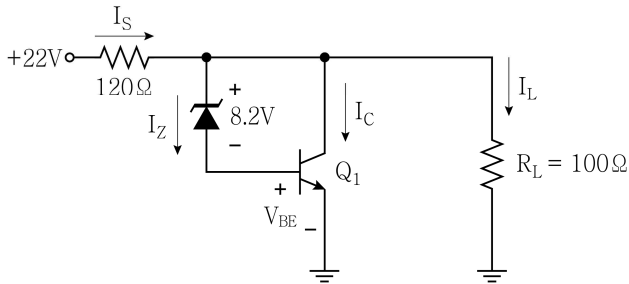
(a)



(b)

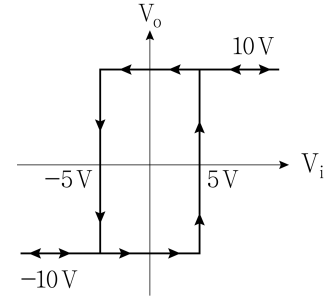
- | | (가) | (나) |
|---|-----------|-----------|
| ① | \bar{y} | \bar{x} |
| ② | \bar{y} | x |
| ③ | \bar{x} | y |
| ④ | \bar{x} | \bar{y} |

문 18. 다음 회로에서 트랜지스터의 컬렉터 전류 I_C [mA]로 가장 가까운 것은? (단, 트랜지스터의 $V_{BE} = 0.7$ [V]이고, $I_Z \ll I_C$ 이다)

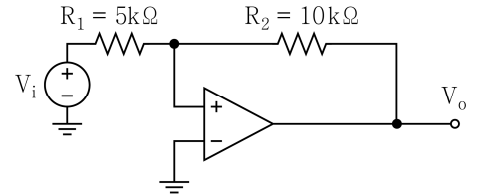


- ① 20
② 82
③ 89
④ 109

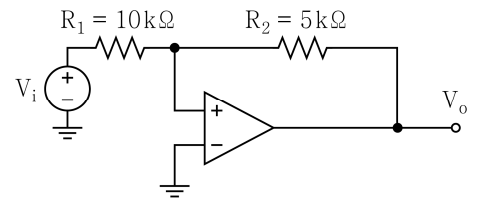
문 19. 다음과 같은 입·출력 히스테리시스 특성 곡선을 갖는 회로는?



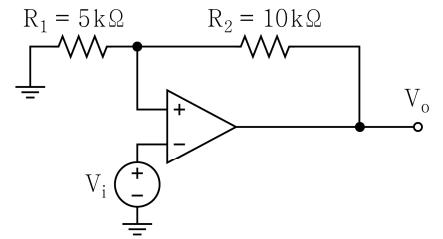
①



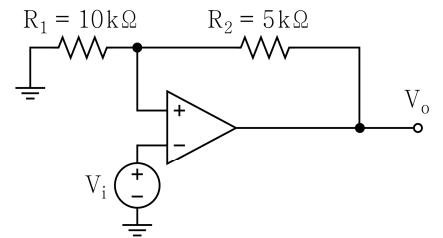
②



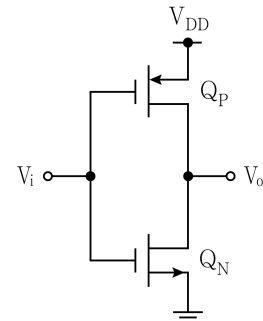
③



④



문 20. 다음 CMOS 반전기(inverter)의 특징으로 옳지 않은 것은?

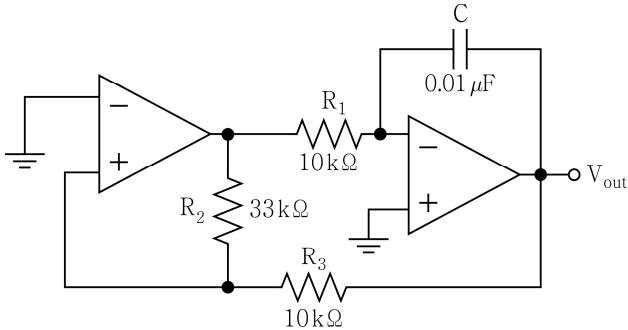


- ① 반전기의 입력 저항은 매우 크다.
② 누설전류를 무시하면, 정전력 소모는 0이다.
③ 출력 단자와 접지 혹은 V_{DD} 사이에 높은 저항 통로가 존재한다.
④ $V_i = V_{DD}$ 일 때 Q_P 는 OFF되고, Q_N 은 ON된다.

문 21. 트랜지스터 증폭기 회로의 주파수 특성에 대한 설명으로 옳지 않은 것은?

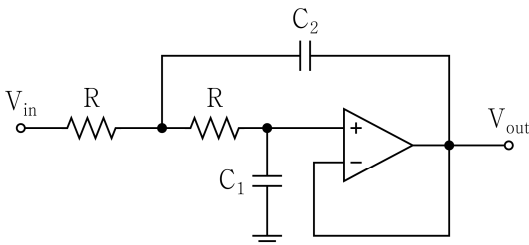
- ① 밀러 효과(Miller effect)는 상한 차단주파수를 낮추는 효과가 있다.
- ② 기생(parasitic) 커패시터의 값이 클수록 상한 차단주파수는 낮아진다.
- ③ 커플링(coupling) 커패시터의 값이 클수록 하한 차단주파수는 낮아진다.
- ④ 일반적으로 공통소스(common-source) 증폭기는 공통게이트(common-gate) 증폭기보다 상한 차단주파수가 높다.

문 22. 다음 회로의 발진주파수[kHz]는? (단, 연산증폭기는 이상적이다)



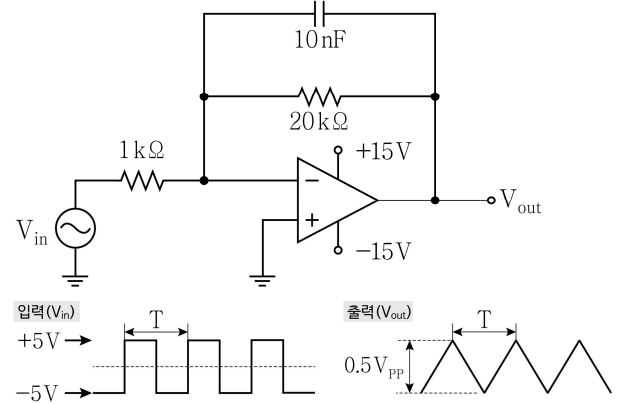
- ① 7.25
- ② 8.25
- ③ 9.25
- ④ 10.25

문 23. 다음 능동필터 회로에 대한 설명으로 옳은 것은? (단, 연산증폭기는 이상적이다)



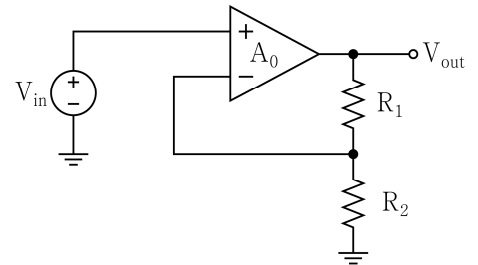
- ① 셀런-키(Sallen-Key) 2차 고역통과필터이다.
- ② 주파수가 증가함에 따라 비반전 입력전압도 증가한다.
- ③ 단위이득을 갖는 2차 저역통과필터이다.
- ④ 필터의 차단주파수는 $f = \frac{1}{2\pi R \sqrt{C_1 C_2}}$ 이고, 20 dB/decade의 비율로 롤-오프(roll-off) 특성을 갖는다.

문 24. 다음 회로에서 입력 V_{in} 에 대하여 출력 V_{out} 이 얻어질 때, 입력신호의 주파수[MHz]는? (단, 연산증폭기는 이상적이다)



- ① 0.1
- ② 0.5
- ③ 1
- ④ 5

문 25. 다음 회로의 전압이득 $\frac{V_{out}}{V_{in}}$ 은? (단, 연산증폭기의 전압이득 A_0 는 유한한 값이다)



- ① $\frac{-R_1/R_2}{1 + \frac{1+R_1/R_2}{A_0}}$
- ② $\frac{-R_2/R_1}{1 + \frac{1+R_2/R_1}{A_0}}$
- ③ $\frac{1+R_1/R_2}{1 + \frac{1+R_1/R_2}{A_0}}$
- ④ $\frac{1+R_2/R_1}{1 + \frac{1+R_2/R_1}{A_0}}$