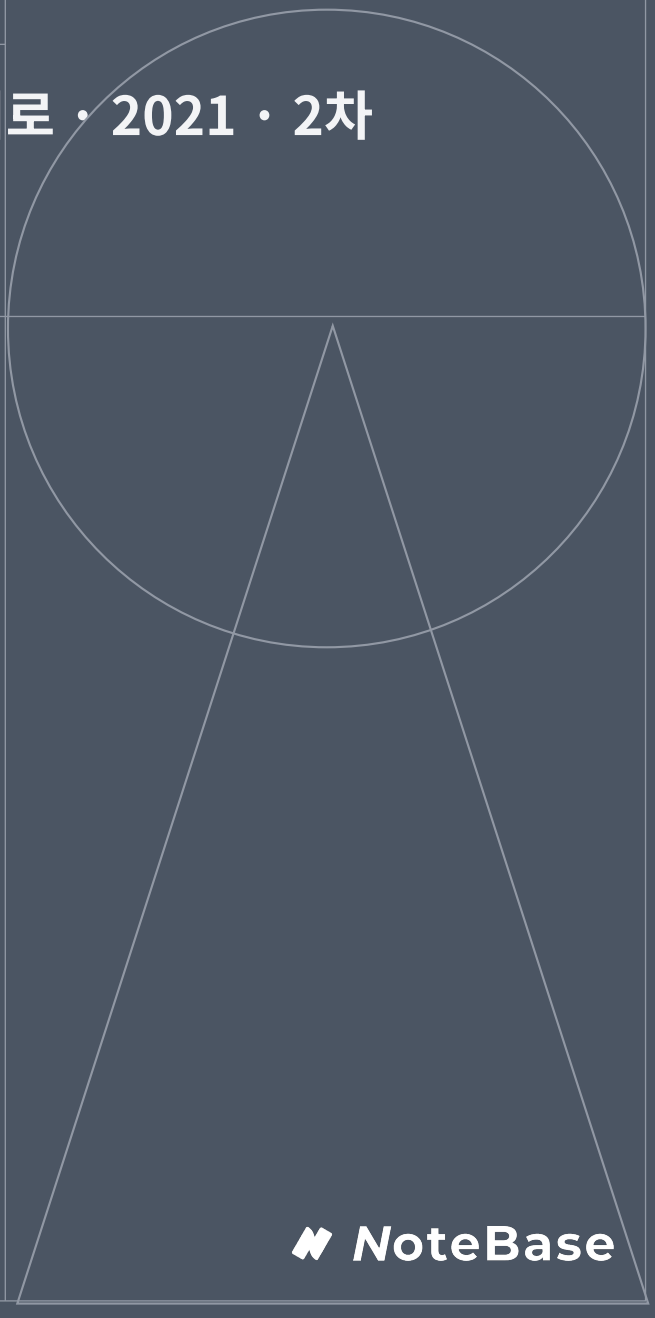
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2021 · 2차



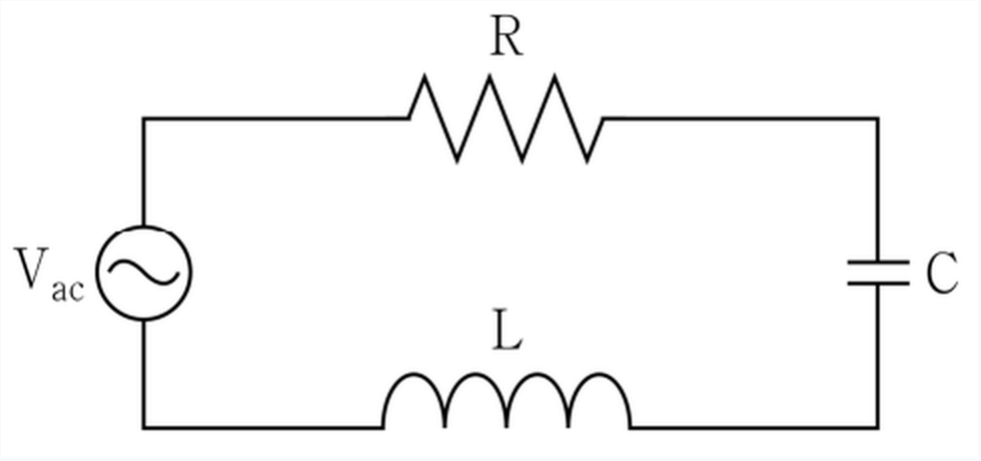
NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2021 · 2차

공무원/국가직/7급 · 전자회로 · 2021 · 2차

문 1. 다음 RLC 회로가 공진주파수 f_r에서 동작할 때, 발생하는 특징으로 옳지 않은 것은?



① 저항 R 양단에 인가되는 전압이 최소가 된다.

② 등가 임피던스가 최소이므로 회로에 흐르는 전류는 최대가 된다.

③ 인덕터 L과 커패시터 C의 직렬 연결 양단전압은 0[V]이 된다.

④ 저항만 있는 등가회로로 전압과 전류의 위상차가 발생하지 않는다.

정답 1번

출제 포인트

RLC 직렬회로가 공진주파수 f_r에서 동작할 때 임피던스·전류·각 소자 전압의 크기와 위상이 어떻게 변하는지를 묻는 문항이다. 공진 시 리액턴스 성분이 상쇄되어 회로가 순저항 회로처럼 동작한다는 점을 이해하면 각 선지의 옳고 그름을 바로 판단할 수 있다.

조건 정리

그림의 회로는 교류전원 V_{ac}에 저항 R, 인덕터 L, 커패시터 C가 직렬로 연결된 RLC 직렬회로이다. 공진주파수 f_r은 유도리액턴스 X_L과 용량리액턴스 X_C의 크기가 같아지는 주파수, 즉 $X_L = X_C$가 되는 지점이다.

NoteBase

사용할 공식

직렬 RLC 회로의 임피던스는 $Z = R + j(X_L - X_C)$이며, 공진 조건은 $X_L = X_C$, 즉 $2\pi f_r L = \frac{1}{2\pi f_r C}$이다. 이때 전체 전류는 $I = \frac{V_{ac}}{Z}$, 저항 양단 전압은 $V_R = I \cdot R$로 구한다.

계산 과정

공진 시 $X_L = X_C$이므로 허수부가 서로 상쇄되어 $Z = R + j(X_L - X_C) = R$이 되고, 임피던스는 저항 성분만 남아 최솟값을 가진다. 임피던스가 최소가 되므로 전류 $I = V_{ac}/Z = V_{ac}/R$는 최댓값이 된다. 저항 양단 전압은 $V_R = I \cdot R$이므로 전류가 최대일 때 V_R 역시 최댓값이 되어 사실상 전원전압 V_{ac}와 같아진다. 한편 인덕터 전압 $V_L = I \cdot X_L$과 커패시터 전압 $V_C = I \cdot X_C$는 크기는 같지만 위상이 서로 180도 반대이므로, L과 C 직렬 구간 양단전압은 $V_L - V_C = 0$[V]이 된다. 또한 회로 전체가 순저항 R만 남은 것과 같으므로 전원전압과 전류 사이의 위상차도 발생하지 않는다.

선지 판단

① 저항 R 양단에 인가되는 전압이 최소가 된다 → 옳지 않다. 공진 시 임피던스가 최소이고 전류가 최대이므로 $V_R = I \cdot R$ 역시 최대가 된다. 최소가 아니라 최대가 되는 것이 옳은 설명이다.
② 등가 임피던스가 최소이므로 회로에 흐르는 전류는 최대가 된다 → 옳다. 공진 시 $Z = R$로 최소가 되고 $I = V_{ac}/Z$이므로 전류는 최대가 된다.
③ 인덕터 L과 커패시터 C의 직렬 연결 양단전압은 0[V]이 된다 → 옳다. V_L과 V_C는 크기가 같고 위상이 반대이므로 두 전압의 합은 0이 된다.
④ 저항만 있는 등가회로로 전압과 전류의 위상차가 발생하지 않는다 → 옳다. 리액턴스 성분이 상쇄되어 회로가 순저항 회로처럼 동작하므로 전압과 전류는 동위상이 된다.

오답 포인트

이 문제는 '옳지 않은 것'을 찾는 문제인데, 공진 시 임피던스가 최소가 되어 전류가 최대가 된다는 점까지는 맞게 알고 있어도, 그 전류가 흐르는 저항 양단 전압까지 최대가 된다는 사실을 놓치고 '전압도 뭔가 상쇄되어 줄어들 것'이라고 잘못 유추하면 ①을 옳은 설명으로 착각하게 된다. 전압이 상쇄되어 0이 되는 것은 저항이 아니라 L과 C 직렬 구간이라는 점을 구분해야 한다.

다시 나오면 이렇게 판단

RLC 직렬 공진 문제는 항상 세 가지를 세트로 확인한다. 첫째 임피던스는 R로 최소, 둘째 전류는 최대, 셋째 전류가 최대이므로 저항 양단 전압도 최대(사실상 전원전압과 동일)라는 점이다. L과 C 각각의 전압은 크기가 크게 나타날 수 있어도(공진 승압) 두 전압을 합하면 위상 반대로 서로 상쇄되어 0이 된다는 점과 저항 전압을 혼동하지 않도록 한다.

NoteBase

암기 포인트

직렬 공진 3종세트: 임피던스 최소(=R) → 전류 최대 → 저항 전압 최대(=전원전압). L전압과 C전압은 크기 동일·위상 반대라 합은 0. 전체 회로는 순저항처럼 동작하여 전압-전류 위상차 없음.

NoteBase

문 2. 어떤 진폭 변조파가 $v=(100+40\sin 600\pi t)\sin 10^6\pi t[V]$로 표시될 때, 피변조파의 반송파 전력 P_C, 상측파 전력 P_U, 하측파 전력 P_L의 비율은?

① P_C: 1, P_U: 0.2, P_L: 0.2

② P_C: 1, P_U: 0.22, P_L: 0.22

③ P_C: 1, P_U: 0.4, P_L: 0.4

④ P_C: 1, P_U: 0.04, P_L: 0.04

정답 4번

출제 포인트

진폭 변조(AM)파의 순시식에서 변조도 m을 구하고, 이를 이용해 반송파 전력 P_C, 상측파 전력 P_U, 하측파 전력 P_L의 비율을 계산하는 문제이다. AM 전력 관계식 $P_C:P_U:P_L=1:\frac{m^2}{4}:\frac{m^2}{4}$을 암기하고 있는지, 순시식에서 반송파 진폭과 변조 신호 진폭을 정확히 구분해 읽어내는지가 핵심이다.

조건 정리

주어진 피변조파는 $v=(100+40\sin 600\pi t)\sin 10^6\pi t$[V]이다. 이 식을 표준형 $v=E_C(1+m\cos\omega_m t)\sin\omega_c t$와 비교하면, 반송파 진폭 $E_C=100$[V], 변조 신호의 진폭 $E_m=40$[V]이다. 반송파 각주파수는 $10^6\pi$, 변조 신호 각주파수는 600π이며, 전력 비율 계산에는 각주파수 값 자체는 쓰이지 않고 진폭비만 필요하다.

사용할 공식

변조도는 $m=\frac{E_m}{E_C}$이다. AM파의 전력은 반송파 전력 P_C와 상측파 전력 P_U, 하측파 전력 P_L로 나뉘며 그 비율은 $P_C:P_U:P_L=1:\frac{m^2}{4}:\frac{m^2}{4}$이다. 이는 AM파를 반송파 성분과 두 측파대 성분으로 분해했을 때, 각 측파대 성분의 진폭이 반송파 진폭의 $\frac{m}{2}$배가 되고, 전력은 진폭의 제곱에 비례하기 때문에 나오는 결과이다.

계산 과정

변조도를 구하면 $m=\frac{E_m}{E_C}=\frac{40}{100}=0.4$이다. 이를 전력 비율식에 대입하면 $\frac{m^2}{4}=\frac{0.4^2}{4}=\frac{0.16}{4}=0.04$이다. 따라서 $P_C:P_U:P_L=1:0.04:0.04$이다.

선지 판단

① $1:0.2:0.2\rightarrow$ X, 0.2는 변조도 $m=0.4$의 절반값으로, $m^2/4$ 계산 없이 $m/2$만 취한 값이다.

② $1:0.22:0.22\rightarrow$ X, 다른 계산식과 혼동한 값으로 이 문제의 조건과 맞지 않는다.

③ $1:0.4:0.4\rightarrow$ X, 변조도 m 값 자체를 전력비로 착각한 경우이다.

④ $1:0.04:0.04\rightarrow$ O, $m=0.4$에서 $m^2/4=0.04$로 정확히 계산된 값이다.

NoteBase

오답 포인트

이 문제에서 가장 흔한 실수는 변조도 m과 전력비 $m^2/4$를 혼동하는 것이다. $m = 0.4$를 그대로 답으로 고르면 ③이 되어 틀리고, $m/2 = 0.2$를 답으로 고르면 ①이 되어 틀린다. 전력은 전압(진폭)의 제곱에 비례한다는 점과, 측파대 진폭이 반송파 진폭의 $m/2$배라는 두 단계를 모두 거쳐야 $m^2/4$라는 정확한 전력비가 나온다는 점을 놓치지 않아야 한다.

다시 나오면 이렇게 판단

AM 순시식이 주어지면 먼저 반송파 진폭과 변조 신호 진폭을 각각 읽어 변조도 $m = E_m/E_C$를 구한다. 이후 전력비를 묻는 문제라면 곧바로 $m^2/4$를 계산해서 대입하고, 진폭비나 변조도 자체를 답으로 고르지 않도록 주의한다.

암기 포인트

AM파 전력비 공식 $P_C : P_U : P_L = 1 : \frac{m^2}{4} : \frac{m^2}{4}$을 통째로 외워 둔다. 변조도 m이 아니라 그 제곱의 4분의 1이 전력비가 된다는 점을 기억한다.

NoteBase

문 3. 플립-플롭(flip-flop)의 클록(clock) 주파수가 25[MHz]이고 클록 펄스 폭이 30[ns]일 때, 듀티 사이클(duty cycle)[%]은?

① 25
② 50
③ 75
④ 100

정답 3번

출제 포인트

클록 주파수와 펄스 폭이 주어졌을 때 듀티 사이클을 계산할 수 있는지 확인하는 문제이다. 듀티 사이클은 한 주기 중 신호가 High(또는 펄스가 존재)로 유지되는 시간의 비율을 백분율로 나타낸 값이다.

조건 정리

클록 주파수 $f = 25\text{MHz}$, 클록 펄스 폭 $t_p = 30\text{ns}$이다. 주파수로부터 주기 T를 먼저 구하고, 펄스 폭과 주기의 비로 듀티 사이클을 구한다.

사용할 공식

주기와 주파수의 관계 $T = \frac{1}{f}$와 듀티 사이클의 정의 $\text{Duty cycle}[\%] = \frac{t_p}{T} \times 100$을 사용한다.

계산 과정

주기는 $T = \frac{1}{f} = \frac{1}{25 \times 10^6\text{Hz}} = 40 \times 10^{-9}\text{s} = 40\text{ns}$이다. 따라서 듀티 사이클은 $\frac{30\text{ns}}{40\text{ns}} \times 100 = 75\%$가 된다.

선지 판단

① 25 → X, 펄스 폭과 주기를 반대로 나누거나 계산을 잘못했을 때 나올 수 있는 값이며 실제 듀티 사이클과 다르다.
② 50 → X, 펄스 폭이 주기의 절반이라고 착각한 경우의 값으로 실제 조건과 맞지 않는다.
③ 75 → O, 주기 40ns에 대해 펄스 폭 30ns가 차지하는 비율은 75%이므로 정답이다.
④ 100 → X, 펄스가 항상 High로 유지되는 경우에 해당하는 값이며 이 문제의 조건과 다르다.

오답 포인트

듀티 사이클을 구할 때 분모에 주기 대신 주파수 값을 그대로 넣거나, 주파수와 주기를 혼동해서 단위 환산을 빠뜨리면 오답이 나온다. 주파수 25MHz를 주기 40ns로 바꾸는 단위 환산 과정을 정확히 거쳐야 한다.

NoteBase

다시 나오면 이렇게 판단

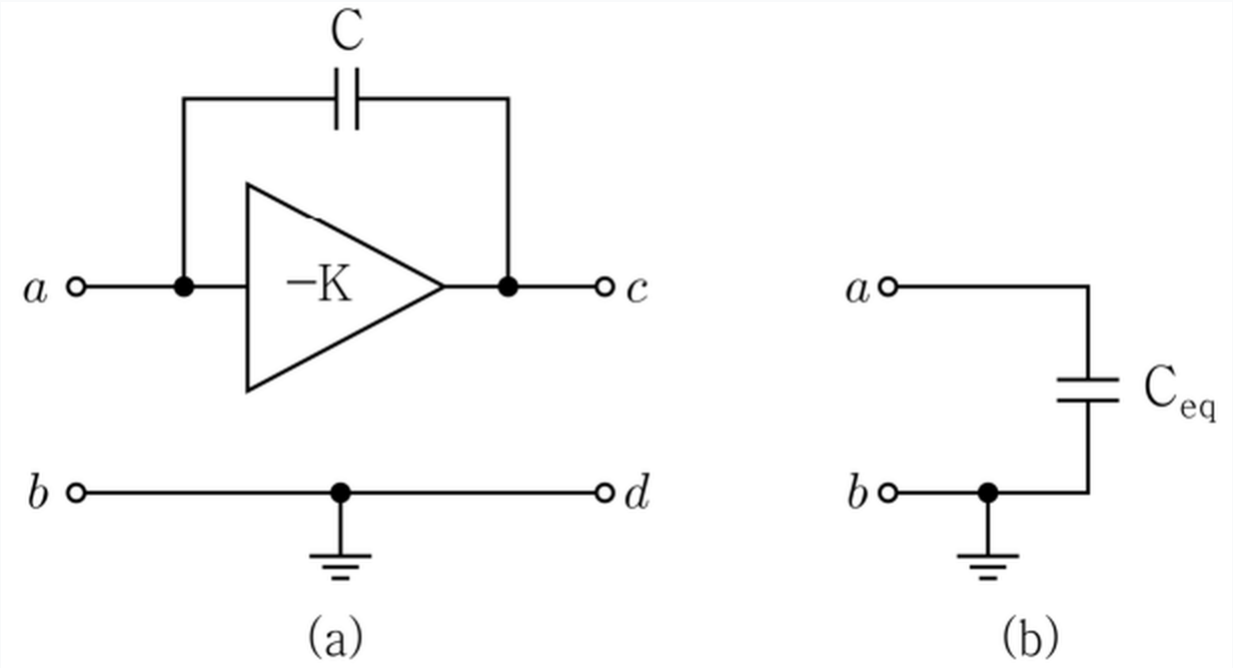
클록 주파수가 주어지면 먼저 $T = 1/f$로 주기를 계산해 ns 단위로 맞춘 다음, 펄스 폭을 주기로 나누어 백분율로 환산하는 순서로 접근한다.

암기 포인트

듀티 사이클 =펄스 폭주기×100 \%이며, 주기와 주파수는 서로 역수 관계인 $T = 1/f$임을 함께 외워 둔다.

NoteBase

문 4. 그림 (a)의 단자 a, b 사이의 커패시턴스가 그림 (b)의 C_{eq}와 등가인 것은?



① $C(1-K)$

② $C(1+K)$

③ $\frac{C}{1-K}$

④ $\frac{C}{1+K}$

정답 2번

출제 포인트

이득이 $-K$인 증폭기의 입력단자와 출력단자 사이에 걸린 궤환 커패시터 C를, 입력단자와 접지 사이에 연결된 등가 커패시터 C_{eq} 하나로 바꾸는 밀러(Miller) 등가 변환을 묻는 문항이다.

조건 정리

그림 (a)에서 커패시터 C는 입력단자 a와 출력단자 c 사이에 연결되어 있고, 증폭기의 전압이득은 a에서 c로 $-K$이다(즉 $V_c = -KV_a$). 그림 (b)는 a와 접지된 b 사이에 커패시터 C_{eq} 하나만 남긴 등가회로이다. 두 회로가 등가이려면 단자 a에서 바라본 입력 임피던스(또는 입력전류)가 같아야 한다.

사용할 공식

밀러 정리: 입력단자와 출력단자 사이에 임피던스 Z가 연결되고 두 단자 사이의 전압이득이 A_v일 때, 입력단자에서 접지 쪽으로 본 등가 임피던스는 $Z_{in} = \frac{Z}{1-A_v}$이다. 커패시터의 경우 $Z = \frac{1}{sC}$이므로 이를 대입하면 등가 커패시턴스는 $C_{eq} = C(1-A_v)$가 된다.

NoteBase

계산 과정

단자 a의 전압을 V_a, 출력단자 c의 전압을 $V_c = -KV_a$라 하면, 커패시터 C에 흐르는 전류는
$I = sC(V_a - V_c) = sC(V_a - (-KV_a)) = sCV_a(1 + K)$이다.
따라서 단자 a에서 접지(b) 방향으로 본 등가 커패시턴스는 $C_{eq} = \frac{I}{sV_a} = C(1 + K)$가 된다.
이는 밀러 정리의 $C_{eq} = C(1 - A_v)$에 $A_v = -K$를 대입한 결과와 정확히 일치한다: $C(1 - (-K)) = C(1 + K)$.

선지 판단

① C(1-K) — X. 이득을 $+K$로 잘못 대입한 경우에 나오는 형태로, 이 회로의 이득 $-K$와 맞지 않는다.
② C(1+K) — O. $C_{eq} = C(1 - A_v) = C(1 - (-K)) = C(1 + K)$로 계산 과정과 일치한다.
③ C/(1-K) — X. 밀러 커패시턴스는 곱셈 형태 $C(1 - A_v)$이지 나눗셈 형태가 아니다. 나눗셈 형태는 출력단에서 본 밀러 커패시턴스 $C\left(1 - \frac{1}{A_v}\right)$와 혼동한 결과이다.
④ C/(1+K) — X. ③과 같은 이유로 밀러 입력 커패시턴스의 형태가 아니다.

오답 포인트

가장 흔한 실수는 증폭기 표기가 $-K$라는 점을 놓치고 이득을 $+K$로 대입해 $C(1 - K)$를 고르는 것이다. 또한 입력단에서 본 밀러 커패시턴스(곱셈 형태 $C(1 - A_v)$)와 출력단에서 본 밀러 커패시턴스(나눗셈 형태 $C\left(1 - \frac{1}{A_v}\right)$)를 혼동하지 않아야 한다. 이 문제는 a, b 단자(입력측)에서 바라본 등가 커패시턴스를 묻고 있으므로 곱셈 형태가 맞다.

다시 나오면 이렇게 판단

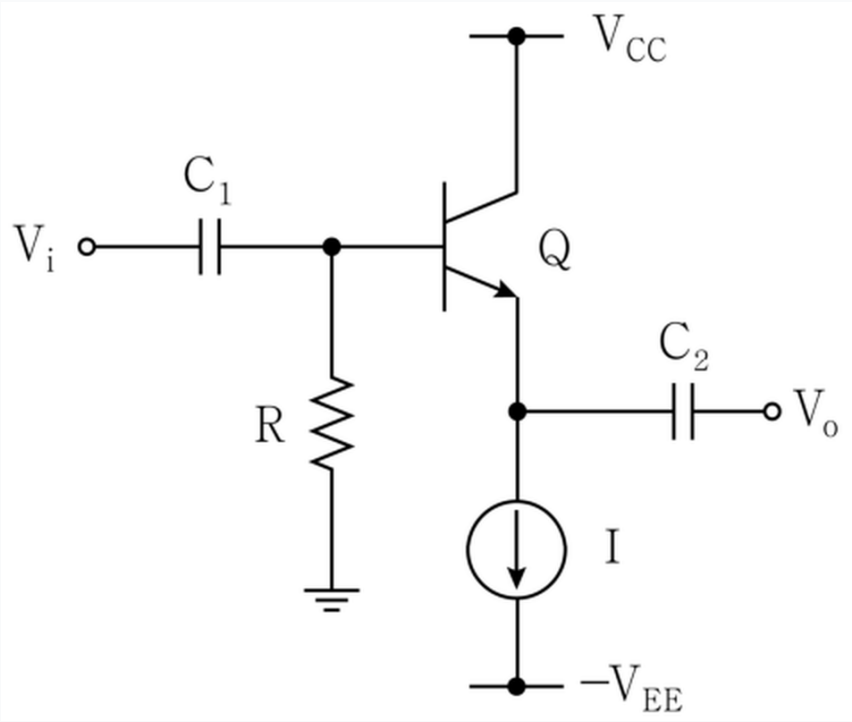
증폭기의 입출력 사이에 커패시터(또는 임피던스)가 연결된 회로가 나오면, 먼저 입력에서 출력으로의 전압이득 A_v의 부호와 크기를 정확히 확인한다. 그 다음 입력측 등가 커패시턴스는 $C(1 - A_v)$, 출력측 등가 커패시턴스는 $C\left(1 - \frac{1}{A_v}\right)$ 공식에 그대로 대입하면 된다. 이 문제처럼 이득이 $-K$로 주어지면 부호를 대입할 때 이중 부호(빼기 곱하기 마이너스)에 유의한다.

암기 포인트

밀러 정리: 입력측 등가 커패시턴스 $C_{in} = C(1 - A_v)$, 출력측 등가 커패시턴스 $C_{out} = C\left(1 - \frac{1}{A_v}\right)$. 이득이 음수(반전 증폭기, $A_v = -K$)이면 입력측 밀러 커패시턴스는 $C(1 + K)$로 커진다는 점을 기억해 둔다.

NoteBase

문 5. 다음 회로에 대한 설명으로 옳지 않은 것은?



① 전압 증폭률은 1보다 약간 작거나 대략 같다.

② 공통-컬렉터 증폭기이다.

③ 입력신호와 출력신호의 위상차는 180도이다.

④ 낮은 저항값을 갖는 부하를 구동하기에 적당하다.

정답 3번

출제 포인트

이 회로는 베이스에 신호(C1로 결합)가 입력되고 컬렉터는 전원 V_{CC}에 직접 연결되며, 이미터에 정전류원 부하(I)가 연결되고 출력 V_o를 이미터 노드에서 C2로 뽑아내는 구조이다. 컬렉터가 (교류 신호 관점에서) 접지와 같은 공통 단자가 되므로 공통-컬렉터(이미터 폴로어) 증폭기이며, 이 구조가 갖는 전압 이득·위상·입출력 임피던스 특성을 정확히 아는지를 묻는다.

핵심 개념

공통-컬렉터(이미터 폴로어) 증폭기는 컬렉터가 교류적으로 접지(전원 V_{CC}는 교류 신호에 대해 접지와 같음)에 물려 있고, 입력은 베이스로 들어가며 출력은 이미터에서 나온다. 전압 이득은 $A_v = \frac{R_E}{R_E + r_e} \leq 1$로 1보다 약간 작거나 대략 같고, 입력과 출력은 같은 위상(0도)을 가진다. 또한 입력 임피던스는 높고 출력 임피던스는 낮아 낮은 저항의 부하를 구동하는 데 유리하며, 이 때문에 버퍼(임피던스 변환) 회로로 널리 쓰인다.

NoteBase

선지별 해설

① 이미터 폴로어의 전압 증폭률은 $A_v = R_E/(R_E + r_e)$로 1보다 항상 작거나 최대 1에 근접하므로 옳은 설명이다.
② 컬렉터가 V_{CC}에 직결되어 교류적으로 접지와 같은 역할을 하고, 입력은 베이스·출력은 이미터에서 취하므로 공통-컬렉터 증폭기가 맞다. 옳은 설명이다.
③ 공통-컬렉터(이미터 폴로어)는 입력 신호와 출력 신호가 서로 같은 방향으로 움직이는 동상(위상차 0도) 증폭기이다. 위상을 180도 반전시키는 것은 공통-이미터 증폭기의 특징이므로, 이 회로에 대한 설명으로는 틀렸다. 틀린 표현 → 올바른 표현: "위상차는 180도이다" → "위상차는 0도(동상)이다".
④ 이미터 폴로어는 출력 임피던스가 매우 낮아 낮은 저항값의 부하도 전압 강하 없이 잘 구동할 수 있으므로 옳은 설명이다.

오답 포인트

공통-이미터 증폭기의 180도 위상반전 특성을 모든 BJT 증폭기에 일반화해서 적용하면 이 문제에서 틀리기 쉽다. 증폭기의 위상 특성은 출력을 어느 단자(컬렉터 vs 이미터)에서 뽑느냐에 따라 달라진다는 점을 구분해야 한다. 컬렉터에서 출력을 뽑는 공통-이미터형은 위상반전(180도)이 있지만, 이미터에서 출력을 뽑는 공통-컬렉터형(이미터 폴로어)은 위상반전이 없다(동상).

다시 나오면 이렇게 판단

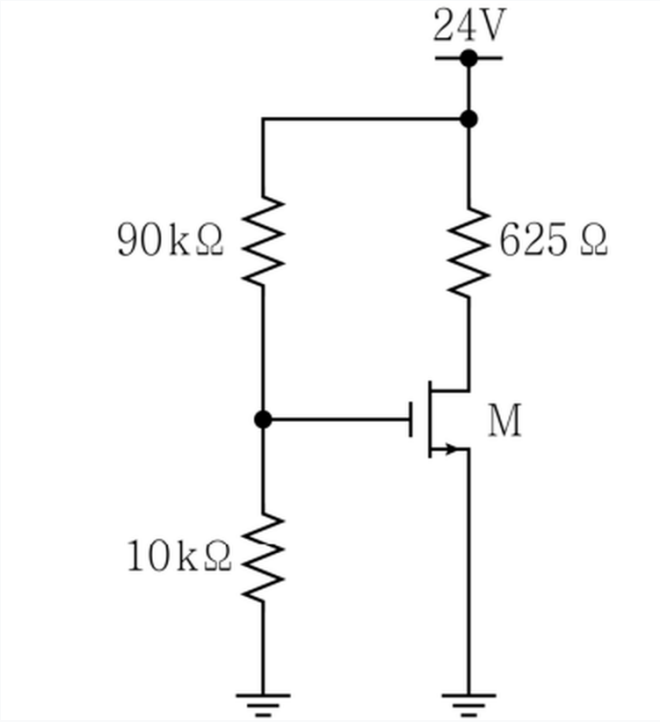
회로를 보면 먼저 출력이 컬렉터에서 나오는지 이미터에서 나오는지부터 확인한다. 이미터에서 출력이 나오고 컬렉터가 전원에 직결되어 있으면 공통-컬렉터(이미터 폴로어)이므로 전압 이득은 1 이하, 위상차는 0도, 출력 임피던스는 낮다는 세 가지 특징을 바로 떠올려 선지를 대조한다.

암기 포인트

공통-컬렉터(이미터 폴로어): 전압 이득 ≈ 1(또는 그보다 약간 작음), 위상차 0도(동상), 입력 임피던스 높음, 출력 임피던스 낮음(낮은 저항 부하 구동에 적합). 반면 공통-이미터: 전압 이득 큼, 위상차 180도(반전).

NoteBase

문 6. 다음 증가형 MOSFET 회로에서 $V_{DS}[V]$는? (단, $V_{GS(th)} = 2[V]$이고, $V_{GS(on)}$이 $4[V]$일 때 $I_{D(on)} = 400[mA]$이다)



① 10

② 10.6

③ 11.2

④ 14

정답 4번

출제 포인트

증가형(enhancement) MOSFET 회로에서 게이트 바이어스 전압분배기로 V_{GS}를 구하고, 주어진 동작점 데이터로 전류식의 비례상수를 구한 뒤 드레인 전류와 V_{DS}까지 계산하는 문제이다. 회로에서 소스는 접지되어 있어 V_{GS}가 곧 게이트 바이어스 전압과 같다는 점을 파악하는 것이 핵심이다.

조건 정리

전원전압 $V_{DD} = 24[V]$, 게이트 바이어스 저항은 위쪽 90kΩ과 아래쪽 10kΩ의 전압분배기이고 그 중간 노드가 게이트에 연결된다. 드레인은 625Ω 저항을 통해 24V에 연결되고, 소스는 직접 접지되어 있다(소스에는 별도 저항이 없다). 문턱전압 $V_{GS(th)} = 2[V]$이고, $V_{GS(on)} = 4[V]$일 때 $I_{D(on)} = 400[mA]$이다.

NoteBase

사용할 공식

게이트 전류는 흐르지 않으므로 전압분배 공식 $V_G = V_{DD} \cdot \frac{R_2}{R_1 + R_2}$로 게이트 전압을 구한다. 증가형 MOSFET의 포화영역 전류식은 $I_D = k(V_{GS} - V_{GS(th)})^2$이며, 주어진 동작점으로 비례상수 k를 구한다. 마지막으로 드레인-소스 루프의 KVL로 $V_{DS} = V_{DD} - I_D R_D$를 계산한다.

계산 과정

먼저 게이트 전압을 구한다. 90kΩ과 10kΩ의 전압분배이므로 $V_G = 24 \times \frac{10}{90 + 10} = 2.4[V]$이다. 소스가 접지되어 있으므로 $V_{GS} = V_G - V_S = 2.4 - 0 = 2.4[V]$이다.
다음으로 비례상수 k를 구한다. $V_{GS(on)} = 4[V]$일 때 $I_{D(on)} = 400[mA]$이므로 $400 = k(4 - 2)^2 = 4k$에서 $k = 100[mA/V^2]$이다.
이제 실제 동작점에서의 드레인 전류를 구한다.
$I_D = k(V_{GS} - V_{GS(th)})^2 = 100 \times (2.4 - 2)^2 = 100 \times 0.16 = 16[mA]$이다.
마지막으로 드레인 루프에 KVL을 적용한다. $V_{DS} = V_{DD} - I_D R_D = 24 - 0.016 \times 625 = 24 - 10 = 14[V]$이다.

선지 판단

① 10 — 오답. $I_D R_D$만 계산해 그 값(10V)을 그대로 V_{DS}로 착각한 경우 나오는 값이며, V_{DD}에서 빼는 과정이 빠져 있다.
② 10.6 — 오답. 게이트 전압이나 문턱전압을 잘못 대입해 I_D를 다르게 구했을 때 나올 수 있는 값으로, 실제 계산 결과와 일치하지 않는다.
③ 11.2 — 오답. V_{GS}를 2.4V가 아닌 다른 값으로 오인하거나 k값을 잘못 구했을 때 나오는 값이다.
④ 14 — 옳다. $V_G = 2.4[V]$, $k = 100[mA/V^2]$, $I_D = 16[mA]$로 계산하면
$V_{DS} = 24 - 16[mA] \times 625[\Omega] = 14[V]$가 되어 정답이다.

오답 포인트

가장 흔한 실수는 소스가 접지되어 있다는 것을 못 보고 10kΩ을 소스 저항으로 착각해 $V_{GS} = V_G - I_D R_S$ 형태로 계산하는 것이다. 이 회로에서 10kΩ은 게이트 바이어스 전압분배기의 일부일 뿐 소스 경로에는 있지 않다. 또한 k를 구할 때 $(V_{GS(on)} - V_{GS(th)})$를 제곱하지 않고 그냥 나누는 실수, 그리고 마지막에 $V_{DD} - I_D R_D$가 아니라 $I_D R_D$ 자체를 답으로 쓰는 실수도 자주 나온다.

다시 나오면 이렇게 판단

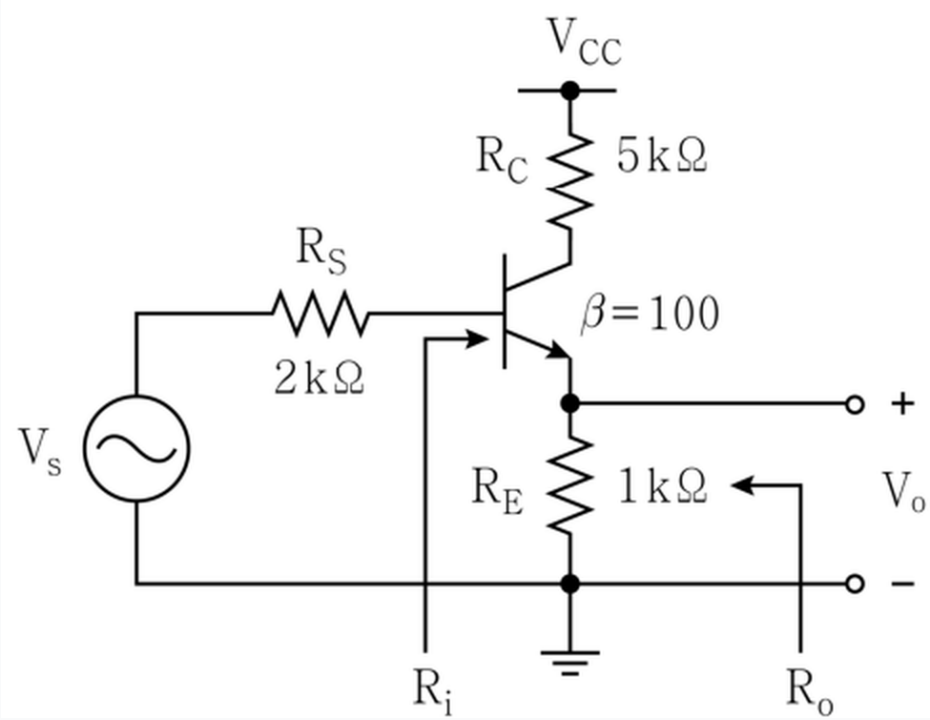
증가형 MOSFET 바이어스 회로가 나오면 먼저 회로에서 소스가 접지인지 저항을 거쳐 접지인지부터 구분한다. 소스가 직접 접지라면 게이트 분압으로 구한 V_G가 곧 V_{GS}이다. 이후 순서는 항상 (1) 전압분배로 V_G 구하기 (2) 주어진 동작점으로 $k = I_D/(V_{GS} - V_{th})^2$ 구하기 (3) 실제 V_{GS}로 I_D 재계산 (4) 드레인 루프 KVL로 V_{DS} 구하기의 4단계로 접근한다.

암기 포인트

증가형 MOSFET 포화영역 전류식 $I_D = k(V_{GS} - V_{GS(th)})^2$와 게이트 전류가 0이라는 사실을 이용한 전압분배식 $V_G = V_{DD}\frac{R_2}{R_1 + R_2}$을 함께 기억해 둔다. 드레인 루프의 KVL $V_{DS} = V_{DD} - I_D R_D$도 세트로 정리해 둔다.

NoteBase

문 7. 다음 소신호 증폭기의 입력 임피던스 R_i와 출력 임피던스 R_o에 가장 가까운 것은? (단, 베이스-이미터 간 교류 입력 저항 $r_\pi = 1[k\Omega]$, 교류 출력 저항 $r_o = \infty$이다)



① R_i: 1[$k\Omega$], R_o: 4[Ω]

② R_i: 4[Ω], R_o: 1[$k\Omega$]

③ R_i: 30[Ω], R_o: 102[$k\Omega$]

④ R_i: 102[$k\Omega$], R_o: 30[Ω]

정답 4번

출제 포인트

이 회로는 컬렉터가 R_C를 통해 V_CC로 연결되어 있지만 출력을 이미터 노드에서 취하는 구조이다. 즉 소신호 등가회로에서는 출력단이 이미터에 걸린 R_E 양단 전압이 되므로, 이미터 폴로어(공통 컬렉터 증폭기)와 동일한 방식으로 입력 임피던스 R_i와 출력 임피던스 R_o를 구해야 한다. R_C는 출력 경로에 들어가지 않으므로 두 임피던스 계산에 전혀 영향을 주지 않는다는 점이 핵심이다.

조건 정리

r_π = 1[kΩ], β = 100(따라서 β+1 = 101), r_o = ∞, R_S = 2[kΩ], R_E = 1[kΩ]이다. R_i는 R_S 다음 노드, 즉 트랜지스터 베이스 단자에서 트랜지스터 쪽을 바라본 임피던스이고, R_o는 이미터 노드(출력 + 단자)에서 회로 쪽을 바라본 임피던스이다.

NoteBase

사용할 공식

이미터 폴로어형 구조에서 베이스에서 본 입력 임피던스는 $R_i = r_\pi + (\beta + 1)R_E$이다. 출력 임피던스는 이미터 노드에서 R_E와, 베이스 쪽 회로를 이미터로 환산한 저항이 병렬로 보이므로 $R_o = R_E \parallel \frac{r_\pi + R_S}{\beta + 1}$이다(r_o = ∞이므로 컬렉터 쪽 저항은 출력 임피던스에 기여하지 않는다).

계산 과정

R_i부터 구하면 $R_i = r_\pi + (\beta + 1)R_E = 1\text{k} + 101 \times 1\text{k} = 102\text{k}[\Omega]$이다.
다음으로 R_o를 구하면 베이스 쪽을 이미터로 환산한 저항은 $\frac{r_\pi + R_S}{\beta + 1} = \frac{1\text{k} + 2\text{k}}{101} = \frac{3000}{101} \approx 29.7[\Omega]$이다.
이 값과 R_E(1kΩ)를 병렬로 계산하면 $R_o = \frac{1000 \times 29.7}{1000 + 29.7} \approx 28.8[\Omega]$이며, 이는 선지들 중 30[Ω]에 가장 가깝다.
따라서 R_i ≈ 102[kΩ], R_o ≈ 30[Ω]이다.

선지 판단

① R_i=1kΩ, R_o=4Ω: R_i가 rπ 값 그대로로, (β+1)R_E 항을 누락한 값이라 틀리다.
② R_i=4Ω, R_o=1kΩ: R_i와 R_o 값이 서로 뒤바뀐 형태이고 값 자체도 계산과 맞지 않아 틀리다.
③ R_i=30Ω, R_o=102kΩ: 이 역시 R_i와 R_o의 값이 서로 뒤바뀐 형태라 틀리다.
④ R_i=102kΩ, R_o=30Ω: $R_i = r_\pi + (\beta + 1)R_E = 102\text{k}[\Omega]$, $R_o \approx 30[\Omega]$로 계산 결과와 정확히 일치하여 옳다.

오답 포인트

이 문제에서 가장 흔한 실수는 출력이 컬렉터가 아니라 이미터에서 나온다는 것을 놓치고 R_C를 이용해 R_o를 구하려 하는 것이다. r_o=∞로 주어졌으므로 컬렉터 쪽은 R_o 계산에서 완전히 배제된다. 또한 R_i를 구할 때 (β+1)R_E 항을 빠뜨리고 r_π만 쓰거나, 반대로 R_i와 R_o의 수치를 서로 바꿔 쓰는 실수도 자주 나온다.

다시 나오면 이렇게 판단

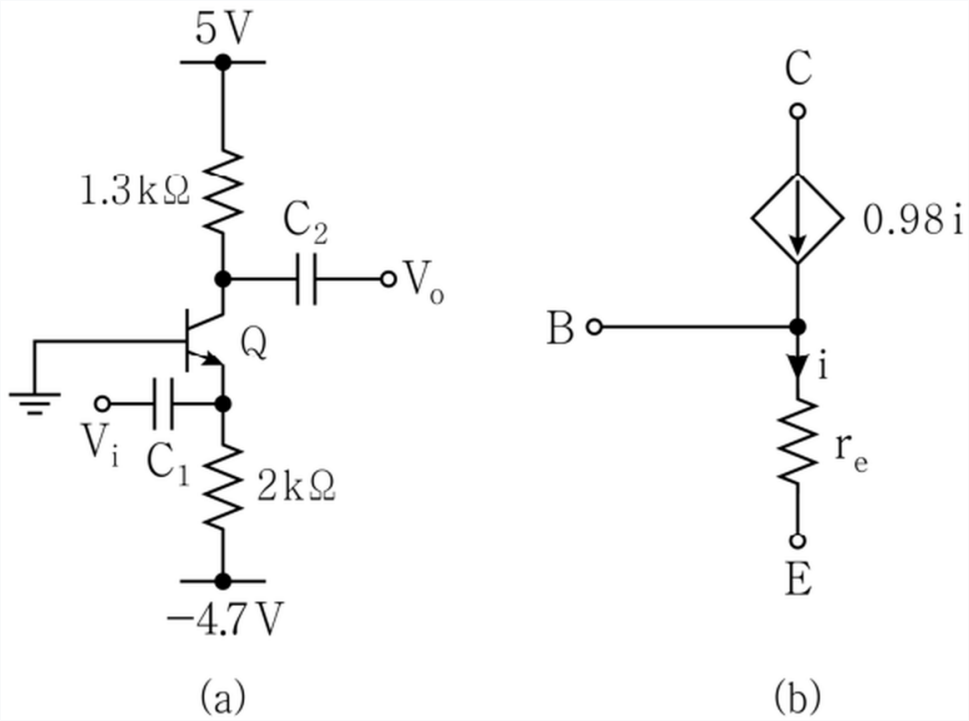
출력 단자가 이미터에 걸려 있는 회로를 보면 곧바로 이미터 폴로어 공식을 적용한다는 것을 떠올린다. R_i는 베이스에서 본 값이므로 항상 $r_\pi + (\beta + 1)R_E$ 형태이고, R_o는 이미터에서 본 값이므로 R_E와 베이스 쪽 저항을 (β+1)로 나눈 값을 병렬로 묶는다는 순서를 지킨다.

암기 포인트

이미터 폴로어형 구조에서 입력 임피던스는 $R_i = r_\pi + (\beta + 1)R_E$, 출력 임피던스는 $R_o = R_E \parallel \frac{r_\pi + R_S}{\beta + 1}$로 기억해 둔다. R_C나 r_o는 출력이 컬렉터가 아닌 이미터에서 나올 때는 R_o 계산에 영향을 주지 않는다.

NoteBase

문 8. 그림 (a) 증폭회로의 소신호 전압증폭도 $\frac{V_o}{V_i}$는? (단, $V_{BE} = 0.7[V]$, $V_T = 26[mV]$이며, 소신호 등가회로는 그림 (b)와 같다)



① 49

② 51

③ 98

④ 102

정답 3번

출제 포인트

이 회로는 트랜지스터의 베이스가 접지되고 입력 신호가 이미터 쪽에 커패시터 C1을 통해 인가되는 공통 베이스(CB) 증폭기이다. 문제는 DC 바이어스로부터 이미터 전류를 구하고, 이를 이용해 소신호 저항 r_e를 계산한 뒤, 주어진 소신호 등가회로 (b)를 이용하여 전압증폭도 V_o/V_i를 구하는 능력을 묻는다.

조건 정리

베이스는 접지되어 DC·AC 모두 0V이다. $V_{BE} = 0.7$V이므로 이미터 전위는 $V_E = 0 - 0.7 = -0.7$V이다. 이미터는 2kΩ 저항을 통해 -4.7V에 연결되어 있으므로 이 저항에 흐르는 전류가 곧 이미터 전류 I_E이다. 소신호 등가회로 (b)에서 베이스 단자는 실제 회로에서 접지이므로 등가회로의 B 노드 전압도 0V로 고정된다. 컬렉터 쪽 출력 Vo는 C2를 통해 개방 단자로 나가므로 부하 전류는 흐르지 않는다.

NoteBase

사용할 공식

이미터 전류: $I_E = \frac{V_E - (-4.7)}{2\text{k}\Omega}$. 소신호 이미터 저항: $r_e = \frac{V_T}{I_E}$. 등가회로 (b)의 KCL을 이용한 전압증폭도: $i = -\frac{V_i}{r_e}$, 컬렉터 노드에서 $-\frac{V_c}{1.3\text{k}\Omega} = 0.98i$, 그리고 $V_o = V_c$.

계산 과정

① 이미터 전위: $V_E = -V_{BE} = -0.7\text{V}$.
② 이미터 전류: $I_E = \frac{-0.7 - (-4.7)}{2\text{k}\Omega} = \frac{4.0\text{V}}{2\text{k}\Omega} = 2\text{mA}$.
③ 소신호 이미터 저항: $r_e = \frac{V_T}{I_E} = \frac{26\text{mV}}{2\text{mA}} = 13\Omega$.
④ 등가회로 (b)에서 B 노드는 0V로 고정되고 이미터 단자에 V_i가 인가되므로, re에 흐르는 전류는 $i = \frac{0 - V_i}{r_e} = -\frac{V_i}{r_e}$이다.
⑤ 컬렉터 노드에서 KCL을 적용하면, 1.3kΩ을 통해 접지에서 흘러드는 전류가 종속전류원 $0.98i$로 전부 빠져나가야 하므로 $-\frac{V_c}{1.3\text{k}\Omega} = 0.98i$이고, 이를 정리하면 $V_c = -0.98 \times 1.3\text{k}\Omega \times i$이다.
⑥ $i = -V_i/r_e$를 대입하면 $V_c = 0.98 \times \frac{1.3\text{k}\Omega}{r_e} \times V_i$이다.
⑦ $V_o = V_c$이므로 전압증폭도는 $\frac{V_o}{V_i} = 0.98 \times \frac{1300}{13} = 0.98 \times 100 = 98$이다.

선지 판단

① 49 — r_e를 26Ω(= V_T/I_E에서 I_E를 1mA로 잘못 계산)으로 두면 나오는 값으로, 이미터 전류 계산에서 오차가 있는 경우 나올 수 있는 오답이다. X
② 51 — 이 역시 r_e 계산이나 계수 0.98 반영 과정에서 오차가 누적될 때 나올 수 있는 값으로, 실제 계산 결과와 일치하지 않는다. X
③ 98 — $r_e = 13\Omega$과 $0.98 \times 1300/13 = 98$의 계산 결과와 정확히 일치한다. O
④ 102 — 0.98 계수를 반영하지 않고 $1300/13 = 100$에 가까운 근사값을 다르게 반올림하거나 부호 처리를 잘못했을 때 나올 수 있는 값으로, 정확한 계산과는 맞지 않는다. X

오답 포인트

이 문제에서 가장 흔한 실수는 이미터 전류를 구할 때 부호를 잘못 처리하여 V_E를 +0.7V로 놓거나, 2kΩ 양단 전압차를 -4.7V가 아니라 4.7V만 사용하는 경우이다. 또한 등가회로 (b)에서 베이스가 실제 회로상 접지라는 점을 놓치고 B 노드의 전압을 임의의 값으로 두면 전류 i와 V_c의 관계식이 틀어진다. 마지막으로 종속전류원의 계수 0.98(≈알파, 전류이득 관련 계수)을 누락하면 정확히 100이 나와 근사값인 ④(102)나 그 주변 값과 혼동하기 쉽다.

다시 나오면 이렇게 판단

공통 베이스 구조(베이스 접지, 입력이 이미터에 인가, 출력이 컬렉터에서 나옴)인지 먼저 확인한다. 이후 DC 바이어스로 이미터 전류 I_E를 구해 $r_e = V_T/I_E$를 계산하고, 등가회로에서 베이스 노드 전압이 0(접지)임을 이용해 $i = -V_i/r_e$를 세운 뒤, 컬렉터 노드 KCL로 V_o를 구하는 순서로 접근한다.

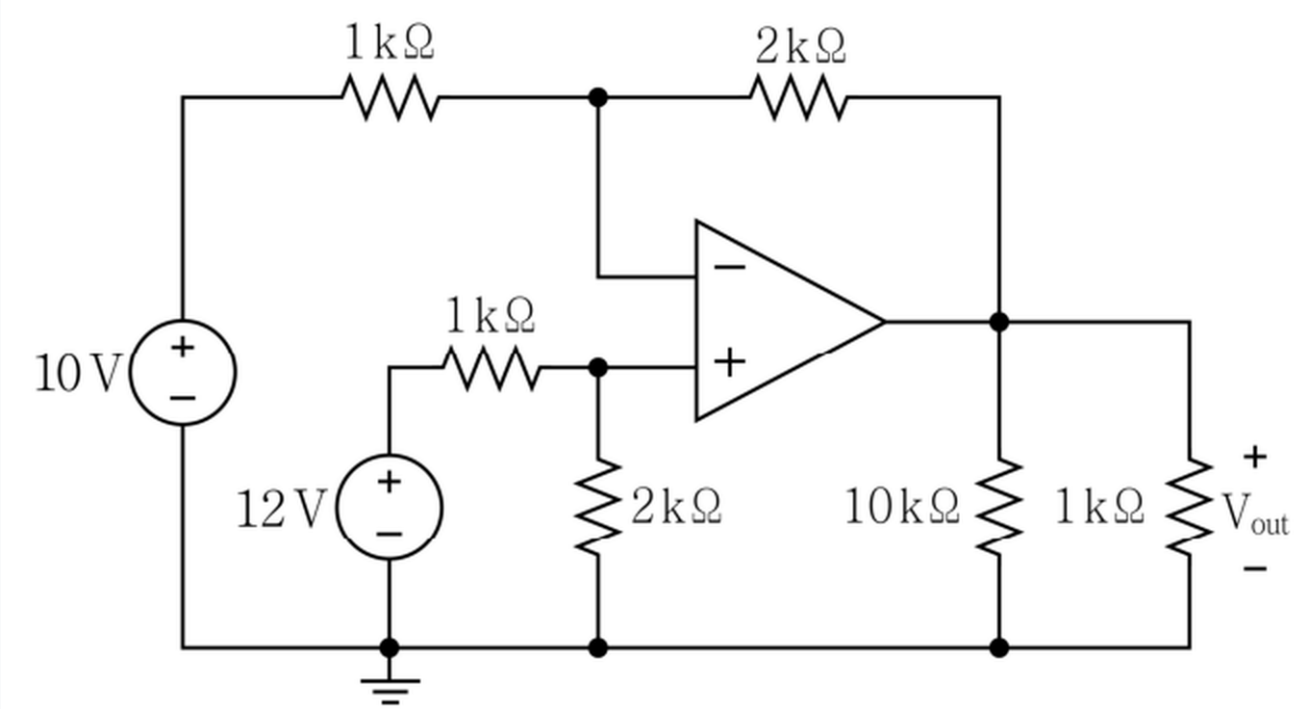
NoteBase

암기 포인트

공통 베이스 증폭기의 전압증폭도는 근사적으로 $A_V \approx \frac{\alpha R_C}{r_e}$ 형태이며, 여기서 α는 종속전류원의 계수(이 문제에서 0.98)이고 $r_e = V_T/I_E$이다. 이미터 전류는 이미터 쪽 저항과 접지된 베이스의 V_{BE} 강하를 이용해 구한다는 점을 기억해 둔다.

NoteBase

문 9. 다음 증폭기 회로에서 출력전압 V_{out} [V]은? (단, 연산증폭기는 이상적이다)



① 2

② 4

③ 8

④ 12

정답 2번

출제 포인트

이상적 연산증폭기의 가상단락(virtual short, $V_+ = V_-$)과 가상개방(virtual open, 입력단 전류 $= 0$) 성질을 이용해 두 입력단자의 전압을 각각 구하고, 이를 반전측 궤환 경로에 대입해 출력전압을 계산하는 문제이다.

조건 정리

연산증폭기가 이상적이므로 두 입력단자로는 전류가 흘러 들어가지 않는다(가상개방). 또한 음궤환이 걸려 있으므로 두 입력단자의 전압은 서로 같다(가상단락). 비반전(+) 입력 노드는 12V원과 접지 사이에 1kΩ, 2kΩ이 연결된 분압 노드이고, 반전(-) 입력 노드는 10V원과 출력단 사이에 1kΩ, 2kΩ이 연결된 노드이다. 출력단에 걸린 10kΩ, 1kΩ 부하는 이상적 연산증폭기의 출력이 부하와 무관하게 전압을 유지하는 전압원처럼 동작하므로 V_{out} 계산에 영향을 주지 않는다.

NoteBase

사용할 공식

가상단락: $V_+ = V_-$. 각 입력 노드는 op-amp로 전류가 유입되지 않으므로, 노드에 연결된 두 저항을 흐르는 전류가 같다는 KCL을 적용한다. 비반전 노드: $\frac{12 - V_+}{1\text{k}} = \frac{V_+ - 0}{2\text{k}}$. 반전 노드: $\frac{10 - V_-}{1\text{k}} = \frac{V_- - V_{out}}{2\text{k}}$.

계산 과정

먼저 비반전(+) 입력단 전압을 구한다. $\frac{12 - V_+}{1\text{k}} = \frac{V_+}{2\text{k}}$에서 $2(12 - V_+) = V_+$, $24 = 3V_+$, 따라서 $V_+ = 8\text{V}$이다. 가상단락에 의해 $V_- = V_+ = 8\text{V}$이다. 이제 반전(-) 입력단 노드에서 $\frac{10 - 8}{1\text{k}} = \frac{8 - V_{out}}{2\text{k}}$이므로 $2 = \frac{8 - V_{out}}{2}$, $4 = 8 - V_{out}$, 따라서 $V_{out} = 4\text{V}$이다.

선지 판단

① 2 → 틀린 표현. 비반전 입력단 전압 $V_+ = 8\text{V}$를 구하는 과정에서 분압 비율을 반대로 적용하거나(1kΩ쪽 비율을 잘못 적용) 반전측 KCL 부호를 잘못 세우면 나올 수 있는 값이나, 올바른 계산 결과는 4V이다.
② 4 → 옳은 표현. $V_+ = V_- = 8\text{V}$를 구한 뒤 반전측 KCL로 $V_{out} = 4\text{V}$를 얻으므로 정답이다.
③ 8 → 틀린 표현. 이는 V_+(또는 V_-) 자체의 값이지 V_{out}이 아니다. 반전측 궤환 계산을 생략하고 입력단 전압을 그대로 출력전압으로 착각하면 나오는 오답이다.
④ 12 → 틀린 표현. 이는 입력 전원 12V를 그대로 옮겨 적은 값으로, 회로의 궤환 계산 없이 전원값을 그대로 답으로 삼은 오답이다.

오답 포인트

① 비반전 입력단 전압을 구할 때 1kΩ과 2kΩ의 분압 비율을 뒤바꾸는 실수가 흔하다. 12V가 1kΩ을 거쳐 노드로 들어오고 2kΩ을 거쳐 접지로 빠지므로, 노드 전압은 접지 쪽 저항(2kΩ)이 클수록 커지는 방향으로 8V가 된다.
③, ④는 입력단 전압이나 전원전압을 그대로 출력전압으로 오인한 경우로, 가상단락은 두 입력단자의 전압을 같게 만들 뿐 그 값이 곧바로 출력전압이 되는 것은 아니며, 반전측 궤환 저항을 통한 KCL 계산을 반드시 거쳐야 V_{out}을 구할 수 있다.

다시 나오면 이렇게 판단

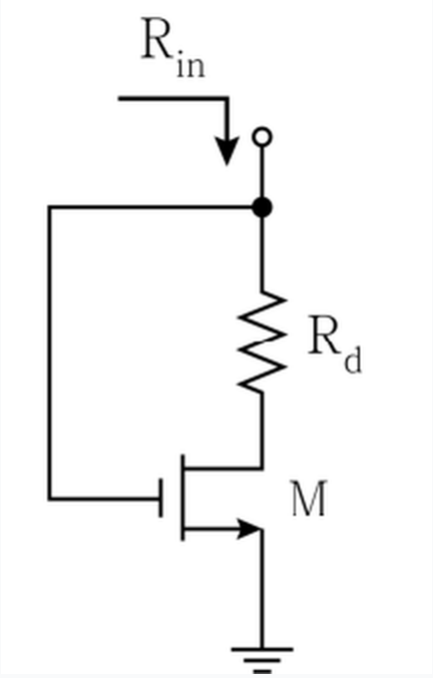
연산증폭기 회로에서 두 입력단에 각각 저항 네트워크가 붙어 있으면, 먼저 비반전(+) 입력단을 독립적인 분압 회로로 보고 전압을 구한다. 그 다음 가상단락으로 반전(-) 입력단 전압을 같은 값으로 놓고, 반전 입력단에 연결된 저항들에 대해 KCL(들어오는 전류=나가는 전류)을 세워 미지수인 출력전압을 구한다. 출력단에 추가로 붙은 저항 부하는 이상적 연산증폭기에서는 무시한다.

암기 포인트

이상적 연산증폭기의 두 성질인 가상단락($V_+ = V_-$)과 가상개방(입력 전류 0)을 항상 함께 적용한다. 비반전 입력단은 단순 분압으로, 반전 입력단은 궤환 저항을 포함한 KCL로 각각 전압과 출력을 구하는 순서를 기억해 둔다. 출력단의 부하 저항은 이상적 op-amp 출력전압에 영향을 주지 않는다는 점도 함께 기억해 둔다.

NoteBase

문 10. 다음 MOSFET 회로가 포화영역에서 동작하고 있다고 할 때, 저항값 R_{in}은? (단, 전달컨덕턴스는 g_m, 소신호 출력저항은 r_{ds}이다)



① $\frac{r_{ds}+R_d}{1+g_m r_{ds}}$
② $(1+g_m r_{ds})R_d$
③ $\frac{1+g_m R_d}{g_m R_d} r_{ds}$
④ $\frac{1}{g_m}+\frac{R_d}{1+g_m r_{ds}}$

정답 1번

출제 포인트

다이오드 연결(diode-connected) 방식과 유사하지만 게이트와 드레인 사이에 저항 R_d가 끼어 있는 변형 회로에서, 입력 노드에서 바라본 소신호 입력저항 R_{in}을 구하는 문제이다. 게이트 전류가 0이라는 점과 MOSFET 소신호 등가모델(전류원 $g_m v_{gs}$, 저항 r_{ds})을 정확히 세울 수 있는지를 확인한다.

조건 정리

회로에서 입력 노드(전압 v_x, 전류 I_x)는 두 갈래로 이어진다. 하나는 배선을 통해 게이트로 직접 연결되고, 다른 하나는 저항 R_d를 거쳐 드레인 노드로 연결된다. 소스는 접지되어 있으므로 $v_{gs} = v_x$이다. 게이트에는 전류가 흐르지 않으므로 입력 전류 I_x는 전부 R_d를 통해 드레인 쪽으로 흘러간다.

NoteBase

사용할 공식

MOSFET 소신호 등가회로에서 드레인-소스 사이에는 종속전류원 $g_m v_{gs}$와 저항 r_{ds}가 병렬로 존재한다. 드레인 노드에서의 KCL: $\frac{v_x - v_d}{R_d} = g_m v_x + \frac{v_d}{r_{ds}}$ 입력 노드에서의 KCL(게이트 전류 0): $I_x = \frac{v_x - v_d}{R_d}$

계산 과정

입력 노드 식에서 $v_d = v_x - I_x R_d$이다. 드레인 노드 KCL은 $I_x = g_m v_x + \frac{v_d}{r_{ds}}$로 정리되므로 $v_d = r_{ds}(I_x - g_m v_x)$이다. 두 식을 같다고 놓으면 $v_x - I_x R_d = r_{ds} I_x - r_{ds} g_m v_x$ $v_x(1 + g_m r_{ds}) = I_x(r_{ds} + R_d)$ 따라서 $R_{in} = \frac{v_x}{I_x} = \frac{r_{ds} + R_d}{1 + g_m r_{ds}}$

선지 판단

① $\frac{r_{ds} + R_d}{1 + g_m r_{ds}}$ — 계산 결과와 정확히 일치한다(O).
② $(1 + g_m r_{ds}) R_d$ — 분모에 있어야 할 $1 + g_m r_{ds}$를 분자에 곱한 형태로, 게이트-드레인 저항이 없는 순수 다이오드 연결에서의 결과(대략 $1/g_m$ 근처)와도 다르고 차원·극한 거동이 맞지 않는다(X).
③ $\frac{1 + g_m R_d}{g_m R_d} r_{ds}$ — R_d와 r_{ds}의 역할을 뒤바꿔 정리한 형태로, 실제 KCL에서 도출되지 않는다(X).
④ $\frac{1}{g_m} + \frac{R_d}{1 + g_m r_{ds}}$ — 순수 다이오드 연결 입력저항 $1/g_m$에 별도의 항을 단순히 더한 형태인데, 실제로는 R_d와 r_{ds}가 하나의 분수식으로 결합되어야 하므로 도출 과정과 맞지 않는다(X).

오답 포인트

이 회로를 단순한 다이오드 연결(게이트=드레인)로 착각하면 $R_{in} = 1/g_m$이라는 익숙한 결과를 그대로 답으로 고르기 쉽다. 하지만 이 문제는 게이트와 드레인 사이에 R_d가 끼어 있어 입력 노드와 드레인 노드가 분리되어 있으므로, 반드시 두 노드에 대해 각각 KCL을 세워야 한다. 또한 게이트 전류가 0이라는 사실을 놓치고 입력 전류가 R_d와 게이트 배선으로 나뉜다고 생각하면 식이 틀어진다.

다시 나오면 이렇게 판단

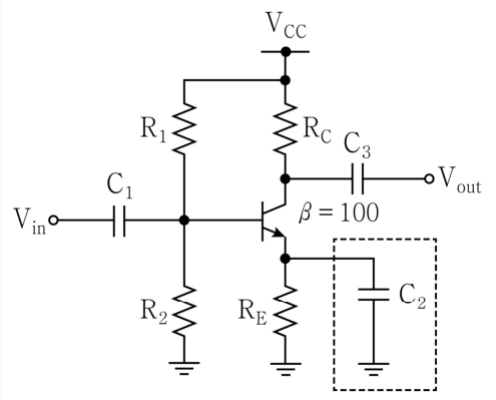
게이트가 드레인에 저항을 통해 연결된 변형 다이오드 연결 구조가 나오면, 입력 노드와 드레인 노드를 별개의 노드로 놓고 각각 KCL을 세운다. 게이트 전류 0, $v_{gs} = v_x$(소스 접지 시)라는 조건을 먼저 쓰고, 드레인 노드의 전류원 $g_m v_{gs}$와 r_{ds}를 명확히 반영한 뒤 두 식을 연립해 v_x/I_x를 구한다.

암기 포인트

순수 다이오드 연결(게이트=드레인 직결)의 입력저항은 r_ds(1/g_m)이 아니라 근사적으로 $1/g_m$(정확히는 $\frac{1}{g_m + 1/r_{ds}}$)이지만, 게이트-드레인 사이에 저항 R_d가 추가되면 입력저항은 $\frac{r_{ds} + R_d}{1 + g_m r_{ds}}$ 형태로 확장된다는 것을 구조적으로 기억해 둔다.

NoteBase

문 11. 다음 회로에서 교류 전압이득 $\left(\frac{V_{out}}{V_{in}}\right)$은 A_{V1}이고, 점선 내의 C_2를 제거했을 때의 교류 전압이득을 A_{V2}라고 했을 때, $\frac{A_{V1}}{A_{V2}}$은? (단, 교류 출력 저항 $r_o = \infty$, 교류 이미터 저항은 r_e이다)



① $\frac{R_C}{r_e}$

② $\frac{r_e + R_E}{r_e}$

③ $\frac{r_e}{r_e + R_E}$

④ $\frac{r_e + R_C}{r_e + R_E}$

정답 2번

출제 포인트

공통 이미터 증폭기에서 이미터 저항 R_E에 바이패스 커패시터(C2)가 병렬로 연결되어 있을 때와 없을 때의 교류 전압이득 차이를 계산할 수 있는지 묻는 문제이다. C2가 있으면 교류적으로 R_E 양단이 단락되어 이득이 커지고, C2가 없으면 R_E가 그대로 이미터 궤환 저항으로 작용해 이득이 작아진다.

조건 정리

회로는 전압분배 바이어스형 공통 이미터 증폭기이다. C1은 입력 결합 커패시터, C3는 출력 결합 커패시터이고, 점선 박스 안의 C2는 이미터 노드(R_E와 만나는 지점)에서 접지로 연결되어 R_E와 병렬을 이룬다. 교류 출력 저항 r_o=∞이므로 컬렉터 쪽에는 R_C만 부하로 작용하고, 트랜지스터의 교류 이미터 저항은 r_e로 주어진다. A_V1은 C2가 연결된 상태(즉 R_E가 바이패스된 상태)의 이득, A_V2는 C2를 제거한 상태(R_E가 바이패스되지 않은 상태)의 이득이다.

사용할 공식

공통 이미터 증폭기에서 r_o=∞일 때 교류 전압이득의 크기는 컬렉터 저항을 이미터 쪽 등가저항으로 나눈 값이다. 이미터가 완전히 바이패스된 경우(R_E가 커패시터로 단락된 경우) $A_{V1} = \frac{R_C}{r_e}$이고, 이미터가 바이패스되지 않은 경우(R_E가 그대로 남아 궤환 저항으로 작용하는 경우) $A_{V2} = \frac{R_C}{r_e + R_E}$이다.

NoteBase

계산 과정

C2가 연결되어 있으면 이미터 노드가 교류적으로 접지와 같아져 R_E는 이득식에서 사라지고 $A_{V1} = \frac{R_C}{r_e}$가 된다. C2를 제거하면 이미터 노드와 접지 사이에 R_E가 그대로 남아 이미터 궤환 저항으로 작용하므로 $A_{V2} = \frac{R_C}{r_e + R_E}$가 된다. 두 이득의 비를 구하면 $\frac{A_{V1}}{A_{V2}} = \frac{\frac{R_C}{r_e}}{\frac{R_C}{r_e + R_E}} = \frac{R_C}{r_e} \times \frac{r_e + R_E}{R_C} = \frac{r_e + R_E}{r_e}$이다. R_C는 분자·분모에서 서로 약분되어 최종 결과에는 나타나지 않는다.

선지 판단

① R_C/r_e — X: 이는 A_V1 자체의 식이지 두 이득의 비가 아니다. 비를 구하면 R_C가 약분되어 사라지므로 최종 답에 R_C가 남아서는 안 된다.
② (r_e+R_E)/r_e — O: 계산 과정에서 구한 $\frac{r_e + R_E}{r_e}$와 정확히 일치한다.
③ r_e/(r_e+R_E) — X: ②의 역수이다. A_V1(바이패스 시 이득)이 A_V2(궤환 시 이득)보다 항상 크므로 그 비 A_V1/A_V2는 1보다 커야 하는데, 이 선지는 분자<분모라 1보다 작다.
④ (r_e+R_C)/(r_e+R_E) — X: R_C가 이미터 쪽 저항과 더해지는 것처럼 되어 있는데, 실제로는 두 이득의 비를 구하는 과정에서 R_C가 완전히 약분되어 사라지므로 R_C가 남아있는 이 선지는 틀렸다.

오답 포인트

가장 흔한 실수는 R_C가 두 이득식 모두에 공통으로 들어 있다는 것을 놓치고 비를 구할 때 약분하지 않는 것이다(①, ④). 또한 A_V1과 A_V2 중 어느 쪽이 바이패스된 상태(이득이 큰 쪽)인지 헷갈리면 비를 뒤집어 ③처럼 답하기 쉽다. C2가 '있을 때'가 R_E를 단락시켜 이득이 커지는 A_V1이고, C2를 '제거했을 때'가 R_E가 그대로 남아 이득이 작아지는 A_V2라는 점을 정확히 구분해야 한다.

다시 나오면 이렇게 판단

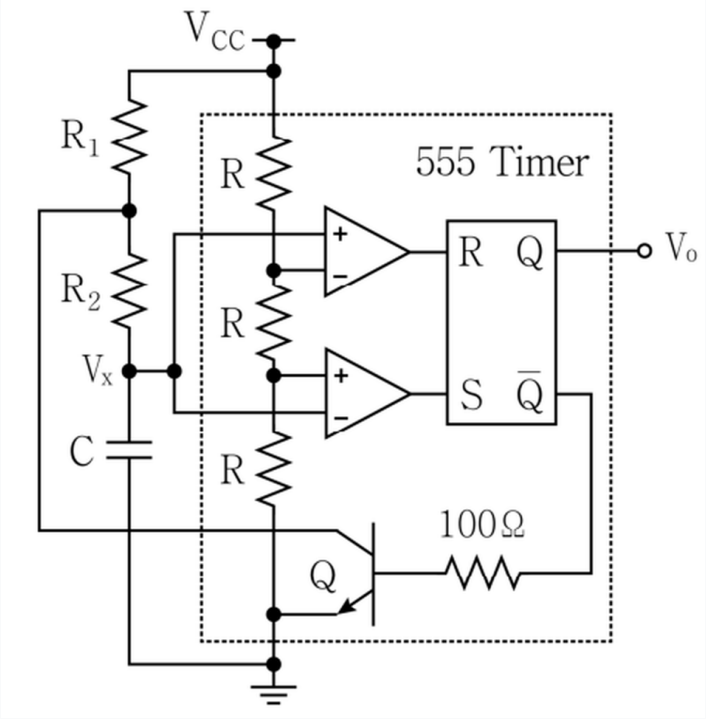
이미터 바이패스 커패시터의 유무에 따른 이득비를 묻는 문제는 항상 두 이득식을 먼저 각각 세운 뒤 나누어 공통 인수(대개 R_C)를 약분하는 순서로 접근한다. 바이패스가 있는 쪽의 이득이 항상 더 크므로, 최종 비는 반드시 1보다 큰 값(분자에 r_e+R_E, 분모에 r_e)이 되어야 한다는 점으로 선지를 먼저 걸러낼 수 있다.

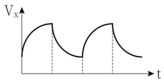
암기 포인트

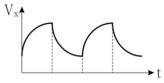
이미터 완전 바이패스 시 이득은 R_C/r_e, 바이패스 없이 R_E가 남아 있을 때 이득은 R_C/(r_e+R_E)이다. 두 식을 나누면 R_C는 항상 약분되어 사라지고 (r_e+R_E)/r_e만 남는다는 패턴을 기억해 둔다.

NoteBase

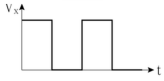
문 12. 다음 555 타이머 IC를 사용한 신호 발생기 회로에서 회로 이름과 V_x의 파형으로 옳은 것은?



① 회로 이름: 비안정(astable) 멀티바이브레이터 / 파형: 

② 회로 이름: 쌍안정(bistable) 멀티바이브레이터 / 파형: 

③ 회로 이름: 비안정(astable) 멀티바이브레이터 / 파형: 

④ 회로 이름: 쌍안정(bistable) 멀티바이브레이터 / 파형: 

정답 1번

NoteBase

출제 포인트

그림은 555 타이머 IC의 내부 구조(비교기 두 개, R-R-R 전압 분배 저항, SR 래치, 방전용 트랜지스터 Q)에 외부적으로 R1, R2, C만 연결한 회로이다. 외부에 R1은 VCC에서 노드로, R2는 그 노드에서 커패시터 C가 연결된 Vx 단자로 이어지고, 문턱 전압(threshold)과 트리거(trigger) 단자가 모두 Vx에 묶여 있다. 이 결선은 555 타이머로 만들 수 있는 두 가지 기본 회로(비안정 멀티바이브레이터, 단안정 멀티바이브레이터) 중 별도의 외부 트리거 펄스 없이 스스로 충전과 방전을 반복하도록 구성된, 가장 전형적인 비안정(astable) 멀티바이브레이터 결선이다. 또한 Vx는 커패시터 양단 전압이므로 RC 충방전에 의한 지수 곡선으로 나타나며, 구형파는 SR 래치의 출력 Q인 Vo 쪽에서 나타난다는 점을 구분해야 한다.

선지별 해설

① 비안정(astable) 멀티바이브레이터, Vx 파형이 지수적으로 상승했다가 지수적으로 하강하는 곡선 반복 → O. R1과 R2를 통해 VCC로부터 C가 충전되어 Vx가 2Vcc/3까지 지수적으로 상승하면 비교기가 SR 래치를 리셋시켜 방전 트랜지스터 Q가 켜지고, C는 R2를 통해 방전되어 Vx가 Vcc/3까지 지수적으로 하강한다. 이 충전·방전이 외부 트리거 없이 계속 반복되므로 회로 이름은 비안정 멀티바이브레이터가 맞고, Vx는 커패시터 전압이므로 지수 충방전 곡선이 맞다.
② 쌍안정(bistable) 멀티바이브레이터, Vx 파형은 ①과 같은 지수 곡선 → X. 회로 이름이 틀렸다. 쌍안정 멀티바이브레이터는 외부에서 별도의 세트/리셋 트리거 신호를 주어야만 상태가 바뀌는 회로인데, 이 회로는 R1, R2, C만으로 스스로 충방전을 반복하며 발진하므로 비안정 멀티바이브레이터이다. 쌍안정 동작이라면 애초에 Vx가 이런 식으로 계속 충방전을 반복하며 진동하지 않는다.
③ 비안정(astable) 멀티바이브레이터, Vx 파형이 구형파(사각파) → X. 회로 이름은 맞지만 파형이 틀렸다. Vx는 커패시터 C 양단의 전압이므로 RC 시정수에 따라 지수적으로 충전·방전되는 곡선으로 나타난다. 구형파로 스위칭되는 것은 SR 래치의 출력인 Vo(Q)이지 Vx가 아니다.
④ 쌍안정(bistable) 멀티바이브레이터, Vx 파형이 구형파(사각파) → X. 회로 이름과 파형이 모두 틀렸다. 회로는 비안정 멀티바이브레이터이고, Vx는 지수 충방전 곡선이지 구형파가 아니다.

오답 포인트

이 문제는 두 가지를 동시에 헷갈리게 만든다. 첫째는 회로 이름(비안정 vs 쌍안정)이고, 둘째는 파형의 모양(지수 곡선 vs 구형파)이다. 회로 이름은 외부에 별도의 트리거 입력 없이 R1, R2, C만으로 문턱값 사이를 오가며 스스로 발진하는 결선인지를 보고 판단해야 하며, 이 회로는 그 조건을 만족하므로 비안정이다. 파형은 어느 단자의 전압을 묻는지가 핵심인데, Vx는 커패시터 전압이므로 반드시 지수 함수 형태의 충방전 곡선이며, 구형파는 SR 래치의 최종 출력(Vo)에서만 나타난다는 점을 혼동하지 않아야 한다.

NoteBase

다시 나오면 이렇게 판단

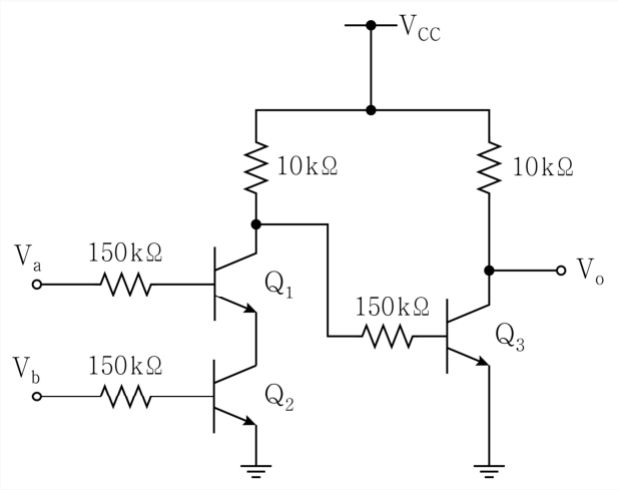
555 타이머 회로 문제에서는 먼저 외부 결선에 별도의 트리거 입력이 있는지부터 확인한다. R1, R2, C만으로 문턱 전압과 트리거 전압을 함께 커패시터 노드에 묶어 놓았다면 비안정(무안정) 멀티바이브레이터이고, 트리거 입력 핀이 외부 펄스로 별도 구동된다면 단안정이다(쌍안정은 555 표준 555 결선에서는 잘 나오지 않으며, SR 래치의 세트·리셋을 각각 외부에서 직접 트리거해야 한다). 그다음 어느 노드의 전압을 묻는지 확인한다. 커패시터가 연결된 노드(Vx, 문턱/트리거 단자)라면 지수 충방전 곡선이고, 플립플롭의 출력 노드(Vo)라면 구형파이다.

암기 포인트

555 타이머: 커패시터 전압(Vx, threshold/trigger 단자) = 지수적 충방전 곡선, 플립플롭 출력 전압(Vo) = 구형파. R1, R2, C만으로 문턱·트리거를 커패시터에 묶어 스스로 발진하면 비안정(astable) 멀티바이브레이터.

NoteBase

문 13. 다음 회로와 같은 동작을 하는 논리게이트는? (단, V_a, V_b는 V_{CC} 또는 0[V] 크기를 갖는 논리 신호이다)



① OR

② AND

③ NOR

④ NAND

정답 2번

출제 포인트

트랜지스터 스위칭 회로에서 Q1과 Q2가 병렬이 아니라 컬렉터-이미터가 직렬로 쌓인 구조라는 점을 읽어내고, 직렬 스위치 구조는 AND형 풀다운 조건을 만든다는 것을 적용해 최종 출력 논리를 판별하는 문제이다.

조건 정리

Va, Vb는 Vcc(하이) 또는 0V(로우)의 논리 신호이다. Q1의 컬렉터는 노드 X(10kΩ으로 Vcc에 풀업)에 연결되고, Q1의 이미터는 Q2의 컬렉터에 이어지며, Q2의 이미터가 접지된다. 즉 Q1과 Q2는 X와 접지 사이에 직렬로 연결된 스위치이다. 노드 X는 150kΩ을 거쳐 Q3의 베이스로 연결되고, Q3는 컬렉터에 10kΩ이 Vcc로 연결되고 이미터가 접지된 단순 인버터로 최종 출력 Vo를 낸다.

사용할 공식

트랜지스터의 베이스가 하이 전압을 받으면 포화(도통, 스위치 닫힘)되고 로우 전압을 받으면 차단(스위치 열림)된다. 직렬로 연결된 스위치들은 모두 닫혀야만 전체 경로가 도통된다. 노드가 접지로 도통되면 그 노드 전압은 로우가 되고, 도통되지 않으면 풀업저항에 의해 하이가 유지된다.

NoteBase

계산 과정

Va=0, Vb=0: Q1, Q2 모두 차단 → X에서 접지로 가는 경로 없음 → X는 풀업되어 하이 → Q3 베이스 하이 → Q3 포화 → Vo는 로우.
Va=0, Vb=1: Q2만 도통, Q1이 차단되어 직렬경로가 끊김 → X는 여전히 하이 → Q3 포화 → Vo는 로우.
Va=1, Vb=0: Q1만 도통, Q2가 차단되어 직렬경로가 끊김 → X는 하이 → Q3 포화 → Vo는 로우.
Va=1, Vb=1: Q1, Q2가 모두 도통되어 X에서 접지까지 직렬경로가 완성 → X는 로우로 방전 → Q3 베이스 로우 → Q3 차단 → 10kΩ에 전류가 흐르지 않아 전압강하가 없음 → Vo는 하이.
정리하면 (Va,Vb)=(0,0),(0,1),(1,0)일 때 Vo=0이고 (1,1)일 때만 Vo=1이다.

선지 판단

① OR — 틀리다. OR라면 Va, Vb 중 하나만 하이여도 출력이 하이여야 하는데, 계산 결과 (0,1)과 (1,0)에서 모두 출력이 로우이므로 OR가 아니다.
② AND — 맞다. (1,1)일 때만 하이이고 나머지 세 경우는 모두 로우인 진리표가 정확히 AND 동작과 일치한다.
③ NOR — 틀리다. NOR라면 (0,0)에서 출력이 하이여야 하는데 계산상 (0,0)에서 출력은 로우이다.
④ NAND — 틀리다. NAND라면 (1,1)에서 출력이 로우여야 하는데 계산상 (1,1)에서 출력은 하이이다.

오답 포인트

Q1과 Q2가 그림상 나란히 배치되어 있어 병렬 구조로 착각하면 OR나 NOR로 잘못 판단하기 쉽다. 실제로는 Q1의 이미터가 Q2의 컬렉터로 이어지는 직렬(스택) 연결이므로, 두 트랜지스터가 모두 도통해야만 전류경로가 완성된다는 점을 놓치지 말아야 한다.

다시 나오면 이렇게 판단

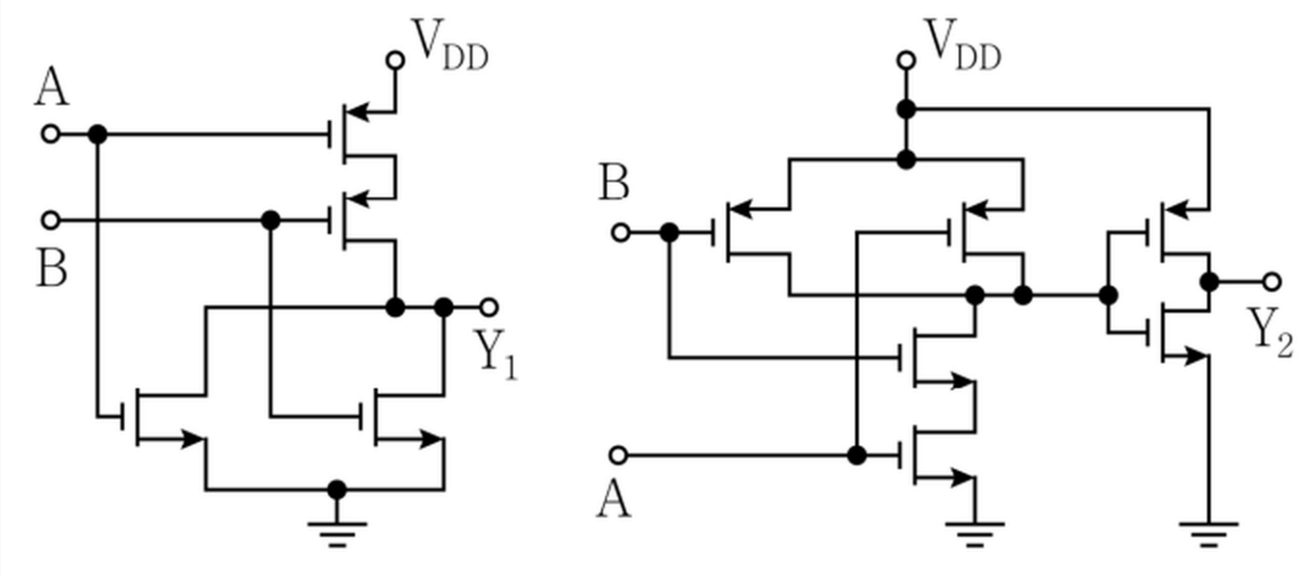
먼저 여러 트랜지스터가 같은 노드를 공유하며 접지로 가는 경로가 직렬인지 병렬인지부터 확인한다. 직렬 스택이면 모두 도통해야 노드가 로우가 되는 AND형 조건이고, 병렬이면 하나만 도통해도 노드가 로우가 되는 OR형 조건이다. 그다음 그 노드가 후단 인버터를 몇 단 거쳐 출력되는지 세어, 짝수 단이면 원래 논리가 유지되고 홀수 단이면 반전된다는 것으로 최종 게이트를 결정한다.

암기 포인트

직렬(스택) 연결 트랜지스터=AND 조건(모두 도통해야 로우), 병렬 연결 트랜지스터=OR 조건(하나만 도통해도 로우). 첫 단이 NAND형 노드를 만들고 두 번째 단 인버터를 거치면 AND로, 첫 단이 NOR형 노드를 만들고 인버터를 거치면 OR로 바뀐다.

NoteBase

문 14. 다음 두 개의 논리회로에서 입력 A, B에 대한 출력 Y_1, Y_2의 논리식으로 옳은 것은?



① $Y_1: A + B, Y_2: A \cdot B$

② $Y_1: A \cdot B, Y_2: A + B$

③ $Y_1: \overline{A} \cdot \overline{B}, Y_2: A \cdot B$

④ $Y_1: \overline{A} \cdot \overline{B}, Y_2: A + B$

정답 3번

출제 포인트

두 개의 CMOS 논리회로에서 PMOS와 NMOS가 직렬로 연결되었는지 병렬로 연결되었는지를 회로도에서 정확히 읽어내고, 이를 통해 pull-up망과 pull-down망이 만드는 논리 함수를 도출하는 문제이다. 추가로 중간 노드 뒤에 인버터 단이 하나 더 붙어 있는지도 함께 판별해야 한다.

NoteBase

선지별 해설

① Y1=A+B, Y2=A·B → X. Y1 부분이 틀렸다. 왼쪽 회로는 VDD와 출력 사이에 PMOS 두 개가 직렬로, 출력과 접지 사이에 NMOS 두 개가 병렬로 연결된 표준 2입력 NOR 게이트 구조이므로 Y1은 A+B가 아니라 그 부정인 $\overline{A+B}=\overline{A}\cdot\overline{B}$가 되어야 한다.
② Y1=A·B, Y2=A+B → X. 두 값 모두 틀렸다. PMOS 직렬·NMOS 병렬 구조는 AND가 아니라 NOR을 만들고, 오른쪽 회로는 최종 출력에서 A+B가 아니라 A·B가 나온다.
③ Y1=$\overline{A}\cdot\overline{B}$, Y2=A·B → O. 왼쪽 회로는 PMOS 직렬 pull-up과 NMOS 병렬 pull-down으로 이루어진 NOR 게이트이므로 Y1=$\overline{A+B}=\overline{A}\cdot\overline{B}$이다. 오른쪽 회로는 PMOS가 병렬로, NMOS가 직렬로 연결되어 내부 노드에서 $\overline{A\cdot B}$(NAND 출력)를 만들고, 이 노드가 오른쪽에 추가된 PMOS-NMOS 한 쌍(인버터)을 거쳐 다시 반전되므로 최종 출력은 Y2=A·B가 된다.
④ Y1=$\overline{A}\cdot\overline{B}$, Y2=A+B → X. Y1은 맞지만 Y2가 틀렸다. 오른쪽 회로의 NAND 내부 노드가 뒤에 붙은 인버터 단을 거치면 반전되어 A·B가 되는 것이지, 인버터 없이 그대로 나오는 것이 아니므로 Y2는 A+B가 될 수 없다.

오답 포인트

가장 흔한 실수는 PMOS 직렬=AND, PMOS 병렬=OR처럼 트랜지스터 연결 형태와 논리 기능을 바로 대응시켜 버리는 것이다. pull-up(PMOS)망과 pull-down(NMOS)망은 항상 서로 반대 형태(직렬-병렬)로 짝을 이루며, 그 조합이 만드는 것은 NAND 또는 NOR이지 AND·OR가 직접 나오는 것이 아니다. 또한 오른쪽 회로처럼 내부 NAND/NOR 노드 뒤에 인버터 단이 하나 더 붙어 있으면 최종 출력에서 한 번 더 반전이 일어난다는 점을 놓치면 Y2를 A+B로 잘못 고르게 된다.

다시 나오면 이렇게 판단

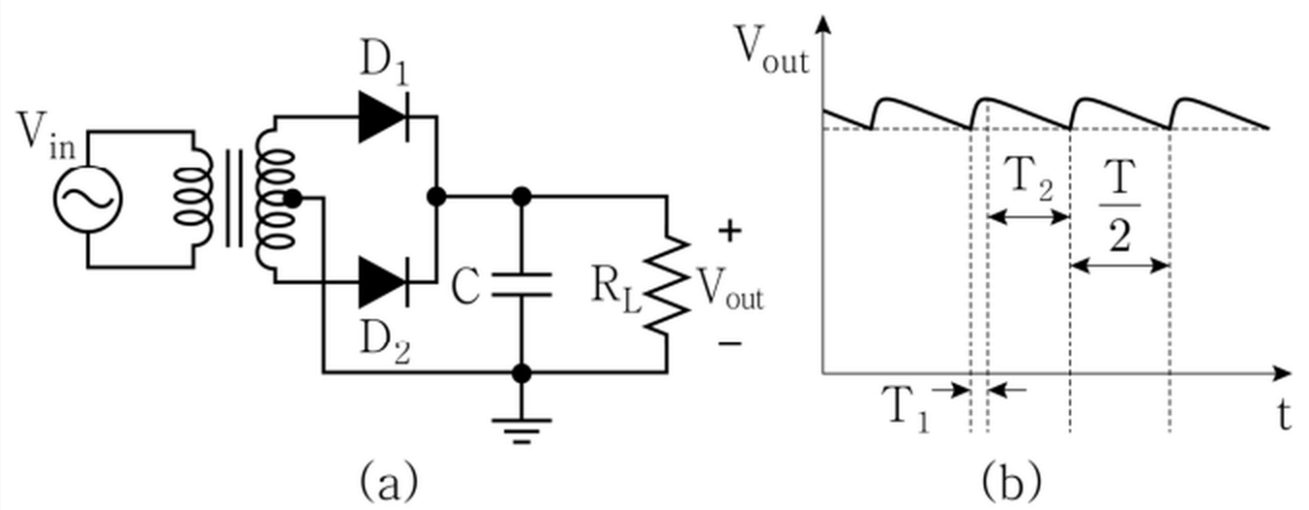
먼저 VDD 쪽 PMOS망이 직렬인지 병렬인지, 접지 쪽 NMOS망이 직렬인지 병렬인지를 확인한다. PMOS 직렬+NMOS 병렬이면 그 노드는 NOR 출력($\overline{A+B}$)이고, PMOS 병렬+NMOS 직렬이면 그 노드는 NAND 출력($\overline{A\cdot B}$)이다. 그 다음 그 노드가 바로 단자로 나가는지, 아니면 별도의 PMOS-NMOS 한 쌍(인버터)을 한 번 더 거쳐 나가는지를 확인해서 최종 출력이 반전되는지 여부를 판단한다.

암기 포인트

PMOS 직렬 + NMOS 병렬 = NOR ($\overline{A+B}$). PMOS 병렬 + NMOS 직렬 = NAND ($\overline{A\cdot B}$). 이 내부 노드 뒤에 인버터가 하나 더 붙으면 NOR→OR, NAND→AND로 바뀐다.

NoteBase

문 15. 그림 (a)에 나타낸 정류회로의 출력 V_{out}에 대한 파형이 그림 (b)와 같을 경우에 대한 설명으로 옳지 않은 것은? (단, V_{in}은 주기가 T인 교류신호이다)



① T_1 동안 커패시터는 충전된다.

② 커패시터 C 값이 클수록 리플(ripple) 전압의 크기가 커진다.

③ 부하저항 R_L 값이 클수록 리플 전압의 크기가 작아진다.

④ 정류기 전압이 피크전압 이하로 떨어지면, 커패시터가 부하를 통하여 방전하는 시간은 T_2이다.

정답 2번

출제 포인트

센터탭(중간탭) 전파 정류회로에 커패시터 필터를 붙였을 때 출력 파형이 톱니 모양의 리플로 나타나는 원리와, 리플 전압의 크기가 커패시터 값 C 및 부하저항 R_L에 따라 어떻게 변하는지를 묻는다. 정류회로 자체는 전파 정류이므로 출력 파형의 반복 주기가 입력 주기 T의 절반인 T/2가 되는 점, 그리고 커패시터의 충전·방전 구간(T1, T2)의 의미를 함께 확인해야 한다.

조건 정리

V_in은 주기 T인 교류 신호이고, D1과 D2를 이용한 전파 정류 구조이므로 출력이 한 주기 T 동안 두 번 정류되어 나타나며 그래프에서도 피크 간격이 T/2로 표시되어 있다. 정류된 신호가 커패시터 C와 부하저항 R_L에 동시에 인가되는 구조로, 커패시터는 다이오드가 도통해 입력이 피크에 가까울 때 짧게 충전되고(T1), 다이오드가 차단된 나머지 구간(T2)에는 R_L을 통해 서서히 방전하면서 톱니 모양의 리플이 생긴다.

사용할 공식

커패시터 필터의 리플 전압 근사식은 $V_r \approx \frac{I_{dc}}{fC}$로 나타낼 수 있고, 여기서 $I_{dc} = \frac{V_{out}}{R_L}$, f는 정류 후 출력 파형의 반복 주파수이다. 이를 정리하면 $V_r \approx \frac{V_{out}}{fCR_L}$이 되어, 리플 전압은 커패시터 값 C와 부하저항 R_L 각각에 반비례한다.

NoteBase

계산 과정

공식 $V_r \approx \frac{V_{out}}{fCR_L}$에서 C가 커지면 분모가 커지므로 V_r은 작아진다. 즉 커패시터 값이 클수록 같은 방전 시간(T2) 동안 전압이 덜 떨어지므로 리플이 작아지는 것이지 커지는 것이 아니다. 반대로 R_L이 커지면 방전 전류 $I_{dc} = V_{out}/R_L$이 작아져 같은 T2 동안 전하 손실이 줄어들므로 리플 전압이 작아진다. 방전 구간에 대해서는, 다이오드가 도통해 커패시터가 순간적으로 충전되는 짧은 구간이 T1이고, 이후 다이오드가 차단되어 커패시터 전압이 정류기 순시전압(피크전압)보다 높아 다이오드가 역바이어스 상태를 유지하는 동안 커패시터가 R_L을 통해 방전하는 구간이 T2이다.

선지 판단

① T1 동안 커패시터는 충전된다. → 그래프에서 T1은 V_out이 급격히 상승하는 짧은 구간으로, 다이오드가 도통해 커패시터가 입력 피크까지 빠르게 충전되는 구간이 맞으므로 옳은 설명이다.
② 커패시터 C 값이 클수록 리플 전압의 크기가 커진다. → $V_r \approx V_{out}/(fCR_L)$에서 C가 클수록 V_r은 작아지므로 이 설명은 틀렸다. 틀린 표현 '커패시터 C 값이 클수록 리플 전압의 크기가 커진다' → 올바른 표현 '커패시터 C 값이 클수록 리플 전압의 크기가 작아진다'.
③ 부하저항 R_L 값이 클수록 리플 전압의 크기가 작아진다. → 같은 공식에서 R_L이 클수록 방전 전류가 작아져 리플이 작아지므로 옳은 설명이다.
④ 정류기 전압이 피크전압 이하로 떨어지면, 커패시터가 부하를 통하여 방전하는 시간은 T2이다. → 다이오드가 역바이어스로 차단되어 커패시터가 R_L을 통해 스스로 방전하는 구간이 그래프의 T2와 일치하므로 옳은 설명이다.

오답 포인트

리플 전압과 C, R_L의 관계를 반대로 외워서 헷갈리는 경우가 많다. 커패시터 필터는 값이 클수록, 그리고 부하저항이 클수록(즉 부하 전류가 작을수록) 방전 시 전압 강하가 적어져 리플이 작아진다는 반비례 관계를 정확히 구분해야 한다.

다시 나오면 이렇게 판단

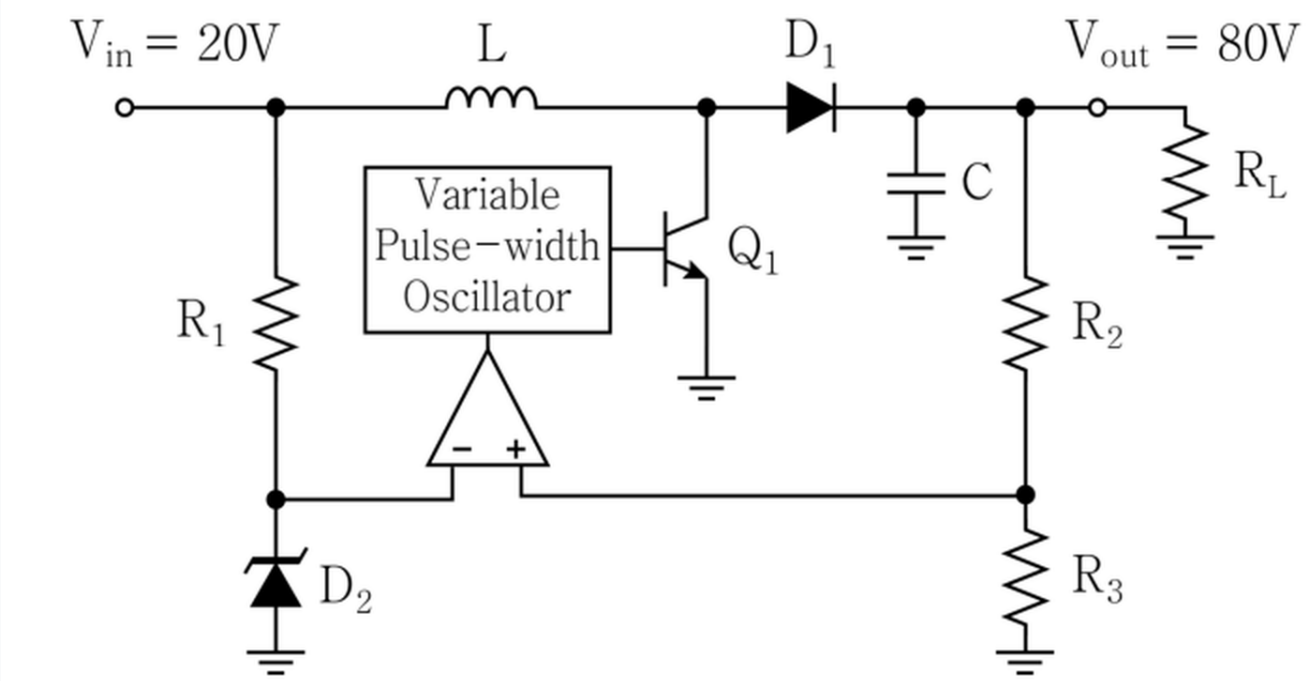
정류회로+커패시터 필터 문제에서는 먼저 리플 전압 근사식 $V_r \approx V_{out}/(fCR_L)$을 떠올리고, C와 R_L이 각각 분모에 있으므로 둘 다 커질수록 리플은 작아진다는 반비례 관계로 선지를 하나씩 대조한다. 또한 T1은 충전(도통) 구간, T2는 방전(차단) 구간이라는 파형 해석을 기본으로 확인한다.

암기 포인트

리플 전압 $V_r \approx \frac{V_{out}}{fCR_L}$: C와 R_L이 클수록 리플은 작아진다(반비례). 전파 정류는 한 주기 T 동안 두 번 정류되어 출력 반복 주기가 T/2가 된다.

NoteBase

문 16. 다음 승압형 정전압 조정기에 대한 설명으로 옳지 않은 것은? (단, 소자들은 이상적이고 정상상태에서 동작하며, 인덕터 전류는 연속이고 연산증폭기는 이상적이다)



① 듀티비(duty ratio)는 0.75이다.

② 인덕터(L) 값을 2배 증가시켜도 출력전압(V_{out})은 변하지 않는다.

③ 스위치(Q_1)이 턴온(turn-on) 될 때, 다이오드(D_1)에 인가되는 역전압은 80[V]이다.

④ 듀티비를 일정한 값으로 유지하면서 동작 주파수를 변경하면 출력전압이 가변된다.

정답 4번

출제 포인트

그림의 회로는 인덕터-스위치-다이오드-커패시터로 구성된 승압형(부스트, boost) 정전압 조정기이다. 이 문제는 부스트 컨버터의 정상상태(steady-state) 전압변환식 $V_{out} = \frac{V_{in}}{1-D}$을 이용해 듀티비를 구하고, 스위치 온/오프 시 다이오드에 걸리는 전압, 그리고 정상상태 출력전압이 어떤 변수에 의해서만 결정되는지를 함께 묻는다.

조건 정리

입력전압 $V_{in} = 20V$, 출력전압 $V_{out} = 80V$이다. 소자는 이상적이고 인덕터 전류는 연속(연속전류모드, CCM)이며 회로는 정상상태로 동작한다. Q1이 온(on)되면 인덕터 좌측(스위치 쪽) 노드는 접지 전위로 끌리고, D1은 캐소드 쪽(출력단, 80V)이 더 높아 역바이어스되어 차단된다.

NoteBase

사용할 공식

이상적 부스트 컨버터의 정상상태 전압이득식: $\frac{V_{out}}{V_{in}} = \frac{1}{1-D}$ (D는 듀티비). 이 식은 인덕터 전류가 연속이고 소자가 이상적이라는 가정 아래 인덕터의 초당 자속 평형(볼트-초 평형, volt-second balance) 조건에서 유도되며, 스위칭 주파수나 인덕턴스 값과는 무관하게 오직 듀티비 D에만 의존한다.

계산 과정

$V_{out} = \frac{V_{in}}{1-D}$에 값을 대입하면 $80 = \frac{20}{1-D}$이므로 $1 - D = \frac{20}{80} = 0.25$, 따라서 $D = 0.75$이다. 다음으로 스위치 Q1이 턴온되는 순간, 인덕터의 우측 노드(D1의 애노드)는 스위치를 통해 접지 전위(0V)가 되고, D1의 캐소드 쪽은 커패시터에 의해 유지되는 출력전압 80V이다. 따라서 D1에 걸리는 전압은 애노드-캐소드 전위차인 $0\text{V} - 80\text{V} = -80\text{V}$, 즉 역전압 80V가 인가되어 D1은 차단 상태가 된다. 마지막으로 볼트-초 평형식 $\frac{V_{out}}{V_{in}} = \frac{1}{1-D}$에는 스위칭 주파수 항이 존재하지 않으므로, 듀티비 D를 고정한 채 동작 주파수만 바꾸어도 정상상태 출력전압은 변하지 않는다(단, 인덕터 전류가 연속이라는 조건이 유지되는 범위 내에서).

선지 판단

① O: 위 계산대로 듀티비는 $D = 0.75$이다.
② O: 정상상태 전압이득식 $\frac{V_{out}}{V_{in}} = \frac{1}{1-D}$에는 인덕턴스 L이 나타나지 않으므로, 연속전류모드가 유지되는 한 L을 2배로 늘려도 출력전압은 그대로 80V로 유지된다(L은 리플의 크기나 연속모드 유지 여부에는 영향을 주지만 정상상태 평균 출력전압 자체는 바꾸지 않는다).
③ O: 위 계산대로 Q1 턴온 시 D1에는 80V의 역전압이 걸린다.
④ X: 틀린 표현 → 올바른 표현. 정상상태 부스트 컨버터의 출력전압은 오직 듀티비 D에 의해서만 결정되며 스위칭 주파수와는 무관하다. 따라서 "듀티비를 일정하게 유지한 채 동작 주파수만 변경하면 출력전압이 가변된다"는 설명은 옳지 않다(연속전류모드가 유지되는 한 출력전압은 그대로 80V로 일정하다).

오답 포인트

부스트 컨버터의 출력전압이 스위칭 주파수와 무관하다는 사실을 놓치고, "주파수를 바꾸면 스위칭 동작이 달라지니 전압도 변할 것"이라고 직관적으로 판단하면 ④를 옳은 설명으로 착각해 다른 선지를 답으로 고르는 오류가 생긴다. 정상상태 전압이득식에 어떤 변수가 들어있고 어떤 변수가 들어있지 않은지를 정확히 구분해야 한다.

다시 나오면 이렇게 판단

회로가 인덕터-스위치-다이오드-커패시터 구조이고 V_out이 V_in보다 크면 승압형(부스트) 컨버터임을 먼저 확인한다. 그다음 $V_{out} = \frac{V_{in}}{1-D}$로 듀티비부터 구하고, 스위치 온 구간에서 다이오드에 걸리는 역전압은 출력전압과 같다는 점, 그리고 이 전압이득식에는 스위칭 주파수와 인덕턴스가 나타나지 않는다는 점(즉 정상상태 출력전압은 D에만 의존)을 기준으로 각 선지를 대조한다.

NoteBase

암기 포인트

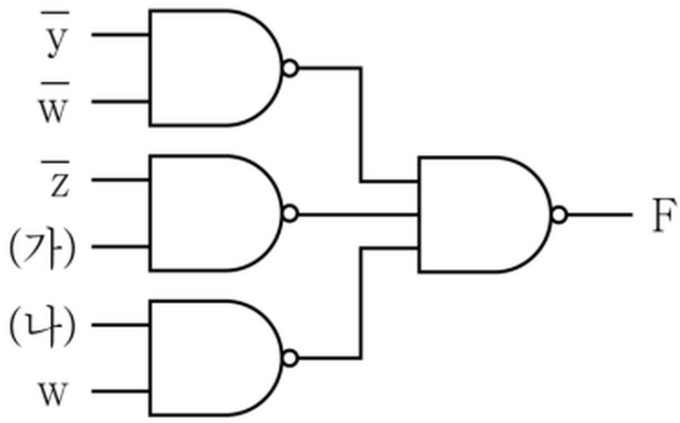
이상적 부스트 컨버터: $V_{out} = \frac{V_{in}}{1-D}$. 이 식에 스위칭 주파수와 인덕턴스는 등장하지 않는다 — 정상상태 출력전압은 듀티비만으로 결정된다. 스위치 턴온 시 다이오드에 걸리는 역전압은 출력전압과 같다(부스트 컨버터의 대표적 성질).

NoteBase

문 17. 그림 (a)에 주어진 카르노 맵을 그림 (b)의 NAND 게이트만으로 구현할 때, 그림 (b)의 입력 (가), (나)에 들어갈 것은?

wx \ yz	00	01	11	10
00	1	1		
01	1	1		
11	1			
10	1	1	1	1

(a)



(b)

① (가): $\overline{y}$, (나): $\overline{x}$

② (가): $\overline{y}$, (나): x

③ (가): $\overline{x}$, (나): y

④ (가): $\overline{x}$, (나): $\overline{y}$

정답 1번

출제 포인트

카르노 맵에서 얻은 최소 곱의 합(SOP) 논리식을 NAND 게이트만으로 구현하는 문제이다. 2단(2-level) NAND-NAND 회로는 각 1단 NAND 게이트가 곱항(AND항)의 역할을 하고, 마지막 NAND 게이트가 그 곱항들을 더하는(OR) 역할을 한다는 성질을 이용해서 회로의 빈 입력 (가), (나)에 들어갈 신호를 역으로 찾아야 한다.

조건 정리

카르노 맵의 행은 wx, 열은 yz이며 1의 위치는 다음과 같다. yz=00 열은 wx=00,01,11,10 네 칸 모두 1이다. w=0이면서 y=0인 네 칸(wx=00,01이고 yz=00,01)이 모두 1이다. wx=10 행(w=1,x=0)은 yz값과 무관하게 네 칸 모두 1이다. 그림 (b)는 2입력 NAND 게이트 세 개가 각각 한 곱항을 만들고, 그 세 출력을 마지막 2입력... 아니 3입력이 아니라 세 출력을 받는 마지막 NAND 게이트가 하나로 묶어 F를 출력하는 구조이다. 첫 번째 게이트는 y⊠, w⊠를 입력받고, 두 번째 게이트는 z⊠와 (가)를 입력받고, 세 번째 게이트는 (나)와 w를 입력받는다.

NoteBase

사용할 공식

2단 NAND-NAND 구조는 드모르간 법칙에 의해 그대로 SOP(곱의 합) 회로와 같아진다. 즉 1단 NAND 게이트의 두 입력을 A, B라 하면 그 출력은 $(AB)'$이고, 이 출력들을 다시 NAND로 묶으면
$F = ((AB)' \cdot (CD)' \cdot (EF)')' = AB + CD + EF$가 되어, 각 1단 게이트의 두 입력의 곱(AND)들을 더한 값이 F가 된다. 따라서 그림 (b)에서 F는 w'y' + z'·(가) + (나)· w 형태의 식과 같아야 한다.

계산 과정

카르노 맵을 최소 항의 개수로 묶으면 다음 세 그룹이 된다. 첫째, w=0이고 y=0인 네 칸 묶음 → 항 $w'y'$. 이는 첫 번째 게이트의 입력 y□, w□와 정확히 일치한다. 둘째, yz=00 열 전체 네 칸 묶음(y=0, z=0, w·x는 자유) → 항 $y'z'$. 셋째, wx=10 행 전체 네 칸 묶음(w=1, x=0, y·z는 자유) → 항 wx'. 이 세 항을 더하면 카르노 맵의 1이 있는 아홉 칸을 정확히 모두 덮고 다른 칸은 덮지 않으므로, $F = w'y' + y'z' + wx'$가 최소화된 식이다. 이제 회로의 각 게이트와 대응시킨다. 첫 게이트(y□,w□)는 이미 $w'y'$에 대응된다. 두 번째 게이트(z□, (가))는 $y'z'$와 같아야 하므로 (가)=y□가 되어야 한다. 세 번째 게이트((나), w)는 wx'와 같아야 하므로 (나)=x가 되어야 한다.

선지 판단

① (가)=y□, (나)=$\bar{x}$ → 계산 결과와 정확히 일치한다.
② (가)=y□, (나)=x → 두 번째 게이트는 맞지만 세 번째 게이트가 (나)· w=x· w가 되어 wx'가 아니라 wx가 되므로 wx=11 행(카르노 맵에서 한 칸만 1)까지 잘못 포함시켜 틀린 회로가 된다.
③ (가)=$\bar{x}$, (나)=y → 두 번째 게이트가 $z' \cdot \bar{x}$가 되어 $y'z'$가 아니므로 yz=00 열 전체를 만들지 못하고, 세 번째 게이트도 wy가 되어 wx'와 다르다.
④ (가)=$\bar{x}$, (나)=y□ → 두 번째 게이트가 $z'\bar{x}$, 세 번째 게이트가 wy'가 되어 둘 다 원래 필요한 $y'z'$, wx'와 일치하지 않는다.

오답 포인트

이 문제에서 흔히 하는 실수는 카르노 맵의 네 칸 묶음을 wx 기준으로만 보거나 yz 기준으로만 보고, yz=00 열 전체가 하나의 묶음(y'z')이 된다는 것을 놓치는 것이다. 그러면 남은 한 칸(wx=11, yz=00)을 억지로 다른 항에 끼워 맞추면서 (가), (나)에 엉뚱한 변수를 넣게 된다. 또한 회로 구조상 마지막 NAND 게이트가 세 곱항을 더해 준다는 것(2단 NAND-NAND=SOP)을 모르면 게이트별로 어떤 항을 만들어야 하는지 대응시키지 못한다.

다시 나오면 이렇게 판단

먼저 카르노 맵에서 가능한 한 큰 네 칸 묶음부터 찾아 최소 항 개수의 SOP 식을 구한다. 그다음 회로가 2단 NAND-NAND 구조이면 곧바로 그 식이 그대로 F가 된다는 성질을 적용해서, 이미 두 입력이 주어진 게이트는 그 항과 맞춰 확인하고, 빈 입력이 있는 게이트는 필요한 항에서 이미 알려진 변수를 뺀 나머지가 그 빈 입력이 되도록 역산한다.

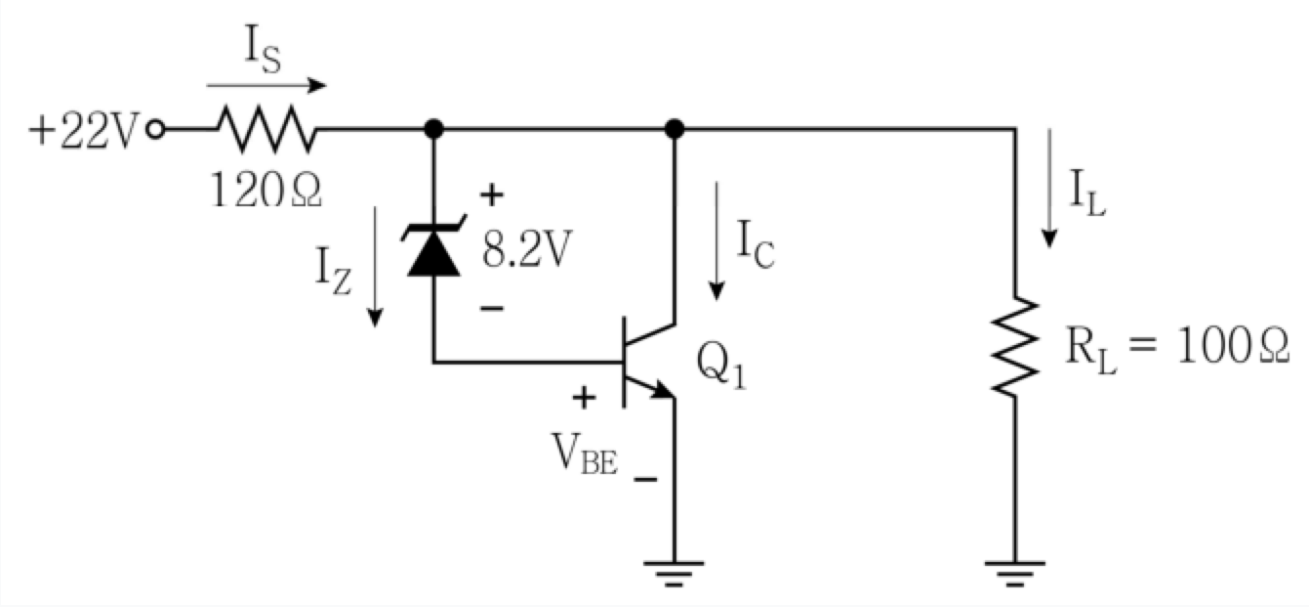
NoteBase

암기 포인트

2단 NAND-NAND 회로는 드모르간 법칙에 의해 그대로 2단 AND-OR(SOP) 회로와 동일하게 동작한다는 성질을 기억해 둔다. 카르노 맵에서는 행이나 열 전체가 모두 1이면 그 두 변수만으로 이루어진 큰 묶음(네 칸 묶음)이 된다는 것도 함께 기억해 둔다.

NoteBase

문 18. 다음 회로에서 트랜지스터의 컬렉터 전류 I_C[mA]로 가장 가까운 것은? (단, 트랜지스터의 $V_{BE} = 0.7$ [V]이고, $I_Z \ll I_C$이다)



① 20

② 82

③ 89

④ 109

정답 1번

출제 포인트

제너 다이오드와 트랜지스터가 함께 쓰인 션트형 전압조정 회로에서 출력 전압을 먼저 구하고, 키르히호프 전류법칙(KCL)으로 각 가지 전류의 관계를 세운 뒤 $I_Z \ll I_C$라는 조건을 이용해 컬렉터 전류를 근사적으로 구할 수 있는지 확인하는 문제이다. 저항 전류 I_S가 제너 전류 I_Z, 컬렉터 전류 I_C, 부하 전류 I_L로 나뉘어 흐른다는 점을 회로도에서 정확히 읽어내는 것이 핵심이다.

조건 정리

전원전압 22V, 저항 $R = 120\Omega$, 제너 항복전압 8.2V, 트랜지스터 $V_{BE} = 0.7$V, 부하저항 $R_L = 100\Omega$이다. 트랜지스터의 이미터는 접지되어 있고 베이스는 제너 다이오드의 애노드(음(-) 단자)에 연결되어 있다. 저항을 통과한 전류 I_S는 출력 노드에서 제너 다이오드로 흐르는 I_Z, 트랜지스터 컬렉터로 흐르는 I_C, 부하저항으로 흐르는 I_L 세 갈래로 나뉜다. $I_Z \ll I_C$이므로 I_Z는 무시할 수 있는 조건이 주어졌다.

NoteBase

사용할 공식

출력 노드 전압: $V_O = V_B + 8.2$, 여기서 V_B는 트랜지스터 베이스 전압이다. 이미터가 접지되어 있으므로 $V_B = V_{BE} = 0.7\text{V}$이다. 저항에 흐르는 전류: $I_S = \frac{22 - V_O}{R}$. 부하 전류: $I_L = \frac{V_O}{R_L}$. 노드에서의 KCL: $I_S = I_Z + I_C + I_L$, 여기서 $I_Z \ll I_C$이므로 $I_C \approx I_S - I_L$이다.

계산 과정

먼저 출력 노드 전압을 구한다. 베이스 전압은 이미터가 접지되어 있으므로 $V_B = 0.7\text{V}$이고, 제너 다이오드가 출력 노드와 베이스 사이에서 8.2V의 전압을 유지시키므로 $V_O = V_B + 8.2 = 0.7 + 8.2 = 8.9\text{V}$이다. 저항에 흐르는 전류는 $I_S = \frac{22 - 8.9}{120} = \frac{13.1}{120} \approx 0.1092\text{A} = 109.2\text{mA}$이다. 부하저항에 흐르는 전류는 $I_L = \frac{8.9}{100} = 0.089\text{A} = 89\text{mA}$이다. 출력 노드에서 $I_S = I_Z + I_C + I_L$이고 $I_Z \ll I_C$이므로 이를 무시하면 $I_C \approx I_S - I_L = 109.2 - 89 = 20.2\text{mA}$이다. 따라서 컬렉터 전류는 20mA에 가장 가깝다.

선지 판단

① 20 — 옳다. 위 계산에서 $I_C \approx I_S - I_L \approx 20\text{mA}$로 산출되어 가장 가까운 값이다.
② 82 — 틀리다. 이 값은 I_S나 I_L 어느 쪽으로도 직접 나오지 않는 값으로, 노드의 전류 분배 관계를 잘못 세운 경우 나올 수 있는 오답이다.
③ 89 — 틀리다. 이는 컬렉터 전류가 아니라 부하저항에 흐르는 전류 I_L 값이다. I_L과 I_C를 혼동하면 이 값을 답으로 고르게 된다.
④ 109 — 틀리다. 이는 컬렉터 전류가 아니라 저항을 통해 흐르는 전체 전류 I_S 값이다. 출력 노드에서 전류가 세 갈래로 나뉜다는 점을 놓치고 I_S를 그대로 I_C로 착각하면 이 값을 고르게 된다.

오답 포인트

이 문제의 함정은 출력 노드에서 전류가 제너 다이오드, 트랜지스터 컬렉터, 부하저항 세 갈래로 나뉜다는 것을 놓치는 데 있다. I_S를 그대로 컬렉터 전류로 착각하면 109를 고르게 되고(④), 부하 전류 I_L을 컬렉터 전류로 착각하면 89를 고르게 된다(③). $I_Z \ll I_C$라는 조건은 제너 전류를 무시해도 된다는 뜻이지 컬렉터 전류 자체를 무시하라는 뜻이 아니므로, 반드시 $I_C \approx I_S - I_L$의 뺄셈 과정을 거쳐야 한다.

다시 나오면 이렇게 판단

제너 다이오드와 트랜지스터가 같은 노드에 함께 연결된 회로를 보면, 먼저 그 노드가 어떤 소자들로 갈라지는지(제너, 컬렉터, 부하 등) 확인한다. 그다음 이미터가 접지된 트랜지스터의 베이스 전압을 V_{BE}로 구하고, 제너 전압을 더해 노드 전압(출력 전압)을 구한다. 이후 저항의 전류와 부하의 전류를 각각 옴의 법칙으로 구한 뒤, KCL로 나머지 전류(여기서는 컬렉터 전류)를 뺄셈으로 구하면 된다.

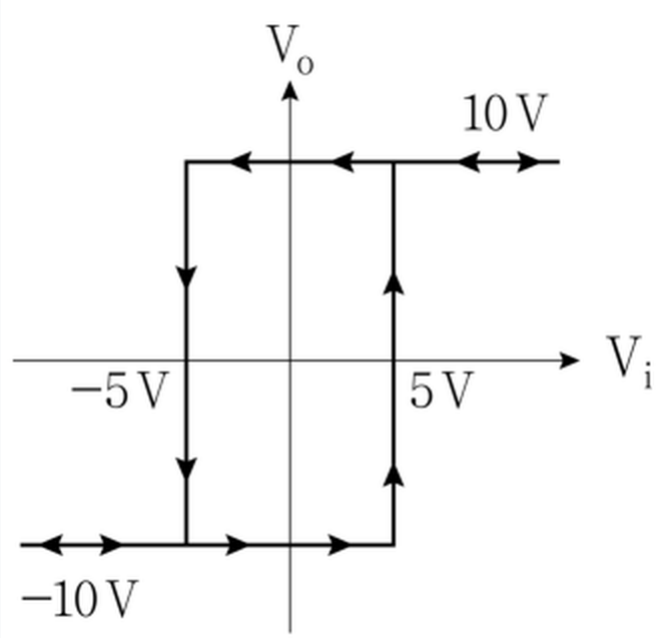
NoteBase

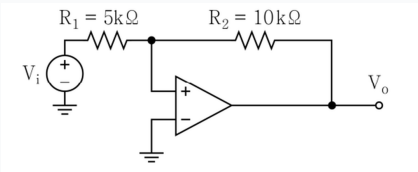
암기 포인트

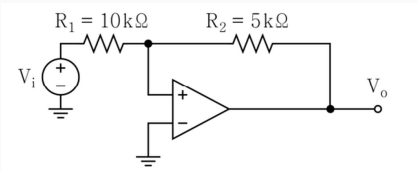
이미터 접지 트랜지스터에서 베이스 전압은 $V_B = V_{BE}$이고, 제너 다이오드가 베이스와 출력 노드 사이에 있으면 출력 전압은 $V_O = V_B + V_Z$로 구해진다. 출력 노드의 전류는 KCL로 $I_S = I_Z + I_C + I_L$이 성립하며, $I_Z \ll I_C$ 조건이 주어지면 제너 전류만 무시하고 $I_C \approx I_S - I_L$로 계산한다.

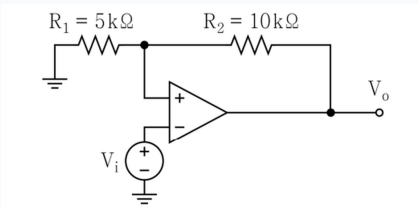
NoteBase

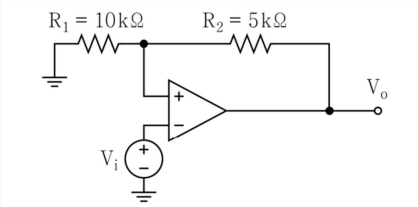
문 19. 다음과 같은 입·출력 히스테리시스 특성 곡선을 갖는 회로는?



① 

② 

③ 

④ 

정답 1번

NoteBase

출제 포인트

연산증폭기 비교기(슈미트 트리거)에서 입력 Vi와 출력 Vo가 저항 분압을 통해 + 입력단(비반전 단자)의 노드 전압을 함께 결정하는 정귀환 구조를 이해하고, 저항비로부터 상승 임계전압(UTP)과 하강 임계전압(LTP)을 계산해 주어진 히스테리시스 곡선(포화전압 ±10V, 임계전압 ±5V)과 맞는 회로를 고르는 문제이다.

조건 정리

그래프에서 출력 포화전압은 +10V/-10V이고, Vi가 증가하며 +5V를 지날 때 Vo가 -10V→+10V로, Vi가 감소하며 -5V를 지날 때 Vo가 +10V→-10V로 전환된다. 즉 UTP=+5V, LTP=-5V이며, 이 전환이 Vi 증가 방향과 같은 부호(비반전형)로 일어난다.

사용할 공식

Vi가 R1을 통해 노드에, Vo가 R2를 통해 같은 노드에 연결되고 그 노드가 + 입력, - 입력이 접지인 구조에서는 노드 전압 $V_+ = \frac{V_i R_2 + V_o R_1}{R_1 + R_2}$이다. 비교기는 $V_+ = 0$이 되는 순간 출력을 반전시키므로, 전환 직전 출력을 V_o라 하면 전환점은 $V_i = -V_o \cdot \frac{R_1}{R_2}$로 구해진다.

계산 과정

①(R1=5kΩ, R2=10kΩ)의 경우 R1/R2 = 1/2이다. Vo=-10V(저상태)에서 Vi가 증가할 때 전환점은 V_i=-(-10)×12=5V로 UTP=+5V가 되고, Vo=+10V(고상태)에서 Vi가 감소할 때 전환점은 V_i=-(10)×12=-5V로 LTP=-5V가 된다. 이는 그래프의 임계전압(±5V)과 정확히 일치하며, Vi가 + 입력 쪽에 더 큰 가중치(R2/(R1+R2)=2/3)로 반영되므로 Vi 증가 방향과 같은 부호로 전환되는 비반전형 히스테리시스가 되어 그래프의 전환 방향과도 일치한다.

선지 판단

① Vi가 R1(5kΩ)로, Vo가 R2(10kΩ)로 같은 + 입력 노드에 연결되고 - 입력이 접지된 구조: 계산상 UTP=+5V, LTP=-5V로 그래프와 정확히 일치한다. (O)
② 구조는 ①과 같지만 R1=10kΩ, R2=5kΩ로 R1/R2=2가 되어 전환점이 $V_i = \mp 10 \times 2 = \mp 20\text{V}$가 되므로 ±5V 임계전압을 만들 수 없다. (X, 저항값이 뒤바뀌어 임계전압이 맞지 않음)
③ R1(5kΩ)이 접지와 노드 사이에, R2(10kΩ)이 노드와 Vo 사이에 연결되고 Vi는 - 입력에 직접 연결된 구조: 노드 전압은 $V_+ = V_o \cdot \frac{R_1}{R_1 + R_2}$로 전환점이 $V_i = \mp 10 \times \frac{5}{15} = \mp 3.33\text{V}$가 되어 ±5V와 맞지 않고, 게다가 Vi가 - 입력에 있어 출력이 Vi 증가에 반대 방향으로 반전되는 반전형 히스테리시스가 되므로 그래프의 전환 방향과도 다르다. (X)
④ ③과 같은 구조에 R1=10kΩ, R2=5kΩ인 경우로, 전환점이 $V_i = \mp 10 \times \frac{10}{15} = \mp 6.67\text{V}$가 되어 역시 ±5V와 맞지 않고 반전형이라 방향도 다르다. (X)

NoteBase

오답 포인트

②와 ④는 R1, R2 값이 서로 바뀌어 있어 저항비 계산 자체가 달라져 임계전압이 그래프와 맞지 않는 함정이다. ③과 ④는 Vi가 - 입력에 직접 연결되어 있어 출력이 입력 증가와 반대 방향으로 전환되는 반전형 회로가 되므로, 저항값을 맞추더라도 히스테리시스의 전환 방향(부호)이 그래프와 어긋난다는 점을 놓치기 쉽다.

다시 나오면 이렇게 판단

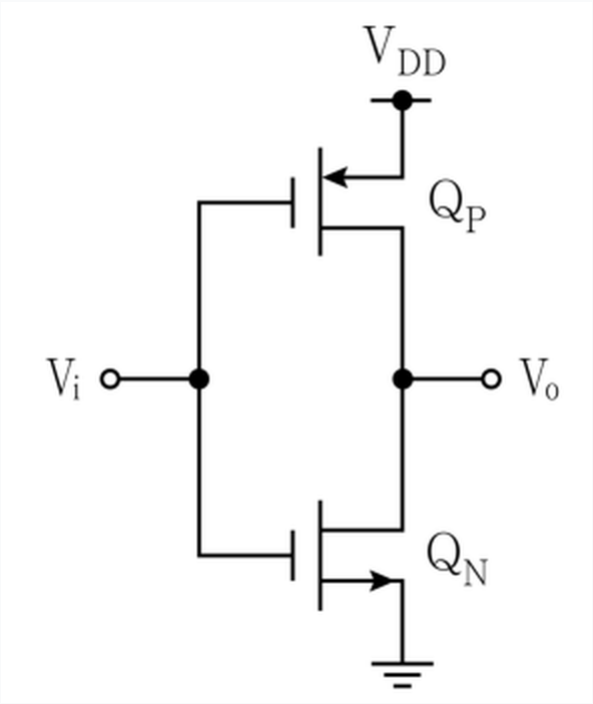
히스테리시스 비교기 문제는 먼저 Vi가 + 입력 쪽에 있는지 - 입력 쪽에 있는지를 확인해 비반전형/반전형을 가리고(그래프의 전환 방향과 일치하는지 판단), 그 다음 저항 분압 노드 전압을 $V_+ = \frac{V_i R_2 + V_o R_1}{R_1 + R_2}$(또는 접지-피드백 구조면 $V_o R_1/(R_1 + R_2)$)로 세워 $V_+ = 0$ 조건에서 임계전압을 구해 그래프의 UTP, LTP 값과 저항비가 맞는지 검산한다.

암기 포인트

비반전 슈미트 트리거는 Vi가 + 입력으로 들어가고 Vo가 저항 R2로 같은 노드에 정귀환되는 구조이며, 임계전압은 $V_{th} = \mp V_{sat} \cdot \frac{R_1}{R_2}$로 계산된다. Vi가 - 입력에 연결되면 반전형이 되어 전환 방향이 뒤바뀐다는 점을 함께 기억해 둔다.

NoteBase

문 20. 다음 CMOS 반전기(inverter)의 특징으로 옳지 않은 것은?



① 반전기의 입력 저항은 매우 크다.

② 누설전류를 무시하면, 정전력 소모는 0이다.

③ 출력 단자와 접지 혹은 V_{DD} 사이에 높은 저항 통로가 존재한다.

④ $V_i = V_{DD}$일 때 Q_P는 OFF되고, Q_N은 ON된다.

정답 3번

출제 포인트

그림은 PMOS Q_P와 NMOS Q_N이 직렬로 연결되고 게이트가 공통 입력 V_i, 드레인이 공통 출력 V_o로 묶인 표준 CMOS 반전기 구조이다. 이 문항은 CMOS 반전기의 정적 동작 특성(입력 임피던스, 정전력 소모, 출력단의 저항 경로, 입력에 따른 두 트랜지스터의 ON/OFF 상태)을 얼마나 정확히 아는지를 묻는다.

NoteBase

선지별 해설

① O: MOSFET의 게이트는 얇은 산화막으로 절연되어 있어 게이트 전류가 거의 흐르지 않는다. 따라서 반전기의 입력은 순수 용량성 부하에 가깝고 입력 저항은 매우 크다.
② O: CMOS 반전기는 입력이 논리 0이든 1이든 항상 Q_P와 Q_N 중 하나만 ON, 다른 하나는 OFF 상태가 되어 V_DD에서 접지로 이어지는 전류 경로가 끊긴다. 따라서 누설전류를 무시하면 정적 상태에서 소모되는 전력(정전력)은 0이 된다.
③ X: 정상 상태에서 출력단은 ON된 트랜지스터를 통해 V_DD 또는 접지 중 한쪽과 낮은 저항(low resistance)으로 연결된다. 즉 출력과 두 전원 사이에는 항상 낮은 저항 통로가 존재하는 것이고, 반대쪽(OFF된 트랜지스터 쪽)은 매우 높은 저항(거의 개방)이 되어 전류가 흐르지 않는다. 따라서 "출력 단자와 접지 혹은 V_DD 사이에 높은 저항 통로가 존재한다"는 설명은 옳지 않다 → 올바른 표현은 "낮은 저항 통로가 존재한다(둘 중 하나는)"이다.
④ O: V_i = V_DD(논리 1)이면 게이트-소스 전압 관계상 PMOS인 Q_P는 OFF, NMOS인 Q_N은 ON이 되어 출력이 접지 쪽으로 낮은 저항 경로를 통해 0V(논리 0)로 내려간다.

오답 포인트

CMOS 반전기의 출력단은 언제나 ON된 트랜지스터 쪽으로는 낮은 저항, OFF된 트랜지스터 쪽으로는 높은 저항이라는 점을 혼동하기 쉽다. ③은 이 두 경로를 뭉뚱그려 "높은 저항 통로가 존재한다"고만 서술해 반전기가 항상 고임피던스 출력만 갖는 것처럼 오해하게 만든다.

다시 나오면 이렇게 판단

CMOS 반전기 특성 문제는 먼저 입력값(0 또는 V_DD)에 따라 Q_P, Q_N 중 어느 쪽이 ON인지부터 확정한다. 그 다음 ON된 트랜지스터 쪽은 저저항, OFF된 트랜지스터 쪽은 고저항이라는 대응 관계로 각 선지를 하나씩 대조하면 오답을 빠르게 걸러낼 수 있다.

암기 포인트

CMOS 반전기: 입력 임피던스 매우 큼(게이트 절연) · 정상 상태 정전력 소모 0(둘 중 하나 항상 OFF) · 출력은 ON쪽으로 저저항, OFF쪽으로 고저항 · V_i=V_DD면 Q_P OFF·Q_N ON, V_i=0이면 Q_P ON·Q_N OFF.

NoteBase

문 21. 트랜지스터 증폭기 회로의 주파수 특성에 대한 설명으로 옳지 않은 것은?

① 밀러 효과(Miller effect)는 상한 차단주파수를 낮추는 효과가 있다.

② 기생(parasitic) 커패시터의 값이 클수록 상한 차단주파수는 낮아진다.

③ 커플링(coupling) 커패시터의 값이 클수록 하한 차단주파수는 낮아진다.

④ 일반적으로 공통소스(common-source) 증폭기는 공통게이트(common-gate) 증폭기보다 상한 차단주파수가 높다.

정답 4번

출제 포인트

트랜지스터 증폭기의 고역·저역 차단주파수가 어떤 요인에 의해 결정되는지를 묻는 문항이다. 밀러 효과, 기생 커패시터, 커플링 커패시터가 각각 상한/하한 차단주파수에 미치는 영향과 함께, 공통소스(CS) 증폭기와 공통게이트(CG) 증폭기의 고역 대역폭 차이를 비교할 수 있어야 한다.

핵심 개념

상한 차단주파수는 트랜지스터 내부의 기생 커패시터(접합 커패시터)와 밀러 효과로 생기는 등가 입력 커패시터에 의해 결정되며, 이 커패시터들의 값이 클수록 고역 차단주파수는 낮아진다. 밀러 효과는 반전 증폭단(공통소스, 공통이미터 등 입출력이 위상반전되는 구조)에서 궤환 커패시터(예: C_{gd})가 전압이득만큼 크게 증폭되어 등가 입력 커패시턴스로 나타나는 현상으로, 대역폭을 크게 줄인다. 하한 차단주파수는 커플링 커패시터·바이패스 커패시터와 저항이 만드는 고역통과 필터에 의해 결정되며, 커패시터 값이 클수록 $f_L \approx \frac{1}{2\pi RC}$ 관계에 의해 하한 차단주파수는 낮아진다. 공통게이트(CG) 증폭기는 입력과 출력이 동위상이라 궤환 커패시터에 밀러 효과가 발생하지 않으므로, 같은 소자를 쓴 공통소스(CS) 증폭기보다 고역 대역폭(상한 차단주파수)이 넓다.

선지별 해설

① 밀러 효과는 반전 증폭단의 귀환 커패시터를 전압이득 배만큼 크게 만들어 등가 입력 커패시턴스를 키우므로, 상한 차단주파수를 낮추는 효과가 있다는 설명은 옳다.
② 기생 커패시터(접합 커패시터 등)의 값이 클수록 고역에서의 임피던스가 낮아져 신호가 더 많이 우회하므로 상한 차단주파수는 낮아진다는 설명은 옳다.
③ 커플링 커패시터는 저항과 함께 고역통과 필터를 이루며, 커패시터 값이 클수록 $f_L \approx 1/(2\pi RC)$에 의해 하한 차단주파수가 낮아진다는 설명은 옳다.
④ 공통소스(CS) 증폭기는 입출력이 위상반전되어 밀러 효과로 인한 등가 입력 커패시턴스가 크게 증가하므로 오히려 상한 차단주파수가 낮아진다. 반대로 공통게이트(CG) 증폭기는 입출력이 동위상이라 밀러 효과가 나타나지 않아 상한 차단주파수가 더 높다. 따라서 "공통소스 증폭기가 공통게이트 증폭기보다 상한 차단주파수가 높다"는 설명은 틀린 표현이며, 올바른 표현은 "공통게이트 증폭기가 공통소스 증폭기보다 상한 차단주파수가 높다"이다. 이 문항의 옳지 않은 선지에 해당한다.

NoteBase

오답 포인트

밀러 효과가 상한 차단주파수를 낮춘다는 방향성(①, ②)과, 커플링 커패시터가 하한 차단주파수를 낮춘다는 방향성(③)을 혼동하기 쉽다. 핵심은 "커패시터 값이 클수록"이라는 조건에서 고역 관련 커패시터(기생·밀러)는 대역폭을 줄이는 쪽으로, 저역 관련 커패시터(커플링·바이패스)는 하한 차단주파수를 더 낮추는 쪽으로 작용한다는 점을 구분하는 것이다. ④는 밀러 효과의 발생 조건(입출력 위상반전 여부)을 놓치면, 두 증폭기의 대역폭 우열을 반대로 판단하게 된다.

다시 나오면 이렇게 판단

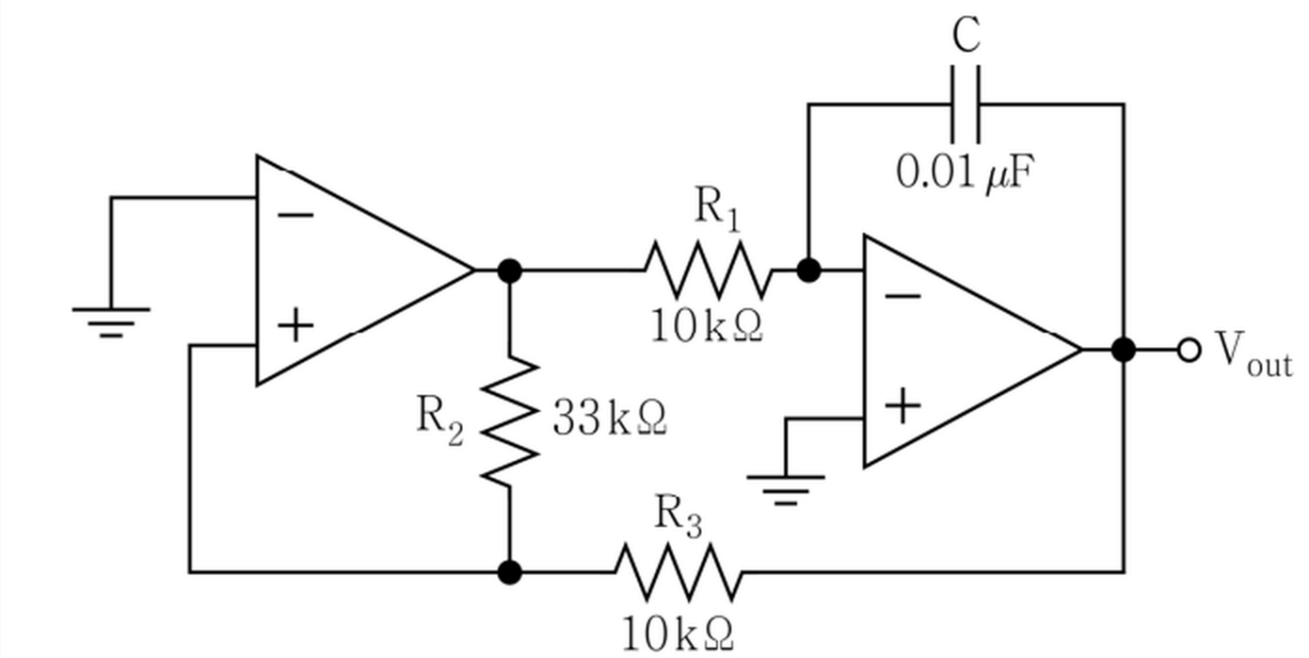
증폭기 구조가 나오면 먼저 입력과 출력이 동위상인지 역위상인지를 확인한다. 역위상 구조(공통소스, 공통이미터)는 밀러 효과가 크게 작용해 상한 차단주파수가 낮아지고, 동위상 구조(공통게이트, 공통베이스, 공통드레인)는 밀러 효과가 없어 상대적으로 대역폭이 넓다는 원리로 접근하면 빠르게 판단할 수 있다.

암기 포인트

고역 커패시터(기생·밀러)는 값이 클수록 상한 차단주파수를 낮추고, 저역 커패시터(커플링·바이패스)는 값이 클수록 하한 차단주파수를 낮춘다. 밀러 효과는 역위상 증폭단(공통소스·공통이미터)에서만 크게 작용하며, 동위상 구조인 공통게이트·공통베이스 증폭기는 밀러 효과가 없어 대역폭이 더 넓다.

NoteBase

문 22. 다음 회로의 발진주파수[kHz]는? (단, 연산증폭기는 이상적이다)



① 7.25

② 8.25

③ 9.25

④ 10.25

정답 2번

출제 포인트

이 회로는 사인파를 만드는 일반적인 LC 발진기가 아니라, 비교기(슈미트 트리거)와 적분기를 op-amp 2개로 연결해 구형파와 삼각파를 동시에 발생시키는 구형파-삼각파 발생 회로(이완발진기)이다. 1단 op-amp는 −단자가 접지되고 +단자에 자기 출력(R2)과 최종 출력 Vout(R3)이 함께 걸리는 정귀환 구조라서 선형 증폭기가 아니라 두 포화전압(±Vsat) 사이를 오가는 비교기로 동작한다. 2단 op-amp는 R1과 C로 구성된 반전 적분기이며, 1단의 구형파 출력을 적분해 Vout에 삼각파를 만든다. 이 삼각파가 다시 1단의 문턱전압을 결정하도록 되먹임되면서 회로 전체가 일정한 주기로 스스로 진동한다. 커패시터가 회로 전체에 1개뿐이라는 점이 바로 이것이 2차 선형 발진기가 아니라 비교기+적분기형 이완발진기임을 보여주는 단서이다.

조건 정리

R1 = 10 kΩ(적분기 입력저항), R2 = 33 kΩ(1단 비교기 출력에서 +단자로 가는 저항), R3 = 10 kΩ(최종 출력 Vout에서 +단자로 가는 저항), C = 0.01 μF(적분기 궤환 커패시터). 연산증폭기는 이상적이라고 가정한다.

NoteBase

사용할 공식

1단 비교기의 +단자 전압은 1단 출력 V_B와 최종 출력 V_{out}의 전류 합이 0이 되는 지점, 즉 $\frac{V_B}{R_2}+\frac{V_{out}}{R_3}=0$에서 부호가 바뀐다. 이로부터 스위칭 문턱전압은 $V_T=\pm V_{sat}\frac{R_3}{R_2}$로 정해진다. 2단 적분기는 1단 출력(진폭 V_{sat})을 기울기 $\frac{V_{sat}}{R_1C}$로 선형 램프시켜 삼각파 V_{out}을 만들며, V_{out}이 $-V_T$에서 $+V_T$까지, 다시 $+V_T$에서 $-V_T$까지 왕복하는 데 걸리는 시간이 반주기가 된다. 이를 정리하면 발진주파수는 $f=\frac{R_2}{4R_1R_3C}$로 구해진다.

계산 과정

먼저 값을 대입한다: $R_1=10{,}000\Omega$, $R_2=33{,}000\Omega$, $R_3=10{,}000\Omega$, $C=0.01\mu F=1\times10^{-8}F$.
분모부터 계산하면 $4R_1R_3C=4\times10{,}000\times10{,}000\times1\times10^{-8}=4$ 가 된다. 따라서
$f=\frac{33{,}000}{4}=8{,}250\ \text{Hz}=8.25\ \text{kHz}$ 이다.

선지 판단

① 7.25 → 오답. R2/(4R1R3C) 계산값(8.25)보다 작게 나온 값으로, 분자나 분모를 다르게 잡았을 때 나올 수 있는 오답이다.
② 8.25 → 정답. $f=\frac{R_2}{4R_1R_3C}=\frac{33{,}000}{4}=8.25$ kHz와 정확히 일치한다.
③ 9.25 → 오답. 8.25보다 큰 값으로, 저항값을 잘못 대입했을 때 나올 수 있는 근사 오답이다.
④ 10.25 → 오답. R2 대신 R2와 R3를 더한 값이나 다른 조합으로 잘못 계산했을 때 나올 수 있는 오답이다.

오답 포인트

이 문제에서 가장 흔한 실수는 이 회로를 일반적인 사인파 발진기(빈 브리지 등)로 착각해 $f=\frac{1}{2\pi RC}$ 형태의 공식을 쓰는 것이다. 커패시터가 하나뿐인 회로는 2차 선형 발진 조건(복소 극점)을 만들 수 없으므로, 이런 회로를 보면 비교기+적분기형 구형파 발생기 공식을 떠올려야 한다. 또한 R2와 R3의 역할을 바꿔 대입하면 답이 달라지므로, R2는 1단 자기 출력 쪽 저항, R3는 최종 출력(Vout) 쪽 저항이라는 연결 관계를 정확히 구분해야 한다.

다시 나오면 이렇게 판단

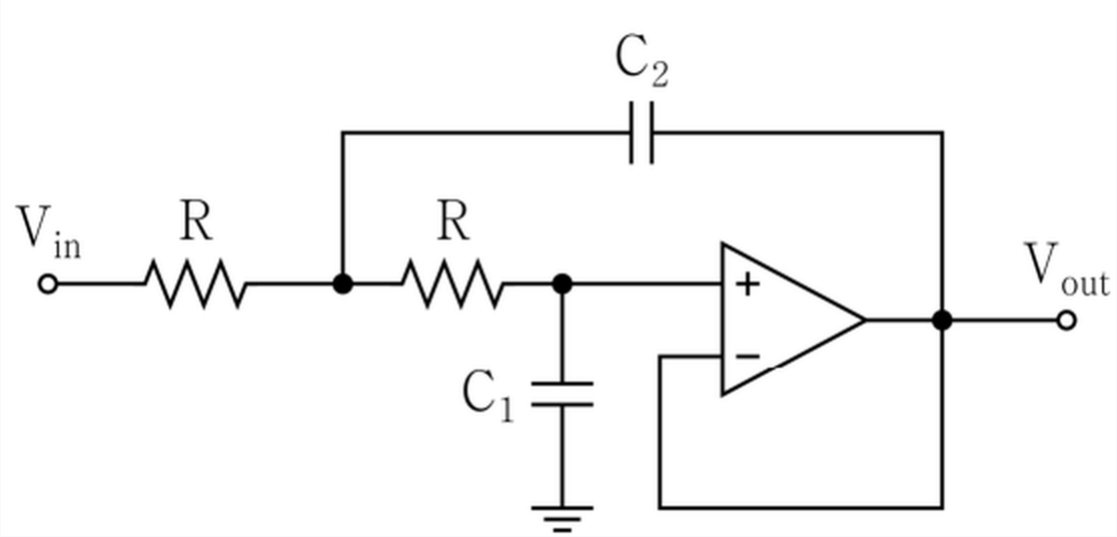
회로에 op-amp가 2개이고 커패시터가 1개뿐이면서 한쪽 op-amp의 −단자가 접지되고 +단자에 자기 출력과 최종 출력이 함께 저항으로 걸려 있으면, 이는 슈미트 트리거(비교기)+적분기로 이루어진 구형파-삼각파 발생 회로임을 먼저 확인한다. 그다음 비교기 쪽 저항 중 자기 출력에 연결된 것을 R2, 최종 출력(Vout)에 연결된 것을 R3, 적분기의 입력저항과 커패시터를 R1, C로 놓고 $f=\frac{R_2}{4R_1R_3C}$에 대입한다.

암기 포인트

구형파-삼각파 발생기(비교기+적분기, op-amp 2단, 커패시터 1개)의 발진주파수는 $f=\frac{R_2}{4R_1R_3C}$ (R2=비교기 자기출력측 저항, R3=최종출력측 저항, R1·C=적분기 소자)로 기억해 둔다.

NoteBase

문 23. 다음 능동필터 회로에 대한 설명으로 옳은 것은? (단, 연산증폭기는 이상적이다)



① 셀런-키(Sallen-Key) 2차 고역통과필터이다.

② 주파수가 증가함에 따라 비반전 입력전압도 증가한다.

③ 단위이득을 갖는 2차 저역통과필터이다.

④ 필터의 차단주파수는 $f = \frac{1}{2\pi R\sqrt{C_1 C_2}}$이고, 20dB/decade의 비율로 롤-오프(roll-off) 특성을 갖는다.

정답 3번

출제 포인트

제시된 회로는 R-R-C1-C2와 이상적 연산증폭기로 구성된 2차 능동필터이다. 입력 Vin에서 R을 거쳐 첫 번째 노드로 가고, 다시 R을 거쳐 두 번째 노드(연산증폭기 비반전 입력)로 연결된다. 두 번째 노드는 C1을 통해 접지되어 있고, 첫 번째 노드와 출력 Vout 사이에는 C2가 피드백 경로로 연결되어 있다. 연산증폭기의 반전(-) 입력은 출력에 직접 연결되어 있어 전압폴로어(이득 1인 비반전 증폭기) 형태를 이룬다. 이 구조는 전형적인 샐런-키(Sallen-Key) 단위이득 2차 저역통과필터의 회로 형태이며, 이를 식별하는 것과 회로의 이득·주파수 특성을 정확히 아는 것이 출제 포인트이다.

조건 정리

두 저항은 모두 R로 같고, 커패시터는 C1(비반전 입력 노드에서 접지로 연결), C2(입력측 노드에서 출력으로 피드백)로 구성된다. 연산증폭기는 이상적이며 반전 입력이 출력에 직접 연결되어 폐루프 이득이 1인 전압폴로어로 동작한다. 고주파에서는 C2가 저임피던스로 신호를 출력측으로 강하게 되돌리고 C1이 비반전 입력을 접지에 가깝게 만들어 신호를 감쇠시키므로, 고주파 성분이 차단되는 저역통과 특성을 갖는다.

NoteBase

사용할 공식

동일한 R, 서로 다른 C1, C2를 사용하는 단위이득 샐런-키 2차 저역통과필터의 차단주파수는 $f_c = \frac{1}{2\pi R\sqrt{C_1 C_2}}$이며, 2차 필터의 통과대역 밖 감쇠 기울기(롤-오프)는 -40 dB/decade이다.

계산 과정

회로 위상을 보면 입력이 R-R을 거쳐 비반전 입력으로 들어가고, 비반전 입력은 C1으로 접지되어 있으며 C2가 입력측 노드와 출력 사이를 잇는 정궤환 경로이다. 이는 저역통과형 샐런-키 필터의 표준 배치(고역통과형은 R과 C의 위치가 서로 바뀐 형태)이므로 회로는 저역통과필터이다. 반전 입력이 출력에 직결되어 있으므로 폐루프 이득은 1이며, 통과대역에서 $V_{out} = V_{in}$이 되어 단위이득 필터임을 확인할 수 있다. 차단주파수는 $f_c = \frac{1}{2\pi R\sqrt{C_1 C_2}}$로 맞지만, 이 회로는 2차(2-pole) 필터이므로 차단주파수 이후 감쇠 기울기는 1차의 20 dB/decade가 아니라 40 dB/decade이다.

선지 판단

① X — 회로는 고역통과필터가 아니라 저역통과필터이다. 고역통과형이 되려면 R과 C의 위치가 서로 바뀌어야 한다(신호 경로에 C, 접지 쪽에 R).
② X — 이 필터는 주파수가 증가할수록 이득이 감소하는 저역통과필터이고, 연산증폭기가 전압폴로어(반전 입력=출력)이므로 비반전 입력전압은 출력전압과 같게 유지된다. 따라서 주파수가 증가하면 비반전 입력전압은 오히려 감소하며, 증가한다는 설명은 틀렸다.
③ O — 반전 입력이 출력에 직결되어 폐루프 이득이 1(단위이득)이고, R-R-C1-C2의 배치가 샐런-키 2차 저역통과필터의 표준 형태이므로 옳은 설명이다.
④ X — 차단주파수 식 $f_c = \frac{1}{2\pi R\sqrt{C_1 C_2}}$ 자체는 맞지만, 2차 필터이므로 롤-오프는 20 dB/decade가 아니라 40 dB/decade이다.

오답 포인트

①은 고역통과와 저역통과의 R, C 배치를 혼동하기 쉽다. 신호 경로 중간에 커패시터가 직렬로 있고 접지로 저항이 빠지면 고역통과, 반대로 저항이 직렬이고 커패시터가 접지로 빠지면 저역통과이다. ②는 '비반전 입력전압'과 '출력전압'을 다른 것으로 착각하기 쉬운데, 이 회로는 전압폴로어이므로 두 값이 항상 같다는 점을 놓치면 안 된다. ④는 차단주파수 공식만 보고 맞다고 판단하기 쉬우나, 몇 차 필터인지(극점 개수)에 따라 롤-오프 기울기가 달라진다는 점을 놓치면 안 된다(1차=20 dB/decade, 2차=40 dB/decade).

다시 나오면 이렇게 판단

능동필터 회로 문제는 먼저 신호가 지나가는 경로에서 저항과 커패시터의 위치를 보고 저역통과/고역통과를 구분한다(직렬 R+접지 C=저역통과, 직렬 C+접지 R=고역통과). 다음으로 반전 입력이 출력에 직결되어 있는지(단위이득 폴로어) 아니면 저항 분압으로 궤환되어 있는지(이득 있는 구성)를 확인한다. 마지막으로 차단주파수 공식이 맞더라도 필터의 차수(극점 수)에 따라 롤-오프 기울기(1차당 20 dB/decade)가 달라진다는 점을 별도로 검토한다.

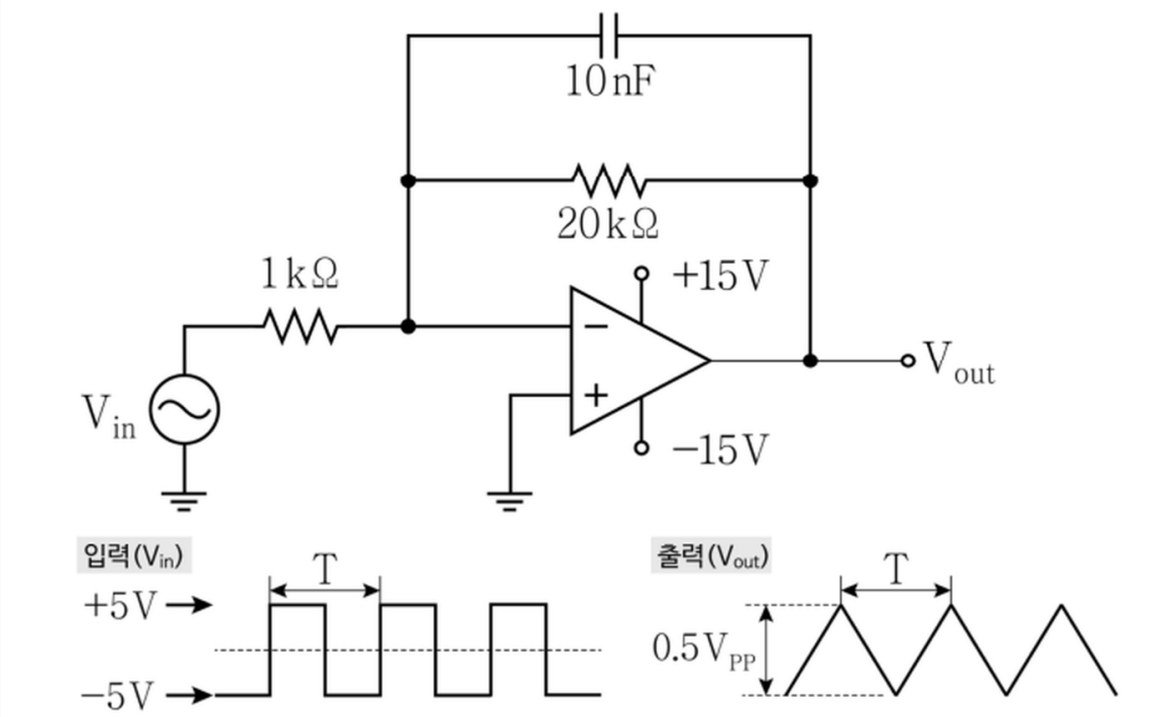
NoteBase

암기 포인트

샐런-키 저역통과필터: 신호경로 R-R, 비반전 입력에서 접지로 C1, 입력측 노드에서 출력으로 피드백 C2. 반전 입력이 출력에 직결되면 단위이득(전압폴로어). 차단주파수 $f_c = \frac{1}{2\pi R\sqrt{C_1 C_2}}$, 롤-오프는 항상 20×(극점 수) dB/decade이므로 2차 필터는 40 dB/decade이다.

NoteBase

문 24. 다음 회로에서 입력 V_{in}에 대하여 출력 V_{out}이 얻어질 때, 입력신호의 주파수[MHz]는? (단, 연산증폭기는 이상적이다)



① 0.1

② 0.5

③ 1

④ 5

정답 2번

출제 포인트

이 회로는 반전 적분기(Miller integrator)이다. 궤환 경로에 20kΩ 저항과 10nF 커패시터가 병렬로 연결되어 있는데, 이는 저주파(직류)에서 이득이 무한대로 발산하는 것을 막기 위한 손실 적분기(lossy integrator) 구성이지만, 회로가 실제로 사용되는 주파수 대역에서는 커패시터의 임피던스가 저항보다 훨씬 작아 순수 적분기처럼 동작한다. 문제는 구형파를 적분기에 넣으면 삼각파가 나온다는 사실과, 그 삼각파의 기울기(slope)를 이용해 주기 T, 나아가 주파수를 구하는 계산 문제이다.

조건 정리

입력저항 R1 = 1kΩ, 궤환 커패시터 C = 10nF, 궤환저항 R2 = 20kΩ. 입력 V_in은 진폭 ±5V인 구형파(주기 T). 출력 V_out은 진폭 0.5V_PP인 삼각파이며, 그 주기도 입력과 같은 T이다. 그래프에서 삼각파는 반주기 T/2 동안 일정한 기울기로 상승(또는 하강)하여 0.5V만큼 변화한다.

NoteBase

사용할 공식

반전 적분기의 출력 변화율(기울기)은 $\frac{dV_{out}}{dt} = -\frac{V_{in}}{R_1 C}$이다. 입력이 +5V(또는 -5V)로 일정한 반주기 T/2 동안 출력은 이 기울기로 선형 변화하므로, 그 구간의 출력 변화량은 $\Delta V_{out} = \frac{|V_{in}|}{R_1 C} \times \frac{T}{2}$이다.

계산 과정

기울기 크기를 먼저 구하면 $\frac{|V_{in}|}{R_1 C} = \frac{5\text{V}}{1{,}000\Omega \times 10\text{nF}} = \frac{5}{10^{-5}} = 5 \times 10^5$ V/s이다. 이 기울기로 반주기 T/2 동안 변화한 출력이 0.5V(그래프의 0.5V_PP)이므로 $5 \times 10^5 \times \frac{T}{2} = 0.5$가 성립한다. 이를 풀면 $\frac{T}{2} = 1 \times 10^{-6}$ s, 즉 $T = 2 \times 10^{-6}$ s $= 2\mu$s이다. 따라서 주파수는 $f = \frac{1}{T} = \frac{1}{2 \times 10^{-6}} = 5 \times 10^5$ Hz $= 0.5$ MHz이다. 참고로 궤환저항 20kΩ과 커패시터 10nF로 정해지는 차단주파수는 $f_c = \frac{1}{2\pi R_2 C} \approx 796$ Hz로, 계산된 0.5MHz보다 훨씬 낮으므로 이 주파수 영역에서는 20kΩ 저항의 영향은 무시되고 순수 적분기로 동작한다는 전제가 성립한다.

선지 판단

① 0.1: 계산된 주파수보다 5배 작다. T를 2배로 잘못 잡거나 기울기 계산에서 배수를 잘못 적용하면 나오는 값으로, 틀리다.
② 0.5: 위 계산 과정과 정확히 일치한다. 옳다.
③ 1: T/2가 아니라 T를 기울기 계산에 그대로 넣거나 0.5V를 반주기가 아닌 전체 주기 기준으로 잘못 적용하면 나올 수 있는 값으로, 틀리다.
④ 5: 기울기 계산에서 자릿수(pF/nF, kkΩ 등의 단위 변환)를 한 자리 잘못 다루면 나올 수 있는 값으로, 틀리다.

오답 포인트

가장 흔한 실수는 삼각파의 0.5V_PP가 '반주기 T/2 동안의 변화량'이라는 점을 놓치고 전체 주기 T 동안의 변화량으로 착각하는 것이다. 대칭 삼각파는 한 반주기 동안 최저점에서 최고점까지 선형으로 올라가므로, 0.5V_PP는 정확히 T/2 구간에서 발생한 변화량이다. 또한 궤환의 20kΩ 저항을 보고 이 회로를 단순 반전증폭기로 오인해 이득 -R2/R1을 쓰면 안 된다. 이 저항은 저주파 차단(직류 드리프트 방지)용이고, 실제 동작 주파수(0.5MHz)에서는 커패시터가 지배적이므로 적분기 공식을 그대로 쓴다.

다시 나오면 이렇게 판단

구형파를 입력받아 삼각파가 출력되는 연산증폭기 회로를 보면 곧바로 적분기임을 인식한다. 기울기 공식 $\left|\frac{dV_{out}}{dt}\right| = \frac{|V_{in}|}{RC}$을 세우고, 그래프에서 그 기울기가 몇 초 동안 얼마만큼의 전압 변화를 만드는지(보통 반주기 T/2 동안 V_PP만큼) 짝지어 방정식을 세운 뒤 T를 구하고 f=1/T로 마무리한다.

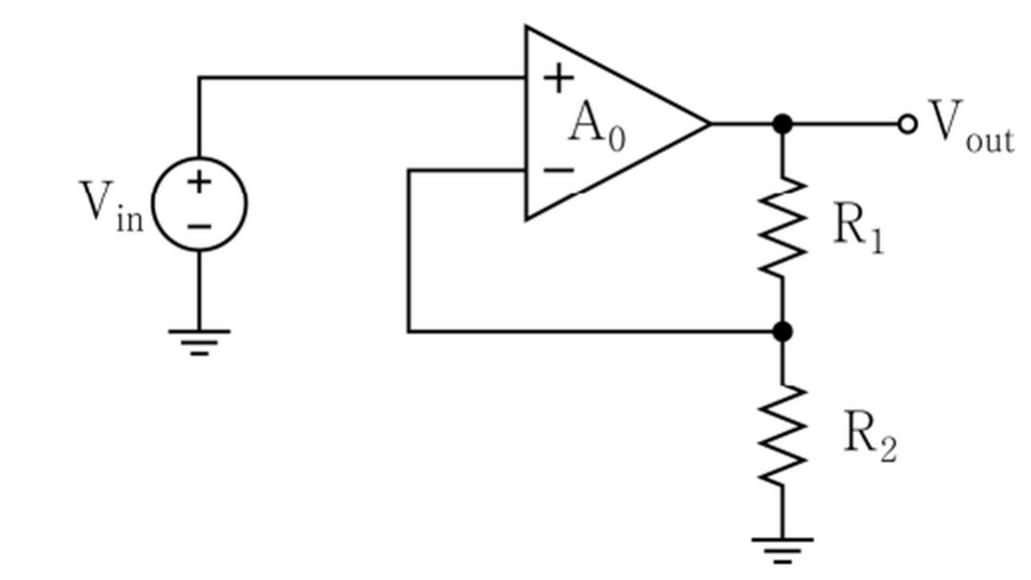
NoteBase

암기 포인트

반전 적분기 출력 기울기: $\frac{dV_{out}}{dt} = -\frac{V_{in}}{RC}$. 대칭 구형파를 적분하면 대칭 삼각파가 나오고, 삼각파의 첨두치간 전압(V_PP)은 반주기(T/2) 동안의 기울기×시간으로 만들어진다. 궤환에 저항과 커패시터가 병렬로 있는 적분기는 저주파 손실 적분기이며, 동작 주파수가 그 차단주파수 $1/(2\pi RC)$보다 충분히 높으면 순수 적분기로 취급한다.

NoteBase

문 25. 다음 회로의 전압이득 $\frac{V_{out}}{V_{in}}$은? (단, 연산증폭기의 전압이득 A_0는 유한한 값이다)



① $\frac{-R_1/R_2}{1+\frac{1+R_1/R_2}{A_0}}$
② $\frac{-R_2/R_1}{1+\frac{1+R_2/R_1}{A_0}}$
③ $\frac{1+R_1/R_2}{1+\frac{1+R_1/R_2}{A_0}}$
④ $\frac{1+R_2/R_1}{1+\frac{1+R_2/R_1}{A_0}}$

정답 3번

출제 포인트

이 회로는 비반전 증폭기(non-inverting amplifier) 구조이다. V_{in}이 연산증폭기의 (+)단자에 직접 연결되고, 출력 V_{out}이 R_1을 거쳐 (-)단자 노드로 궤환되며, 그 노드가 다시 R_2를 거쳐 접지된다. 연산증폭기의 개루프이득 A_0가 무한대가 아니라 유한한 값이라는 조건이 핵심이며, 이 때문에 이상적인 비반전 증폭기 공식 $1 + R_1/R_2$에 A_0에 의한 오차항이 붙는다.

조건 정리

(+)단자 전압은 V_{in}과 같다. (-)단자 전압 V_-는 V_{out}이 R_1, R_2로 전압분배되어 두 저항 사이 노드에 걸리는 전압이므로 $V_- = V_{out} \cdot \frac{R_2}{R_1+R_2}$이다. 연산증폭기의 출력은 $V_{out} = A_0(V_{in} - V_-)$로 주어지며, A_0는 유한하므로 $V_+ = V_-$로 두는 이상적 가상단락 근사를 쓸 수 없고 이 관계식을 그대로 풀어야 한다.

NoteBase

사용할 공식

궤환율(피드백 비율)을 $\beta = \frac{R_2}{R_1+R_2}$라 하면 $V_{out} = A_0(V_{in} - \beta V_{out})$이 성립한다. 이를 정리하면 $\frac{V_{out}}{V_{in}} = \frac{A_0}{1+A_0\beta}$이다. 여기서 $1/\beta = 1 + R_1/R_2$는 $A_0 \to \infty$일 때의 이상적 이득이므로, 이를 이용해 식을 A_0로 나누어 정리하면 최종적으로 $\frac{V_{out}}{V_{in}} = \frac{1+R_1/R_2}{1+\frac{1+R_1/R_2}{A_0}}$ 형태로 바뀐다.

계산 과정

① $V_- = V_{out} \cdot \frac{R_2}{R_1+R_2}$로 둔다.
② $V_{out} = A_0(V_{in} - V_-) = A_0V_{in} - A_0V_{out} \cdot \frac{R_2}{R_1+R_2}$
③ $V_{out}\left(1 + A_0 \cdot \frac{R_2}{R_1+R_2}\right) = A_0V_{in}$
④ $\frac{V_{out}}{V_{in}} = \frac{A_0}{1+A_0 \cdot \frac{R_2}{R_1+R_2}}$
⑤ 분자·분모를 $A_0 \cdot \frac{R_2}{R_1+R_2}$가 아니라 A_0로 나누고, $\frac{R_1+R_2}{R_2} = 1 + R_1/R_2$임을 이용해 정리하면 $\frac{V_{out}}{V_{in}} = \frac{1+R_1/R_2}{1+\frac{1+R_1/R_2}{A_0}}$이 된다.
⑥ 이 결과는 $A_0 \to \infty$일 때 $1 + R_1/R_2$로 수렴해 이상적 비반전 증폭기 공식과 일치하므로 검산이 된다.

선지 판단

① $-R_1/R_2$ 형태: 반전 증폭기의 이득 형태이다. 이 회로는 V_{in}이 (+)단자로 들어가는 비반전 구조이므로 부호가 음수이거나 반전 이득 형태가 될 수 없다. 틀린 표현 → 비반전 구조이므로 이득은 양수 형태인 $1 + R_1/R_2$가 되어야 한다.
② $-R_2/R_1$ 형태: 마찬가지로 반전 증폭기 이득 형태이며 부호와 저항비 모두 이 회로 결과와 다르다. 틀린 표현 → 비반전 이득 $1 + R_1/R_2$와 무관하다.
③ $\frac{1+R_1/R_2}{1+(1+R_1/R_2)/A_0}$: 위 계산 과정에서 유도한 결과와 정확히 일치한다. 옳은 선지이다.
④ $\frac{1+R_2/R_1}{1+(1+R_2/R_1)/A_0}$: 형태는 ③과 유사하지만 R_1과 R_2의 위치가 뒤바뀐 저항비이다. 이 회로에서 V_-에 걸리는 전압분배비는 $R_2/(R_1+R_2)$이므로 이상적 이득은 $1 + R_1/R_2$가 맞고 $1 + R_2/R_1$이 아니다. 틀린 표현 → $1 + R_2/R_1$이 아니라 $1 + R_1/R_2$가 되어야 한다.

오답 포인트

가장 흔한 실수 두 가지이다. 첫째, 비반전 증폭기인데 반전 증폭기 공식(음수 부호, R_2/R_1 비율)을 떠올려 ①, ②를 고르는 경우인데, (+)단자에 V_{in}이 직접 연결되어 있는지 (-)단자에 연결되어 있는지를 먼저 확인해야 한다. 둘째, 궤환 저항 분배비에서 R_1과 R_2의 위치를 바꿔 $1 + R_2/R_1$로 계산해 ④를 고르는 경우인데, 출력에서 (-)단자 쪽으로 먼저 만나는 저항이 R_1이고 그 다음 접지까지가 R_2이므로 V_-에 걸리는 전압은 $R_2/(R_1+R_2)$ 비율이 되어 이상적 이득이 $1 + R_1/R_2$임을 놓치지 않아야 한다.

다시 나오면 이렇게 판단

회로도에서 V_{in}이 (+), (-) 중 어디로 들어가는지부터 확인해 비반전인지 반전인지를 정한다. 비반전이면 이상적 이득은 항상 1+Vout에 가까운 저항접지에 가까운 저항 형태가 되며, 유한 이득 A_0 조건이 붙으면 이상적 이득을 A_{ideal}이라 할 때 실제 이득은 $\frac{A_{ideal}}{1+A_{ideal}/A_0}$이라는 공식을 그대로 적용하면 빠르게 답을 찾을 수 있다.

NoteBase

암기 포인트

비반전 증폭기의 이상적 이득은 $1 + R_1/R_2$(R_1=Vout측 저항, R_2=접지측 저항)이고, 유한 개루프이득 A_0를 고려한 실제 이득은 $\frac{1 + R_1/R_2}{1 + (1 + R_1/R_2)/A_0}$로, $A_0 \to \infty$면 이상적 값으로 수렴한다는 점을 기억해 둔다.

NoteBase