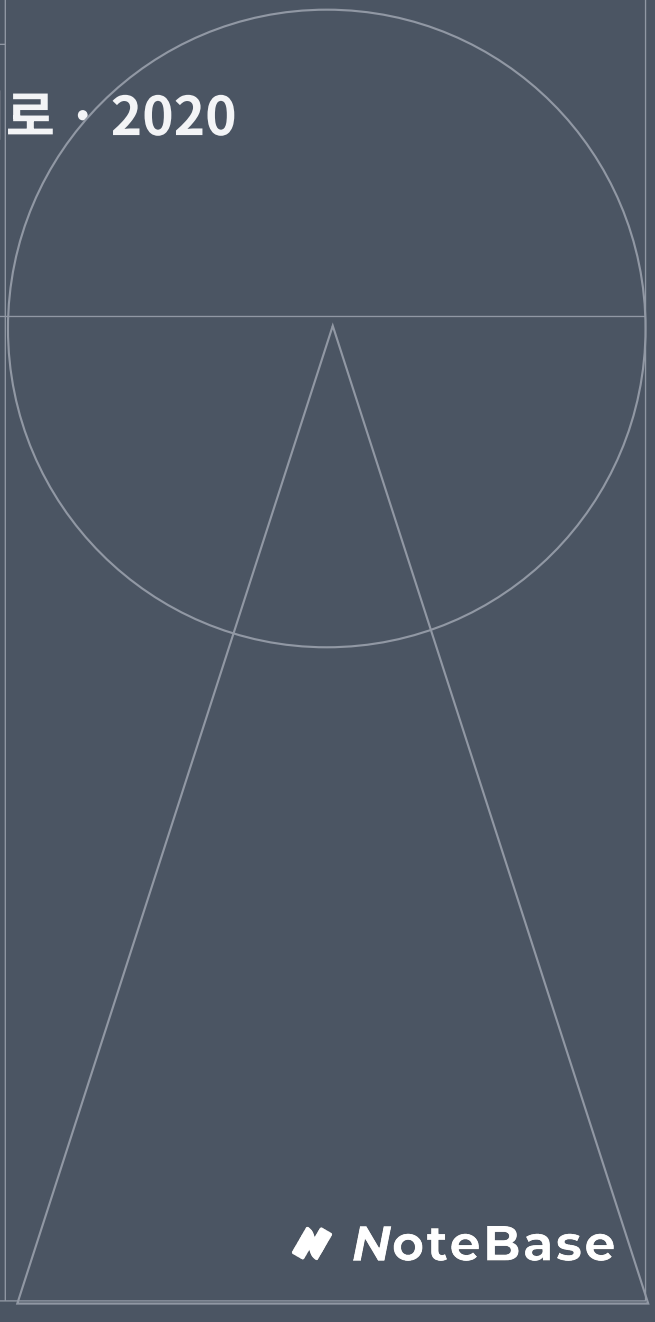
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2020



NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2020

공무원/국가직/7급 · 전자회로 · 2020

문 1. 정현파 발진기에 대한 설명으로 옳지 않은 것은?

① 발진기 동작에는 입력신호가 필요치 않다.

② 폐루프이득(closed loop gain)이 정상상태에서 1이어야 한다.

③ 폐루프이득(closed loop gain)이 시동상태에서 1보다 커야 한다.

④ 폐루프(closed loop)의 위상변이가 180 °이어야 한다.

정답 4번

출제 포인트

이 문제는 정현파 발진기의 발진 조건, 즉 기동 시 루프이득과 정상상태 루프이득, 총 위상조건을 구별하는지를 묻는 문제이다.

핵심 개념

정현파 발진기는 외부 입력신호 없이 직류 전원과 양의 되먹임을 이용해 정현파를 스스로 만들어 내는 회로이다. 발진 시작 조건은 루프이득의 크기 $A\beta$가 1보다 커야 한다는 점이고, 정상상태 조건은 루프이득의 크기 $A\beta$가 1이 되어 진폭이 일정해진다는 점이다.
위상 조건은 루프를 한 바퀴 돈 총 위상변이가 0 ° 또는 360 °의 정수배가 되어 양의 되먹임이 성립해야 한다는 점이다.

선지별 해설

① O: 발진기는 외부에서 따로 정현파 입력을 넣지 않아도 회로 내부의 양의 되먹임과 직류 전원만으로 출력을 만들어 내므로 옳다.
② O: 정상상태에서는 출력 진폭이 더 커지지도 작아지지도 않아야 하므로 루프이득의 크기 $A\beta$가 1이 되어야 한다.
③ O: 시동상태에서는 작은 잡음이나 초기 교란이 증폭되어 발진이 자라나야 하므로 루프이득의 크기 $A\beta$가 1보다 커야 한다.
④ X: 틀린 부분은 '폐루프의 위상변이가 180 °이어야 한다'는 표현이다. 실제로는 루프 전체의 총 위상변이가 0 ° 또는 360 °의 정수배여야 한다. 180 °는 증폭기나 되먹임망의 일부에서 나타날 수 있는 위상반전일 뿐 전체 발진 조건이 아니다.

NoteBase

오답 포인트

증폭기가 반전형이면 180° 위상반전이 생긴다는 사실만 기억하고 전체 루프 조건도 180°라고 착각하기 쉽다. 이 문제는 부분 위상과 총 루프 위상을 구분하는지를 노린 함정이다.

다시 나오면 이렇게 판단

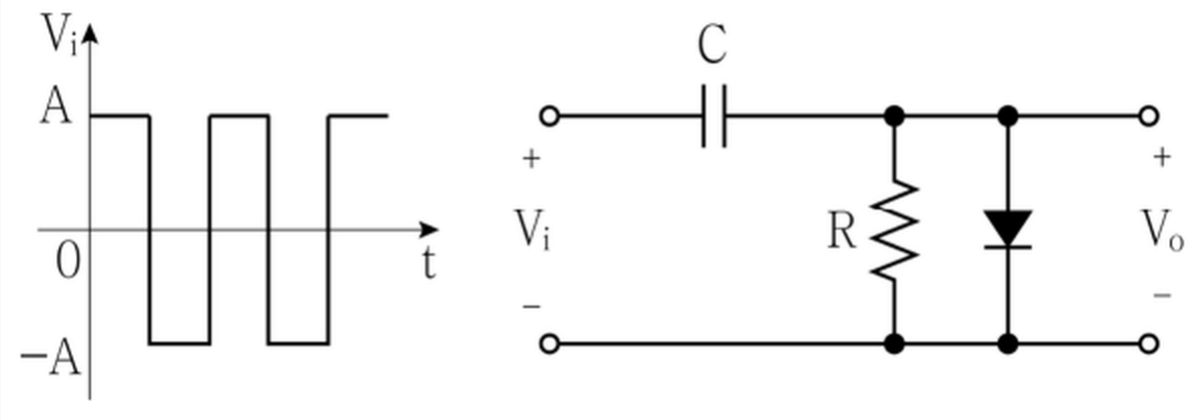
발진기 문제는 먼저 입력신호 유무를 보고, 다음으로 시동 시 $A\beta > 1$, 정상상태에서 $A\beta = 1$, 총 위상조건은 0° 또는 360°라는 세 가지를 대입해 판단하면 된다.

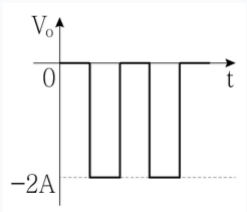
암기 포인트

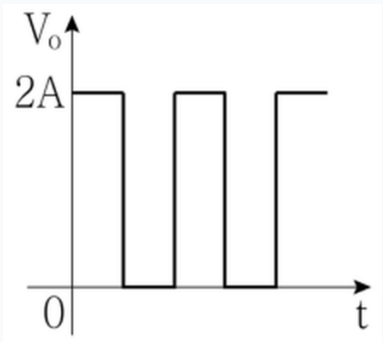
발진기는 무입력 자려진동, 시동은 $A\beta > 1$, 정상은 $A\beta = 1$, 위상은 총 360°이다.

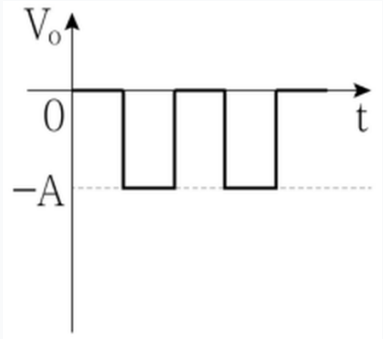
NoteBase

문 2. 다음 회로에 V_i 신호가 인가되었을 때, 출력 V_o의 파형으로 옳은 것은? (단, 다이오드의 순방향 전압강하는 0[V]이고, RC 시정수는 매우 크다)

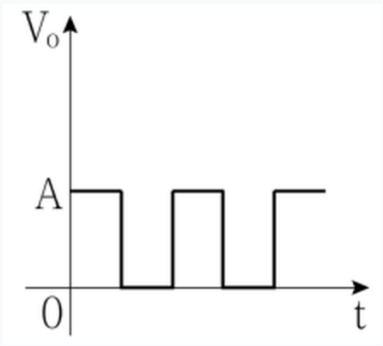


① 

② 

③ 

NoteBase

④ 

정답 1번

출제 포인트

이 문제는 커패시터-다이오드 클램프 회로에서 다이오드가 도통하는 순간 출력이 0V에 고정되고, RC 시정수가 매우 커서 커패시터 전압이 거의 유지된다는 점으로 출력 파형의 기준 레벨 이동을 판단하는 문제이다.

조건 정리

입력이 $+A$일 때 다이오드가 도통하여 출력은 0V에 고정된다. 이때 커패시터에는 $V_C = V_i - V_o = A$가 충전된다. RC 시정수가 매우 크므로 이후 한 주기 동안 V_C는 거의 A로 유지된다.

선지별 해설

1번 O: 양의 반주기에는 다이오드가 켜져 $V_o = 0$이 된다. 그 상태에서 커패시터가 A만큼 충전되고, 입력이 $-A$로 바뀌면 $V_o = V_i - V_C = -A - A = -2A$가 되어 0V와 $-2A$ 사이의 파형이 나온다.
2번 X: 이 파형은 출력이 0V와 $2A$ 사이에서 움직인다는 판단이다. 이 회로는 양의 피크를 위로 올리는 것이 아니라 0V에 고정한다. 틀린 표현은 "출력이 $2A$까지 올라간다"라는 판단이고, 올바르게는 출력이 0V에서 $-2A$까지 내려간다.
3번 X: 이 파형은 출력 진폭이 입력과 같은 A로 유지된다는 판단이다. 그러나 커패시터에 저장된 A만큼 직류 레벨이 내려가므로 음의 피크는 $-A$가 아니라 $-2A$가 된다. 틀린 표현은 "최저값이 $-A$이다"라는 판단이고, 올바르게는 최저값이 $-2A$이다.
4번 X: 이 파형은 출력이 0V와 A 사이의 양의 파형으로 남는다는 판단이다. 다이오드가 양의 구간을 0V에 클램프하므로 출력의 높은 레벨은 A가 아니라 0V이다. 틀린 표현은 "출력이 양의 영역에만 존재한다"라는 판단이고, 올바르게는 출력이 0V와 $-2A$ 사이에 존재한다.

오답 포인트

다이오드 방향을 반대로 읽거나, RC 시정수가 매우 크다는 조건을 놓치면 커패시터 전압이 유지된다는 핵심을 놓치게 된다. 그러면 단순한 반파 정류처럼 보아 3번이나 4번으로 오인하기 쉽다.

NoteBase

다시 나오면 이렇게 판단

먼저 다이오드가 어느 극성에서 도통하는지 보고 그 순간 출력이 몇 볼트에 고정되는지를 잡는다. 다음으로 그 순간 충전된 커패시터 전압이 다음 반주기에도 유지된다고 두고 $V_o = V_i - V_C$로 나머지 레벨을 계산하면 된다.

암기 포인트

클램프 회로는 파형의 크기보다 기준 레벨을 옮기는 회로이다. 이 회로는 양의 피크를 0V에 붙여서 전체 파형을 아래로 A만큼 이동시킨다.

NoteBase

문 3. 20[kHz]의 음성신호를 8비트 양자화 및 부호화를 거쳐 PCM (pulse code modulation)으로 전송하고자 할 때, 이 신호의 전송 속도[kbps]는?

① 80

② 160

③ 240

④ 320

정답 4번

출제 포인트

이 문제는 PCM 전송속도를 구할 때 표본화주파수와 1표본당 비트 수를 곱하는 원리를 묻는 문제이다.

조건 정리

주어진 값: 음성신호 주파수는 $20kHz$이고, 양자화 및 부호화 비트 수는 8비트이다.
구해야 할 값: PCM 전송속도이다.
주의할 조건: 표본화주파수는 나이퀴스트 표본화 정리에 따라 최고주파수의 2배인 $40kHz$가 된다.

사용할 공식

PCM 전송속도는 $R_b = f_s \times n$이다.
이 공식을 쓰는 이유: PCM은 표본당 일정 비트 수로 부호화하므로, 1초당 표본 수 f_s에 표본당 비트 수 n을 곱하면 초당 전송 비트 수가 된다.

계산 과정

1. 최고 음성 주파수가 $20kHz$이므로 표본화주파수는 $f_s = 2 \times 20kHz = 40kHz$이다.
2. 표본 하나를 8비트로 부호화하므로 $n = 8$이다.
3. 따라서 전송속도는 $R_b = 40kHz \times 8 = 320kbps$이다.

선지별 해설

① X: 계산 결과는 $80kbps$가 아니라 $320kbps$이다. 80은 표본화주파수와 비트 수를 모두 반영하지 못한 값이므로 틀리다.
② X: 계산 결과는 $160kbps$가 아니라 $320kbps$이다. 160은 $20kHz \times 8$처럼 나이퀴스트 2배 표본화를 빠뜨렸을 때 나오는 값이다.
③ X: 계산 결과는 $240kbps$가 아니라 $320kbps$이다. 240은 문제의 8비트 조건과 맞지 않는 오답 값이므로 틀리다.
④ O: 표본화주파수 $40kHz$에 8비트를 곱하면 $320kbps$가 되므로 옳다.

NoteBase

오답 포인트

가장 흔한 함정은 음성신호의 최대주파수 $20kHz$를 그대로 표본화주파수로 쓰는 실수이다. PCM 전송속도는 반드시 나이퀴스트 조건으로 $2f_{max}$를 만든 뒤 비트 수를 곱해야 한다.

다시 나오면 이렇게 판단

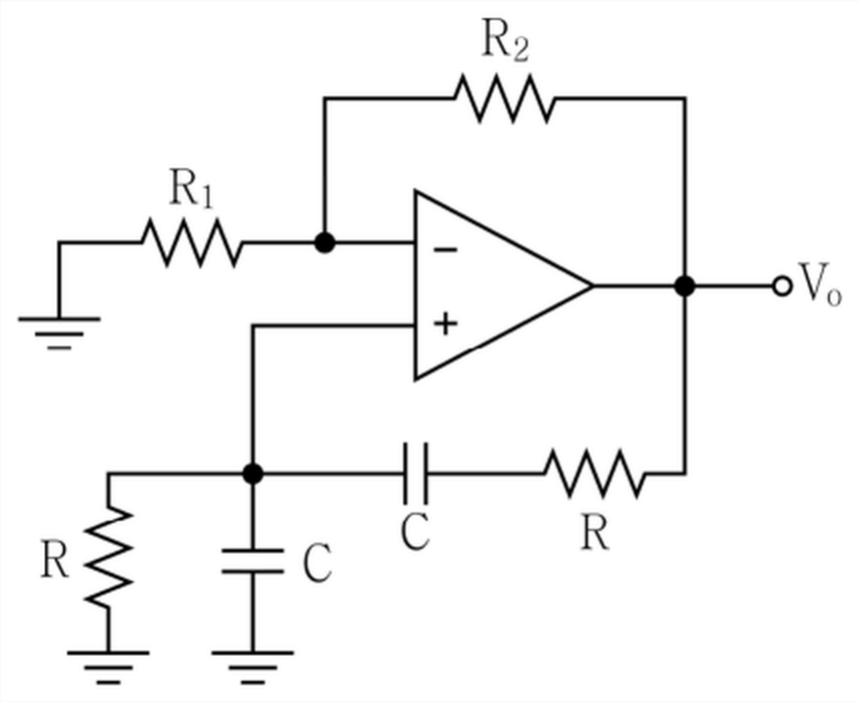
PCM 속도 문제는 먼저 최고주파수에서 표본화주파수 $2f_{max}$를 구하고, 그다음 표본당 비트 수를 곱해 $R_b = f_s \times n$으로 판단한다.

암기 포인트

PCM 전송속도는 나이퀴스트 2배 표본화 후 비트 수를 곱한 값이라는 점을 기억하면 된다.

NoteBase

문 4. 다음 원 브리지 발진기에 대한 설명으로 옳은 것은? (단, 연산증폭기는 이상적이다)



① 발진 주파수는 R_2와 관련이 있다.

② 발진 주파수는 R_1과 관련이 있다.

③ 발진 주파수는 R과 관련이 있다.

④ R_2의 값은 R_1의 2배보다 작아야 한다.

정답 3번

출제 포인트

이 문제는 연산증폭기형 원 브리지 발진기에서 발진 주파수식 $f_0 = 1/(2\pi RC)$과 발진조건 $1 + R_2/R_1 = 3$을 회로도에서 읽어내는 문제이다.

NoteBase

선지별 해설

① X
- 발진 주파수는 원 브리지의 R, C로 정해지며 R_2는 주파수를 정하지 않는다.
- 틀린 표현은 "R2와 관련이 있다"이고, 올바르게는 "발진 주파수는 R과 C에 의해 정해진다"이다.

② X
- R_1은 음귀환 이득을 정하는 저항으로 발진 주파수와 직접 관련이 없다.
- 틀린 표현은 "R1과 관련이 있다"이고, 올바르게는 "R_1은 발진조건의 이득을 맞추는 데 쓰이고 발진 주파수는 R, C가 정한다"이다.

③ O
- 원 브리지 발진기의 발진 주파수는 브리지망의 두 저항 R과 두 커패시터 C로 결정되므로 $f_0 = 1/(2\pi RC)$이다. 따라서 발진 주파수는 R과 관련이 있다.

④ X
- 이상적인 원 브리지 발진기에서는 공진점에서 브리지 감쇠가 1/3이므로 증폭기 이득이 3이어야 한다. 비반전 증폭기 이득은 $1 + R_2/R_1$이므로 $1 + R_2/R_1 = 3$, 곧 $R_2 = 2R_1$이다.
- 틀린 표현은 "R2의 값은 R1의 2배보다 작아야 한다"이고, 올바르게는 "지속 발진의 경계조건은 $R_2 = 2R_1$이다"이다.

오답 포인트

주파수 결정망과 이득 결정망을 섞으면 틀리기 쉽다. R, C는 발진 주파수와 위상조건을 만들고, R_1, R_2는 증폭기 이득만 정한다는 구분이 핵심이다.

다시 나오면 이렇게 판단

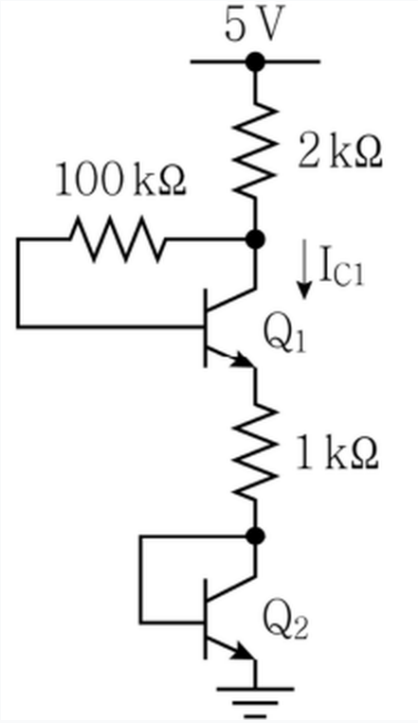
원 브리지 발진기가 보이면 먼저 양귀환 쪽의 직렬 RC와 병렬 RC를 찾아 $f_0 = 1/(2\pi RC)$를 확인하고, 다음으로 음귀환 저항비가 $1 + R_2/R_1 = 3$을 만족하는지로 판단한다.

암기 포인트

원 브리지 발진기에서는 주파수는 RC, 이득조건은 3, 따라서 $R_2 = 2R_1$이다.

NoteBase

문 5. 다음 회로에서 트랜지스터 Q_1의 컬렉터 전류 I_{C1}[mA]로 가장 가까운 것은? (단, 모든 트랜지스터에서 $\beta = 100$이고, $V_{BE} = 0.7[V]$이다)



① 0.5

② 0.7

③ 0.9

④ 1.1

정답 3번

출제 포인트

이 문제는 다이오드 접속 트랜지스터가 만드는 기준 전압과 $I_C = \beta I_B$, $I_E = (\beta + 1)I_B$ 관계를 함께 써서 Q_1의 컬렉터 전류를 구하는 문제이다.

NoteBase

조건 정리

Q2는 베이스와 컬렉터가 단락된 다이오드 접속이고 이미터가 접지에 연결되어 있으므로, 그 상단 노드(=1kΩ 저항의 하단)는 $V_{BE} = 0.7V$로 고정된다.
Q_1의 이미터 전류를 I_{E1}(단위 mA)라 두면, 1kΩ 저항 양단에서 $V_{E1} = 0.7 + 1 \cdot I_{E1} = 0.7 + I_{E1}$이고, 여기에 $V_{BE} = 0.7V$를 더해 $V_{B1} = V_{E1} + 0.7 = 1.4 + I_{E1}$이다.
컬렉터 노드에서는 KCL에 의해 2kΩ 저항 전류가 $I_{C1} + I_{B1} = I_{E1}$와 정확히 같으므로, $V_{C1} = 5 - (2k\Omega) \times I_{E1}$이고 $k\Omega \times mA = V$이므로 계수는 2가 되어 $V_{C1} = 5 - 2I_{E1}$이다.
모든 트랜지스터에서 $\beta = 100$이므로 $I_{C1} = \beta I_{B1}$, $I_{E1} = (\beta + 1)I_{B1}$에서 $I_{C1} = \frac{100}{101} I_{E1}$, $I_{B1} = \frac{I_{E1}}{101}$이다.

사용할 공식

$I_C = \beta I_B$, $I_E = (\beta + 1)I_B$, $V = IR$를 사용한다.
이 공식을 쓰는 이유는 컬렉터 노드의 $2k\Omega$ 저항, 베이스로 가는 $100k\Omega$ 저항, 이미터의 $1k\Omega$ 저항이 모두 같은 전류 관계식으로 연결되기 때문이다.

계산 과정

먼저 Q2의 이미터가 접지이고 다이오드 접속이므로 $1k\Omega$ 저항 하단 노드의 전압은 $V_{BE} = 0.7V$이다.
I_{E1}를 mA 단위로 두면 $V_{E1} = 0.7 + I_{E1}$, $V_{B1} = 1.4 + I_{E1}$이고, 컬렉터 노드 KCL에서 2kΩ 전류가 $I_{C1} + I_{B1} = I_{E1}$이므로 $V_{C1} = 5 - 2I_{E1}$이다.
$100k\Omega$ 저항은 컬렉터 노드와 베이스 노드를 잇는 피드백 저항이고, 베이스 노드에 연결된 것은 이 저항과 Q_1의 베이스뿐이므로 이 저항 전류가 곧 Q_1의 베이스 전류이다. 즉
$V_{C1} - V_{B1} = 100k\Omega \cdot I_{B1} = 100k\Omega \cdot \frac{I_{E1}}{101}$
이다.
이를 전압식에 대입하면
$(5 - 2I_{E1}) - (1.4 + I_{E1}) = \frac{100}{101} I_{E1}$
$3.6 = \left(3 + \frac{100}{101}\right) I_{E1}$
이므로 $I_{E1} \approx 0.902mA$이다.
따라서
$I_{C1} = \frac{100}{101} I_{E1} \approx 0.893mA$
이어서 가장 가까운 값은 $0.9mA$이다.

NoteBase

선지 판단

1번: X. $0.5mA$는 Q2가 만든 $0.7V$ 기준과 Q1의 베이스 전류를 함께 반영하지 못한 값이다. 틀린 값 $0.5mA$의 올바른 보정값은 $I_{C1} \approx 0.9mA$이다.
2번: X. $0.7mA$는 $100k\Omega$ 경로의 베이스 전류 영향을 약하게 보거나 I_E와 I_C 관계를 대충 처리할 때 나올 수 있는 값이다. 틀린 값 $0.7mA$의 올바른 보정값은 $I_{C1} \approx 0.9mA$이다.
3번: O. 계산 결과 $I_{C1} \approx 0.893mA$이므로 보기 중 가장 가까운 값은 $0.9mA$이다.
4번: X. $1.1mA$는 컬렉터 전류를 과대평가한 값이다. $2k\Omega$ 저항 전류 전체가 그대로 I_{C1}가 되는 것이 아니고, 베이스 전류도 함께 고려해야 한다. 틀린 값 $1.1mA$의 올바른 보정값은 $I_{C1} \approx 0.9mA$이다.

오답 포인트

Q2를 그냥 접지된 트랜지스터로 보고 지나가면 $1k\Omega$ 저항 하단의 $0.7V$ 기준점을 놓치게 된다. 또 $100k\Omega$ 저항 전류는 베이스 전류인데 이를 컬렉터 전류나 무시 가능한 전류로 처리하면 $0.7mA$나 $1.1mA$ 같은 오답으로 흐르기 쉽다.

다시 나오면 이렇게 판단

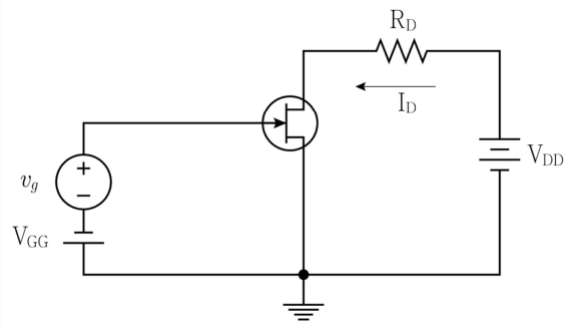
다이오드 접속 BJT가 보이면 먼저 고정되는 기준 전압을 잡고, 그다음 V_{BE}를 더해 베이스와 이미터 전압을 정리한다. 이후 $I_E = (\beta + 1)I_B$, $I_C = \beta I_B$와 KCL을 연결해 마지막에 I_C로 변환하면 계산이 안정된다.

암기 포인트

다이오드 접속 트랜지스터는 기준 전압을 만든다. BJT 계산은 $I_E = (\beta + 1)I_B$와 $I_C = \beta I_B$를 끝까지 같이 써야 오차가 줄어든다.

NoteBase

문 6. 다음 JFET 회로에서 트랜지스터의 특성은 $I_{DSS} = 10[mA]$, $V_{GS(off)} = -8[V]$이며, 각 소자값은 $V_{GG} = 2[V]$, $V_{DD} = 20[V]$, $R_D = 2[k\Omega]$이다. 직류(DC) 동작점 I_{DQ} [mA], V_{DSQ} [V]는?



① I_{DQ} [mA]: 7.5, V_{DSQ} [V]: 5

② I_{DQ} [mA]: 5.625, V_{DSQ} [V]: 8.75

③ I_{DQ} [mA]: 7.5, V_{DSQ} [V]: 8.75

④ I_{DQ} [mA]: 5.625, V_{DSQ} [V]: 5

정답 2번

출제 포인트

이 문제는 JFET의 Shockley 식으로 I_{DQ}를 구하고, 이어서 드레인 저항 전압강하로 V_{DSQ}를 계산하는 문제이다.

조건 정리

주어진 값은 $I_{DSS} = 10mA$, $V_{GS(off)} = -8V$, $V_{DD} = 20V$, $R_D = 2k\Omega$이다.
소스는 접지이므로 $V_S = 0V$이다.
V_{GG}의 극성 때문에 게이트는 $-2V$가 되어 $V_{GS} = V_G - V_S = -2V$이다.
구해야 할 값은 I_{DQ}와 V_{DSQ}이다.

사용할 공식

JFET의 직류 드레인 전류는 $I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)^2$ 이다.
드레인-소스 전압은 $V_{DS} = V_{DD} - I_D R_D$ 이다.
이 회로는 고정 바이어스 JFET 회로이고, 계산된 V_{DS}가 $V_{GS} - V_P = 6V$보다 크므로 Shockley 식을 적용하는 동작영역으로 볼 수 있다.

NoteBase

계산 과정

1. $V_{GS} = -2V$를 대입하면 $I_D = 10\left(1 - \frac{-2}{-8}\right)^2 = 10(1 - 0.25)^2 = 10 \times 0.75^2 = 5.625mA$ 이다.
2. 드레인 저항 전압강하는 $I_D R_D = 5.625mA \times 2k\Omega = 11.25V$ 이다.
3. 따라서 $V_{DS} = 20 - 11.25 = 8.75V$ 이다.

선지별 해설

① X: $I_{DQ} = 7.5mA$, $V_{DSQ} = 5V$는 $\left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)$를 제곱하지 않고 $I_D = 10 \times 0.75 = 7.5mA$로 계산한 값이다. 틀린 표현은 전류를 선형으로 계산한 부분이며, 올바르게는 $I_{DQ} = 5.625mA$, $V_{DSQ} = 8.75V$이다.
② O: Shockley 식에 $V_{GS} = -2V$를 넣으면 $I_{DQ} = 5.625mA$가 되고, $V_{DSQ} = 20 - 5.625mA \times 2k\Omega = 8.75V$가 되어 맞는 선지이다.
③ X: $V_{DSQ} = 8.75V$는 맞지만 $I_{DQ} = 7.5mA$가 틀려 두 값의 조합이 일치하지 않는다. 틀린 표현은 $I_{DQ} = 7.5mA$이며, 올바르게는 $I_{DQ} = 5.625mA$이다.
④ X: $I_{DQ} = 5.625mA$까지는 맞지만 $V_{DSQ} = 5V$는 저항 전압강하 계산을 잘못한 값이다. 틀린 표현은 $V_{DSQ} = 5V$이며, 올바르게는 $V_{DSQ} = 20 - 11.25 = 8.75V$이다.

오답 포인트

가장 흔한 함정은 V_{GS}의 부호와 Shockley 식의 제곱을 놓치는 점이다. ①은 제곱을 빼먹은 전형적인 오답이고, ④는 전류는 맞게 구하고도 $I_D R_D$ 산술을 틀린 경우이다.

다시 나오면 이렇게 판단

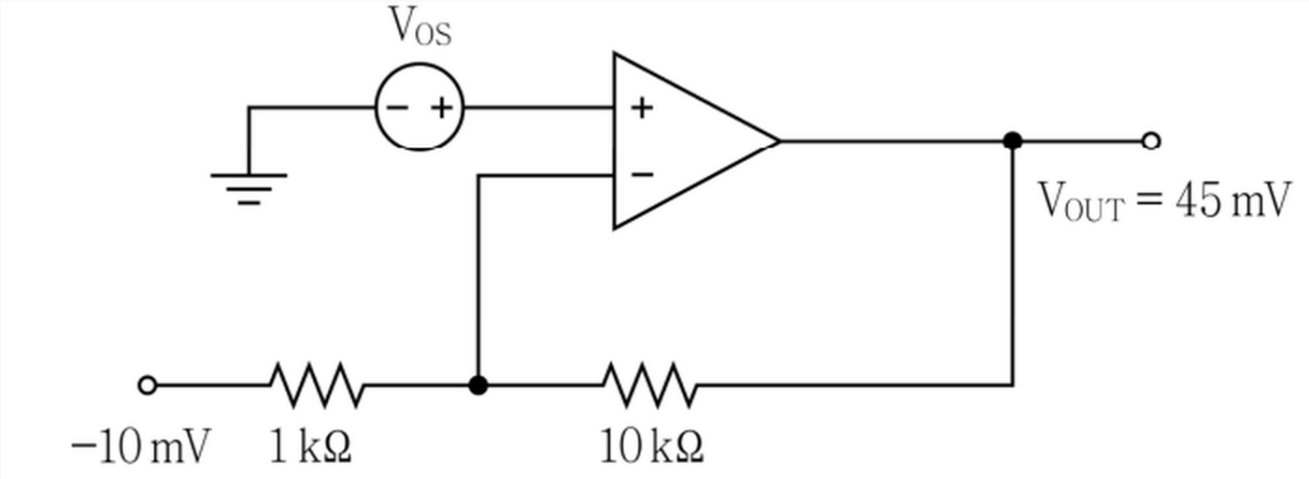
JFET 바이어스 문제는 먼저 전원 극성으로 V_{GS} 부호를 정하고, 다음에 Shockley 식으로 I_D를 구한 뒤, 마지막에 $V_{DD} - I_D R_D$로 V_{DS}를 계산하면 된다.

암기 포인트

고정 바이어스 JFET는 V_{GS} 부호 확인, Shockley 식의 제곱 유지, $V_{DS} = V_{DD} - I_D R_D$ 순서로 정리된다.

NoteBase

문 7. 다음 회로에서 증폭기의 입력 옵셋전압 V_{OS}[mV]는? (단, 연산증폭기는 이상적이다)



① -5

② -5.5

③ -10

④ -11

정답 1번

출제 포인트

이 문제는 이상적 연산증폭기의 가상단락 조건과 입력전류 0 조건을 이용해 입력 옵셋전압 V_{OS}를 구하는 문제이다.

조건 정리

주어진 값: 입력 전압은 $-10mV$, 입력 저항은 $1k\Omega$, 피드백 저항은 $10k\Omega$, 출력 전압은 $45mV$이다.
구해야 할 값: 입력 옵셋전압 V_{OS}이다.
주의할 조건: 연산증폭기는 이상적이므로 입력전류는 0이고, 음귀환이 걸려 있으므로 $V_+ = V_-$이다.

사용할 공식

반전 입력 노드에 KCL을 적용하면
$\frac{V_- - (-10mV)}{1k\Omega} + \frac{V_- - 45mV}{10k\Omega} = 0$
이다.
이 공식을 쓰는 이유는 이상적 연산증폭기에서 입력전류가 0이고, 음귀환으로 $V_- = V_+ = V_{OS}$가 성립하기 때문이다.

NoteBase

계산 과정

1. 이상적 연산증폭기이므로 $V_+ = V_- = V_{OS}$이다.
2. 위 KCL 식에 $10k\Omega$를 곱하면
$10(V_- + 10mV) + (V_- - 45mV) = 0$
이다.
3. 정리하면
$11V_- + 55mV = 0$
이므로 $V_- = -5mV$이다.
4. 따라서 $V_{OS} = V_+ = V_- = -5mV$이다.

선지별 해설

① O: 계산 결과 $V_{OS} = -5mV$이므로 옳다.
② X: $V_{OS} = -5.5mV$는 노드 방정식을 정리하면서 계수 합을 잘못 처리한 값이다. 올바르게는 $V_{OS} = -5mV$이다.
③ X: $V_{OS} = -10mV$는 반전 입력 노드 전압이 입력 전압과 그대로 같다고 잘못 본 값이다. 피드백 저항 $10k\Omega$의 영향이 있으므로 올바르게는 $V_{OS} = -5mV$이다.
④ X: $V_{OS} = -11mV$는 출력 $45mV$의 피드백 효과와 저항비를 잘못 반영한 값이다. 올바르게는 $V_{OS} = -5mV$이다.

오답 포인트

비반전 입력의 오프셋 전압을 독립 전원처럼 보고 바로 수치를 읽으면 틀리기 쉽다. 이 문제는 먼저 이상적 연산증폭기 조건 $V_+ = V_-$를 세운 뒤, 반전 입력 노드에 KCL을 적용해야 한다.

다시 나오면 이렇게 판단

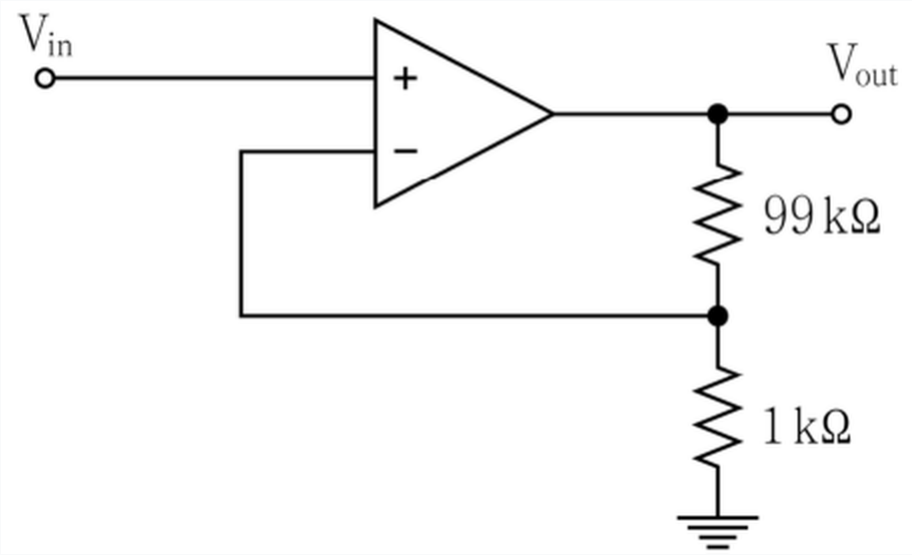
연산증폭기 오프셋 문제는 먼저 음귀환 여부를 확인하고, 이상적이면 $V_+ = V_-$, 입력전류 0을 적용해 입력 노드 전압을 구한 다음 그 전압을 V_{OS}로 읽는다.

암기 포인트

이상적 연산증폭기와 음귀환이 동시에 주어지면 $V_+ = V_-$, 입력전류는 0이다.

NoteBase

문 8. 연산증폭기의 단위이득 주파수 f_T가 10 [MHz]인 다음 증폭기 회로에서 대역폭(bandwidth) [MHz]은? (단, 연산증폭기의 주파수 특성은 차단주파수 이상에서 20 [dB/decade]로 감소한다)



① 0.01

② 0.1

③ 1.0

④ 10

정답 2번

출제 포인트

이 문제는 비반전 증폭기의 폐루프 이득을 구한 뒤 연산증폭기의 이득대역폭 곱 $A_v \times BW = f_T$를 적용해 대역폭을 계산하는 문제이다.

조건 정리

주어진 값: 단위이득 주파수는 $f_T = 10MHz$이다. 피드백 저항은 $R_f = 99k\Omega$, 접지 저항은 $R_1 = 1k\Omega$이다.
구해야 할 값: 회로의 대역폭 BW이다.
주의할 조건: 입력이 +단자에 들어가고 −단자가 저항 분배기로 되먹임되므로 비반전 증폭기이다.

사용할 공식

비반전 증폭기의 전압이득은 $A_v = 1 + \frac{R_f}{R_1}$이다. 단일 지배극 연산증폭기에서는 $A_v \times BW = f_T$이므로 $BW = \frac{f_T}{A_v}$이다.
이 공식을 쓰는 이유: 문제에서 차단주파수 이후 $20dB/decade$ 감소를 제시했으므로 1차 저역통과 형태의 이득대역폭 곱 관계를 그대로 적용할 수 있기 때문이다.

NoteBase

계산 과정

1. 폐루프 이득을 구하면 $A_V = 1 + \frac{99k\Omega}{1k\Omega} = 1 + 99 = 100$이다.
2. 이득대역폭 곱을 적용하면 $BW = \frac{f_T}{A_V} = \frac{10MHz}{100}$이다.
3. 따라서 $BW = 0.1MHz$이다.

선지 판단

1번 X: 계산 결과 대역폭은 $0.01MHz$가 아니라 $0.1MHz$이다. $0.01MHz$는 폐루프 이득을 1000으로 잘못 잡았을 때 나오는 값이다. 틀린 표현은 "대역폭이 $0.01MHz$이다"이고, 올바르게는 "대역폭이 $0.1MHz$이다"이다.
2번 O: 비반전 증폭기의 이득은 100이고, $10MHz \div 100 = 0.1MHz$이므로 맞는 선지이다.
3번 X: 계산 결과 대역폭은 $1.0MHz$가 아니다. 이 값은 폐루프 이득을 10으로 잘못 계산했을 때의 오답이다. 틀린 표현은 "대역폭이 $1.0MHz$이다"이고, 올바르게는 "대역폭이 $0.1MHz$이다"이다.
4번 X: $10MHz$는 연산증폭기의 단위이득 주파수이지 이 회로의 폐루프 대역폭이 아니다. 증폭기의 폐루프 이득이 100이므로 대역폭은 그만큼 줄어든다. 틀린 표현은 "대역폭이 $10MHz$이다"이고, 올바르게는 "단위이득일 때만 대역폭이 $10MHz$이고 이 회로의 대역폭은 $0.1MHz$이다"이다.

오답 포인트

가장 흔한 함정은 $99k\Omega$와 $1k\Omega$를 보고 이득을 바로 99로 끝내거나, 단위이득 주파수 f_T를 회로 대역폭과 같은 값으로 착각하는 점이다. 비반전 증폭기는 $1 + \frac{R_f}{R_1}$의 앞의 1을 반드시 포함해야 한다.

다시 나오면 이렇게 판단

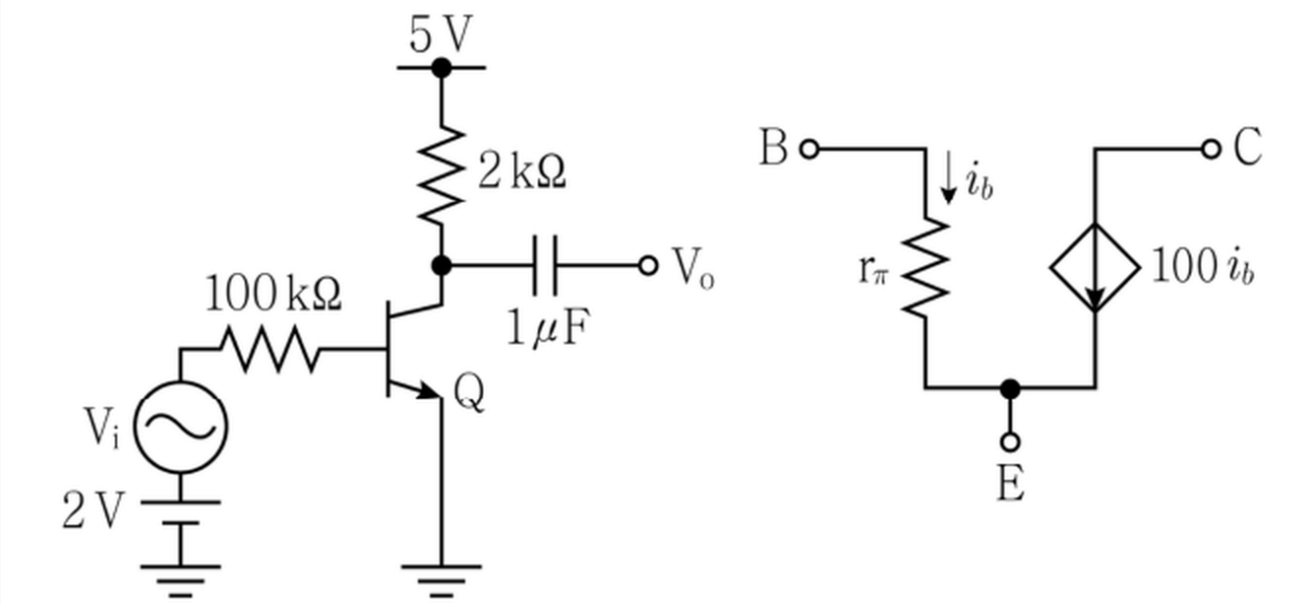
연산증폭기 대역폭 문제는 먼저 회로가 반전형인지 비반전형인지 구분하고, 다음에 폐루프 이득을 계산한 뒤, 마지막에 $BW = \frac{f_T}{A_V}$를 적용하는 순서로 판단한다.

암기 포인트

비반전 증폭기는 $A_V = 1 + \frac{R_f}{R_1}$, 단일 지배극 연산증폭기는 $A_V \times BW = f_T$이다.

NoteBase

문 9. 다음 증폭회로의 소신호 전압증폭도 $\frac{V_o}{V_i}$는? (단, BJT Q의 $V_{BE} = 0.7[V]$, $\beta = 100$, $V_T = 26[mV]$, $I_{CQ} = 1.3[mA]$, $r_\pi = 2[k\Omega]$이며, 소신호 등가회로는 그림과 같다.)



① -2.4

② -1.96

③ -2.6

④ -2.2

정답 2번

출제 포인트

이 문제는 입력 직렬저항 $100k\Omega$와 r_π에 의한 분압을 반영하여 공통 이미터 증폭기의 소신호 전압증폭도 V_o/V_i를 구하는 문제이다.

조건 정리

주어진 값은 $\beta = 100$, $r_\pi = 2k\Omega$, $R_C = 2k\Omega$이다.
소신호 해석에서는 $5V$ 전원은 교류 접지로 본다.
구해야 할 값은 전체 입력 V_i에 대한 출력 V_o의 비 V_o/V_i이다.

사용할 공식

$v_{be} = v_i \cdot \frac{r_\pi}{100k\Omega + r_\pi}$, $i_b = \frac{v_{be}}{r_\pi}$, $v_o = -\beta i_b R_C$를 사용한다.
이 회로는 이미터가 접지된 공통 이미터 구조이고, 입력은 $100k\Omega$를 거쳐 베이스에 들어가므로 먼저 $100k\Omega$와 r_π의 분압으로 v_{be}를 구해야 한다.

NoteBase

계산 과정

1. 베이스-이미터 전압은 $v_{be} = v_i \cdot \frac{2k\Omega}{100k\Omega + 2k\Omega} = \frac{v_i}{51}$이다.
2. 베이스 전류는 $i_b = \frac{v_{be}}{r_\pi} = \frac{v_i/51}{2k\Omega} = \frac{v_i}{102000}$이다.
3. 컬렉터 전류는 $i_c = \beta i_b = 100 \cdot \frac{v_i}{102000} = \frac{v_i}{1020}$이다.
4. 출력 전압은 $v_o = -i_c R_C = -\frac{v_i}{1020} \cdot 2k\Omega = -1.96 v_i$이다.

따라서 $\frac{V_o}{V_i} = -1.96$이다.

선지 판단

1번 X: 계산 결과는 -1.96이므로 -2.4는 맞지 않는다. 틀린 표현은 전압증폭도를 -2.4로 본 부분이고, 올바르게는 -1.96이다. $100k\Omega$와 r_π의 분압을 정확히 반영해야 한다.

2번 O: $V_o/V_i = -1.96$이므로 정답에 해당한다. 부호가 음수인 이유는 공통 이미터 증폭기라서 출력이 입력과 반전되기 때문이다.

3번 X: -2.6은 계산된 이득의 크기보다 크다. 틀린 표현은 전압증폭도를 -2.6으로 본 부분이고, 올바르게는 -1.96이다. 입력 감쇠를 빠뜨리면 실제보다 큰 크기의 이득을 고르게 된다.

4번 X: -2.2도 계산 결과와 일치하지 않는다. 틀린 표현은 전압증폭도를 -2.2로 본 부분이고, 올바르게는 -1.96이다. 전체 입력 V_i와 베이스에 실제 걸리는 v_{be}를 구분해야 한다.

오답 포인트

가장 흔한 실수는 공통 이미터의 기본 이득만 떠올리고 입력의 $100k\Omega$ 직렬저항에 의한 분압을 빼먹는 것이다. 또 출력이 컬렉터에서 나오므로 부호가 음수라는 점을 놓치면 양수나 크기가 다른 값을 고르게 된다.

다시 나오면 이렇게 판단

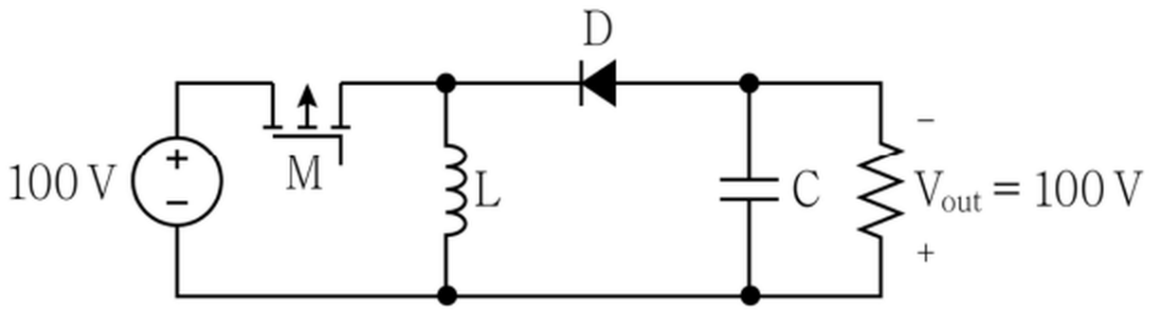
소신호 BJT 증폭기 문제는 먼저 교류 접지 여부를 정리하고, 다음에 입력 분압으로 v_{be}를 구한 뒤, $i_b \to i_c = \beta i_b \to v_o = -i_c R_C$ 순서로 계산하면 된다.

암기 포인트

이미터 접지, 입력 직렬저항 R_B, 컬렉터 저항 R_C인 공통 이미터의 전체 전압이득은 $A_v = -\frac{\beta R_C}{R_B + r_\pi}$ 꼴로 정리된다.

NoteBase

문 10. 다음 승·강압이 가능한 벅-부스트(buck-boost) 컨버터의 회로에서 스위치 M이 도통비(duty ratio) 50%로 동작할 때, 다이오드 D에 인가되는 역전압[V]은? (단, 소자들은 이상적이고 정상상태에서 동작하며, 인덕터 전류는 연속이고 출력커패시터 전압 리플은 무시한다)



① 0

② 50

③ 100

④ 200

정답 4번

출제 포인트

이 문제는 이상적인 연속전도 buck-boost 컨버터에서 출력 극성과 스위치 온 상태의 노드 전위를 이용해 다이오드의 역전압을 구하는 문제이다.

조건 정리

- 입력전압은 100V이다.
- 듀티비는 50%이므로 $D = 0.5$이다.
- 출력은 위가 -, 아래가 +로 표시되어 있으므로 출력 상단 노드는 하단 기준 $-100V$이다.
- 이상소자, 정상상태, 연속전도모드이므로 이상적인 buck-boost 관계식을 그대로 적용할 수 있다.

사용할 공식

$V_o = -\frac{D}{1-D}V_{in}$

$V_R = V_k - V_a = V_{in} + |V_o|$

이 공식을 쓰는 이유는 이 회로가 반전형 buck-boost 컨버터이기 때문이다. 스위치가 켜지면 다이오드의 왼쪽 단자(캐소드)는 입력전압 $+100V$가 되고, 오른쪽 단자(애노드)는 출력전압 $-100V$에 머물러 역바이어스가 걸린다.

NoteBase

계산 과정

1. buck-boost 출력전압을 구하면
$V_o = -\frac{0.5}{1-0.5} \times 100 = -100V$
이다.
2. 따라서 출력 상단 노드는 하단 기준 $-100V$이다.
3. 스위치 M이 도통하면 다이오드 왼쪽 단자는 입력전원에 직접 연결되어 $+100V$가 된다.
4. 이때 다이오드의 역전압은
$V_R = 100 - (-100) = 200V$
이다.

선지별 해설

① X
- 역전압은 0V가 아니다. 스위치 온 상태에서 다이오드 양단 전위가 같아지는 것이 아니라 왼쪽은 $+100V$, 오른쪽은 $-100V$가 된다. 틀린 표현은 "역전압이 없다"는 판단이고, 올바르게는 역전압은 200V이다.

② X
- 50V는 듀티비 50%를 전압에 그대로 곱한 오답값이다. 역전압은 듀티비 자체가 아니라 스위치 온 시의 양단 전위차로 구한다. 틀린 표현은 "절반 도통이므로 역전압도 절반"이라는 판단이고, 올바르게는 $+100V$와 $-100V$의 차이인 200V이다.

③ X
- 100V는 입력전압 또는 출력전압의 크기 하나만 본 값이다. 역전압은 둘 중 하나만 쓰지 않고 두 전위의 차를 써야 한다. 틀린 표현은 "100V 하나만 다이오드에 걸린다"는 판단이고, 올바르게는 입력 100V와 출력의 절대값 100V가 더해져 200V가 된다.

④ O
- 스위치가 켜지면 다이오드 캐소드는 $+100V$, 애노드는 $-100V$이므로 역전압은 $100 - (-100) = 200V$이다. 계산 결과와 일치하므로 옳다.

오답 포인트

출력 크기 $100V$만 보거나 입력 $100V$만 보는 실수가 가장 흔하다. 이 회로는 출력 극성이 반전되므로 다이오드 역전압은 두 전압의 크기가 상쇄되지 않고 더해진다는 점이 함정이다.

다시 나오면 이렇게 판단

반전형 buck-boost의 다이오드 역전압 문제는 먼저 출력 극성을 확인하고, 그다음 스위치 온 상태에서 다이오드 양단의 실제 노드 전위를 적어 전위차를 계산하는 순서로 판단한다.

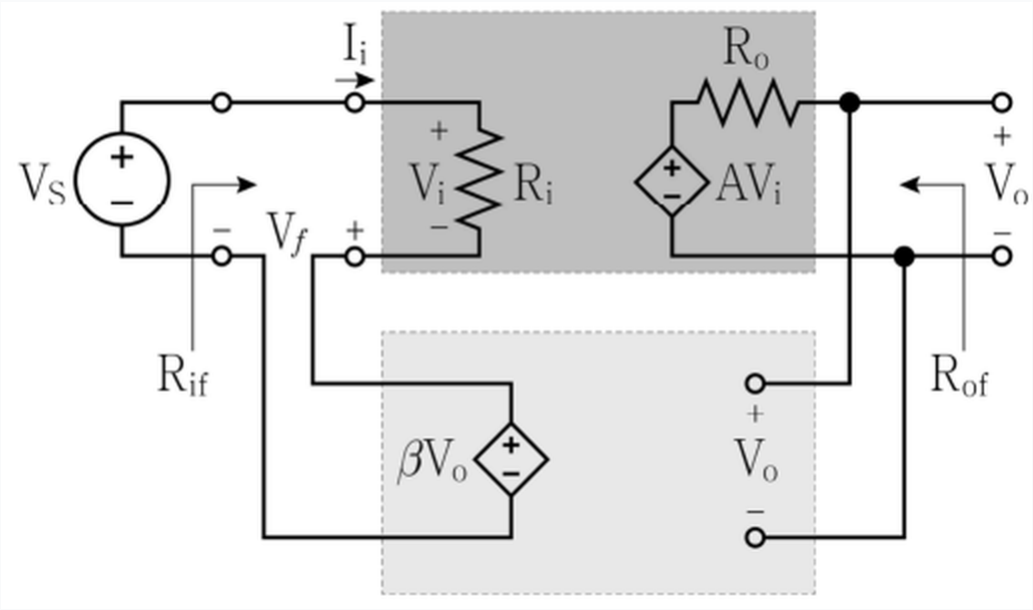
NoteBase

암기 포인트

이상적인 반전형 buck-boost에서 다이오드 역전압은 $V_{in} + |V_o|$로 정리된다.

NoteBase

문 11. 다음 이상적인 궤환(feedback) 증폭기 회로에서 입력 저항 R_{if}와 출력 저항 R_{of}는?



① R_{if}: $(1+A\beta)R_i$, R_{of}: $(1+A\beta)R_o$

② R_{if}: $(1+A\beta)R_i$, R_{of}: $\frac{R_o}{1+A\beta}$

③ R_{if}: $\frac{R_i}{1+A\beta}$, R_{of}: $(1+A\beta)R_o$

④ R_{if}: $\frac{R_i}{1+A\beta}$, R_{of}: $\frac{R_o}{1+A\beta}$

정답 2번

출제 포인트

이 문제는 회로도에서 입력단은 직렬 혼합, 출력단은 전압 병렬 샘플링 구조임을 파악하여 귀환이 입력 저항과 출력 저항에 미치는 변화를 판단하는 문제이다.

NoteBase

선지별 해설

① X
입력 쪽은 직렬 혼합이므로 $R_{if} = (1 + A\beta)R_i$가 되어 맞지만, 출력 쪽은 전압 샘플링이므로 출력 저항은 감소하여 $R_{of} = \frac{R_o}{1 + A\beta}$가 된다.
틀린 표현은 `$(1 + A\beta)R_o$`이다. 올바르게는 `$\frac{R_o}{1 + A\beta}$`이다.

② O
입력 쪽은 직렬 혼합이어서 입력 저항이 $(1 + A\beta)$배 증가하고, 출력 쪽은 전압 병렬 샘플링이어서 출력 저항이 $(1 + A\beta)$배 감소한다. 따라서 $R_{if} = (1 + A\beta)R_i$, $R_{of} = \frac{R_o}{1 + A\beta}$가 된다.

③ X
출력 저항을 `$(1 + A\beta)R_o$`로 본 점이 틀리다. 이 회로는 출력 전압을 샘플링하는 전압 귀환이므로 출력 저항은 증가가 아니라 감소한다.
틀린 표현은 `$\frac{R_i}{1 + A\beta}$`와 `$(1 + A\beta)R_o$`이다. 올바르게는 `$(1 + A\beta)R_i$`와 `$\frac{R_o}{1 + A\beta}$`이다.

④ X
출력 저항은 `$\frac{R_o}{1 + A\beta}$`로 맞지만, 입력 저항을 `$\frac{R_i}{1 + A\beta}$`로 본 점이 틀리다. 직렬 혼합 귀환에서는 입력 전류가 같은 변화를 만들기 위해 더 큰 입력 전압이 필요하므로 입력 저항이 증가한다.
틀린 표현은 `$\frac{R_i}{1 + A\beta}$`이다. 올바르게는 `$(1 + A\beta)R_i$`이다.

오답 포인트

입력과 출력에서 귀환이 직렬인지 병렬인지, 전압 샘플링인지 전류 샘플링인지를 한 번에 뒤섞어 외우면 ①과 ④처럼 한쪽만 맞추고 다른 한쪽을 반대로 고르기 쉽다. 이 문항의 함정은 `입력은 직렬 혼합이라 증가`, `출력은 전압 샘플링이라 감소`라는 두 방향을 동시에 묻는 점이다.

다시 나오면 이렇게 판단

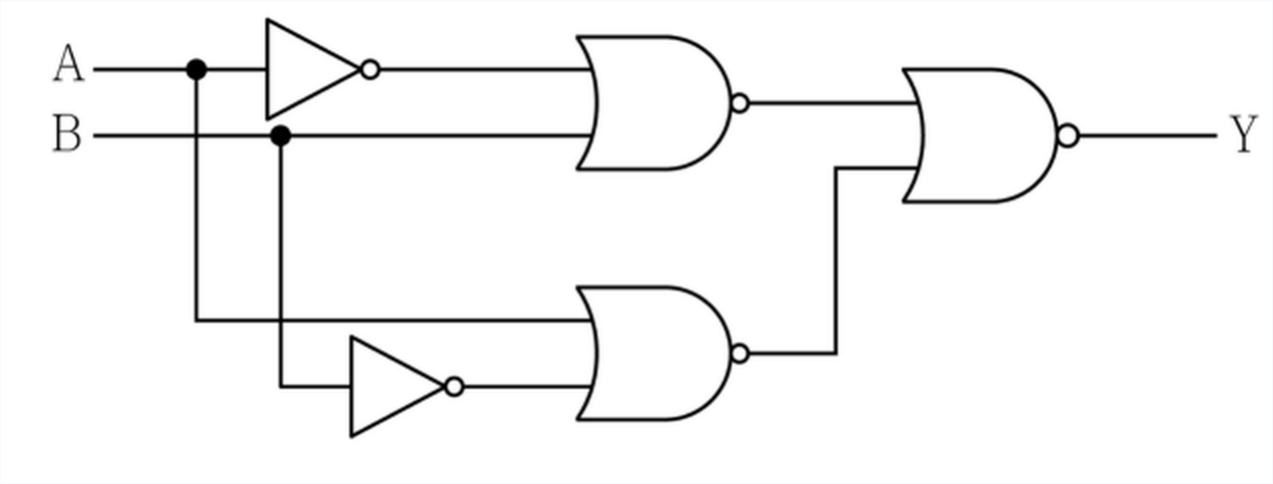
먼저 입력단에서 소스와 귀환 신호가 직렬로 더해지거나 빠지면 입력 저항이 증가한다고 판단한다. 다음으로 출력단에서 출력 전압을 샘플링하는 전압 귀환이면 출력 저항이 감소한다고 연결하면 된다. 즉 `직렬 혼합 → 입력 저항 증가`, `전압 샘플링 → 출력 저항 감소`의 순서로 보면 된다.

암기 포인트

직렬 혼합은 R_{in}을 키우고, 전압 샘플링은 R_{out}을 줄인다.

NoteBase

문 12. 다음 논리회로의 출력 Y를 간략하게 표현한 것은?



① $\overline{\overline{A}+B}$

② $\overline{A+\overline{B}}$

③ $A\cdot\overline{B}+\overline{A}\cdot B$

④ $A\cdot B+\overline{A}\cdot\overline{B}$

정답 4번

출제 포인트

이 문제는 회로의 각 게이트를 단계적으로 식으로 바꾸어 최종 출력 Y를 XNOR 형태로 정리하는지를 묻는 문제이다.

NoteBase

선지별 해설

① X

윗부분 NOR 게이트의 입력은 $\bar{A}$와 B이므로 그 출력은 $\overline{\bar{A}+B}=A\bar{B}$이다. 아랫부분 NOR 게이트의 입력은 A와 $\bar{B}$이므로 그 출력은 $\overline{A+\bar{B}}=\bar{A}B$이다. 최종 출력은 이 둘을 다시 NOR 한 값이므로 윗가지의 중간 출력 $\overline{\bar{A}+B}$와 다르다. 틀린 부분은 윗가지의 중간 출력을 전체 회로의 최종 출력으로 본 점이다. 올바르게는 $Y=AB+\bar{A}\bar{B}$이다.

② X

$\overline{A+\bar{B}}$는 아랫부분 NOR 게이트 하나의 출력에 해당할 뿐 최종 출력이 아니다. 마지막 게이트에서 윗가지 출력 $A\bar{B}$와 아랫가지 출력 $\bar{A}B$를 다시 NOR 하므로 값이 한 번 더 바뀐다. 틀린 표현은 중간 출력과 최종 출력을 혼동한 점이다. 올바르게는 $Y=\overline{A\bar{B}+\bar{A}B}=AB+\bar{A}\bar{B}$이다.

③ X

$A\bar{B}+\bar{A}B$는 두 입력이 서로 다를 때 1이 되는 XOR 식이다. 그러나 마지막 게이트는 출력에 버블이 있는 NOR이므로 이 XOR 값을 한 번 더 부정한다. 틀린 표현은 마지막 부정을 빠뜨린 점이다. 올바르게는 $Y=\overline{A\bar{B}+\bar{A}B}=AB+\bar{A}\bar{B}$이다.

④ O

윗가지 출력은 $A\bar{B}$, 아랫가지 출력은 $\bar{A}B$이다. 마지막 NOR 출력은 $Y=\overline{A\bar{B}+\bar{A}B}$이고, 드모르간 법칙을 쓰면 $(\bar{A}+B)(A+\bar{B})=AB+\bar{A}\bar{B}$가 된다. 따라서 4번이 최종 출력과 일치한다.

오답 포인트

이 문항의 함정은 중간 게이트 출력과 최종 출력을 섞어 보는 데 있다. 특히 ③의 $A\bar{B}+\bar{A}B$까지는 쉽게 나오지만, 마지막 게이트가 출력 버블이 있는 NOR이라는 점을 놓치면 XOR을 그대로 정답으로 고르게 된다.

다시 나오면 이렇게 판단

회로 문제가 나오면 각 게이트의 출력부터 한 단계씩 식으로 적고, 출력 버블이 있으면 마지막에 한 번 더 부정되는지를 반드시 확인한다. XOR가 보이면 최종단의 부정 유무를 확인하여 XOR인지 XNOR인지 구분하면 된다.

암기 포인트

XOR는 $A\bar{B}+\bar{A}B$, XNOR는 그 보수인 $AB+\bar{A}\bar{B}$이다.

NoteBase

문 13. AM 변조 방식에서 피변조파 전력이 반송파 전력의 1.32배일 때, 상측파(USB) 전력은 반송파 전력의 몇 배인가?

① 0.64

② 0.32

③ 0.16

④ 0.12

정답 3번

출제 포인트

이 문제는 AM 변조의 총전력과 측파대 전력 관계식을 이용해 상측파 전력을 구하는 문제이다.

조건 정리

주어진 값: 피변조파 전체 전력 P_t가 반송파 전력 P_c의 1.32배이다.
구해야 할 값: 상측파 전력 P_{USB}가 반송파 전력의 몇 배인지이다.
주의할 조건: AM에서 두 측파대 전력의 합과 한쪽 측파대 전력을 구분해야 한다.

사용할 공식

총전력은 $P_t = P_c\left(1 + \frac{m^2}{2}\right)$ 이고, 한쪽 측파대 전력은 $P_{USB} = P_c\frac{m^2}{4}$ 이다.
이 공식을 쓰는 이유: 문제에서 반송파 전력 대비 전체 피변조파 전력을 주었으므로 먼저 변조도 m을 구한 뒤, 상측파 한쪽 전력을 계산해야 하기 때문이다.

계산 과정

1. $\frac{P_t}{P_c} = 1 + \frac{m^2}{2} = 1.32$ 이므로 $\frac{m^2}{2} = 0.32$ 이다.
2. 따라서 $m^2 = 0.64$ 이다.
3. 상측파 전력은 $\frac{P_{USB}}{P_c} = \frac{m^2}{4} = \frac{0.64}{4} = 0.16$ 이다.

NoteBase

선지별 해설

① X
0.64배는 상측파 전력이 아니라 m^2 값이다. 올바른 값은 $P_{USB}/P_c = m^2/4 = 0.16$배이다.

② X
0.32배는 $m^2/2$로서 양측파대 전력의 합이 반송파 전력에서 추가된 비율이다. 상측파 한쪽 전력은 그 절반인 0.16배이다.

③ O
총전력 비가 1.32이므로 $m^2/2 = 0.32$, $m^2 = 0.64$가 되고, 상측파 전력은 $m^2/4 = 0.16$배가 된다.

④ X
0.12배는 주어진 조건으로부터 나오지 않는 값이다. AM 상측파 전력은 반드시 $m^2/4$로 계산하므로 올바른 값은 0.16배이다.

오답 포인트

0.32를 상측파 한쪽 전력으로 착각하거나, 0.64를 그대로 전력비로 옮기는 실수가 자주 나온다. 이 문제의 함정은 총측파대 전력과 상측파 한쪽 전력을 구분하는 데 있다.

다시 나오면 이렇게 판단

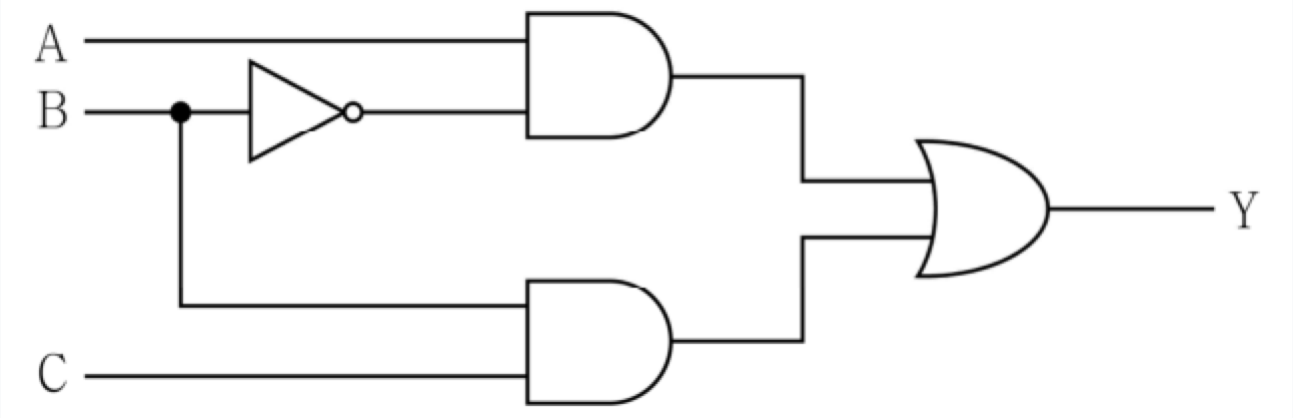
AM 전력 문제는 먼저 전체 전력식으로 m^2를 구하고, 그다음 총측파대 전력인지 한쪽 측파대 전력인지 구분해 $m^2/2$ 또는 $m^2/4$를 적용하면 된다.

암기 포인트

AM에서 총측파대 전력은 $P_c m^2/2$, 상측파 한쪽 전력은 $P_c m^2/4$이다.

NoteBase

문 14. 다음 논리회로에 A = 1010, B = 0110, C = 0101이 순차적으로 입력될 때, 출력 Y의 값은?



① Y = 1100

② Y = 0011

③ Y = 1010

④ Y = 0101

정답 1번

출제 포인트

이 문제는 논리회로도에서 상단 AND의 출력이 $A\overline{B}$, 하단 AND의 출력이 BC, 최종 OR의 출력이 $Y = A\overline{B} + BC$ 가 됨을 읽어 비트별 결과를 구하는 문제이다.

NoteBase

선지별 해설

① O

$B = 0110$이므로 $\overline{B} = 1001$이다. 따라서 $A\overline{B} = 1010 \cdot 1001 = 1000$, $BC = 0110 \cdot 0101 = 0100$이고, 최종 출력은 $Y = 1000 + 0100 = 1100$이다.

② X

틀린 표현은 "Y=0011"이다. 회로식대로 계산하면 $Y = 1100$이므로 값이 맞지 않는다. 올바르게는 "Y=1100"이다.

③ X

틀린 표현은 "Y=1010"이다. 입력 A가 그대로 출력되는 구조가 아니며 상단 경로도 $A\overline{B} = 1000$이다. 여기에 하단 경로 $BC = 0100$를 OR하면 $Y = 1100$이 된다. 올바르게는 "Y=1100"이다.

④ X

틀린 표현은 "Y=0101"이다. 입력 C가 직접 출력되는 구조가 아니고 하단 경로는 $BC = 0100$이다. 최종 OR 출력은 1100이므로 올바르게는 "Y=1100"이다.

오답 포인트

인버터가 B에만 걸린다는 점과 두 AND 출력이 마지막에 OR된다는 점을 놓치기 쉽다. A, B, C 중 하나를 그대로 출력값처럼 읽거나, $\overline{B}$를 적용하지 않으면 오답이 된다.

다시 나오면 이렇게 판단

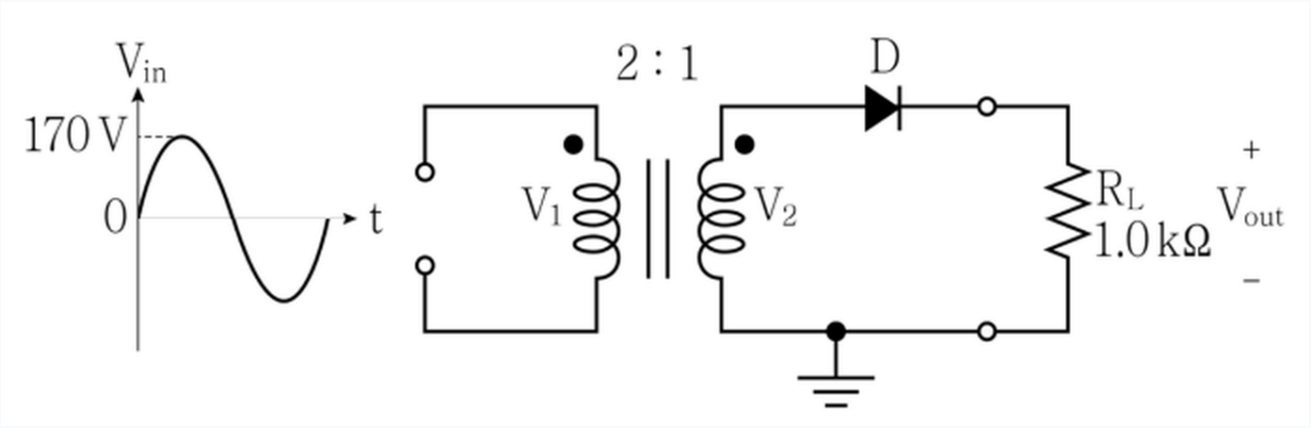
회로를 왼쪽에서 오른쪽으로 끊어서 읽으면서 각 게이트의 중간 출력을 먼저 구하면 된다. 이 문항은 먼저 $\overline{B}$를 만든 뒤 $A\overline{B}$, BC를 각각 계산하고 마지막에 OR하면 바로 답이 나온다.

암기 포인트

논리회로는 입력을 바로 보지 않고 게이트별 중간식으로 바꾸면 된다. 이 회로의 핵심식은 $Y = A\overline{B} + BC$이다.

NoteBase

문 15. 다음 회로에 대한 설명으로 옳지 않은 것은? (단, 다이오드의 순방향 전압은 0.7[V]이다)



① 입력전압 V_{in}이 음(-)의 최대 피크전압에서 다이오드의 최대 역전압이 발생한다.

② 권선비가 3:1로 되면 입력전압 V_{in}이 양(+)의 주기 동안 다이오드에 흐르는 전류는 감소한다.

③ 다이오드 양단의 최대 역전압 PIV(peak inverse voltage)는 170[V]이다.

④ 정류된 출력의 피크전압은 84.3[V]이다.

정답 3번

출제 포인트

이 문제는 변압기 권선비와 반파 정류회로의 동작을 이용해 2차측 피크전압, 정류 출력 피크전압, 다이오드의 최대 역전압을 판단하는 문제이다.

조건 정리

- 입력 피크전압은 $170V$이다.
- 변압기 권선비는 1차:2차가 2 : 1이므로 2차측 피크전압은 $170/2 = 85V$이다.
- 다이오드 순방향 전압강하는 $0.7V$이다.
- 부하는 $1.0k\Omega$이고, 회로는 반파 정류회로이다.

사용할 공식

- 변압기 전압비: $V_2/V_1 = N_2/N_1$
- 정류 출력 피크전압: $V_{out,\,peak} = V_{2,\,peak} - 0.7$
- 다이오드 최대 역전압: 차단 시 $PIV = |V_{2,\,peak}|$

이 공식을 쓰는 이유는 이 회로가 변압기로 전압이 먼저 바뀐 뒤, 다이오드 1개가 양의 반주기만 통과시키는 반파 정류회로이기 때문이다.

NoteBase

계산 과정

1. 권선비가 2 : 1이므로 2차측 피크전압은 $85V$이다.
2. 양의 반주기에는 다이오드가 도통하므로 정류 출력의 피크전압은 $85 - 0.7 = 84.3V$이다.
3. 이때 다이오드 피크전류는 $84.3/1000 = 0.0843A$이다.
4. 음의 반주기 최대점에서는 2차측 상단이 $-85V$가 되고 다이오드는 차단된다. 이때 부하 상단은 거의 $0V$이므로 다이오드가 견뎌야 하는 최대 역전압은 $85V$이다.
5. 권선비가 3 : 1로 바뀌면 2차측 피크전압은 $170/3 \approx 56.7V$이고, 피크전류는 $(56.7 - 0.7)/1000 \approx 0.056A$로 감소한다.

선지별 해설

① O
입력전압 V_{in}이 음의 최대 피크일 때 점표시 기준으로 2차측 상단도 가장 큰 음전압이 되어 다이오드가 완전히 역바이어스된다. 이 순간 최대 역전압이 걸리므로 옳은 설명이다.

② O
권선비가 2 : 1에서 3 : 1로 바뀌면 2차측 전압이 $85V$에서 약 $56.7V$로 감소한다. 따라서 양의 반주기 도통 시 전류도 $84.3mA$에서 약 $56.0mA$로 줄어드므로 옳은 설명이다.

③ X
다이오드 양단의 최대 역전압 PIV를 $170V$로 본 부분이 틀렸다. 최대 역전압은 1차측 입력 피크전압이 아니라 2차측 피크전압 기준으로 정해지므로 이 회로의 PIV는 $85V$이다. 틀린 표현은 'PIV는 $170V$이다'이고, 올바르게는 'PIV는 $85V$이다'이다.

④ O
정류된 출력의 피크전압은 2차측 피크 $85V$에서 다이오드 순방향 강하 $0.7V$를 뺀 값이므로 $84.3V$이다. 따라서 옳은 설명이다.

오답 포인트

출제자가 노린 함정은 1차측 피크전압 $170V$와 2차측 피크전압 $85V$를 혼동하게 만드는 점이다. PIV는 다이오드가 실제로 연결된 2차측 회로에서 걸리는 역전압으로 판단해야 하며, 단순히 입력전압 숫자를 그대로 쓰면 ③처럼 틀리게 된다.

다시 나오면 이렇게 판단

변압기와 정류 다이오드가 함께 나오면 먼저 권선비로 2차측 전압을 구한 뒤, 양의 반주기에는 출력 피크전압, 음의 반주기에는 다이오드 역전압을 따로 판단한다. 전압 기준이 1차측인지 2차측인지부터 구분하면 같은 실수를 줄일 수 있다.

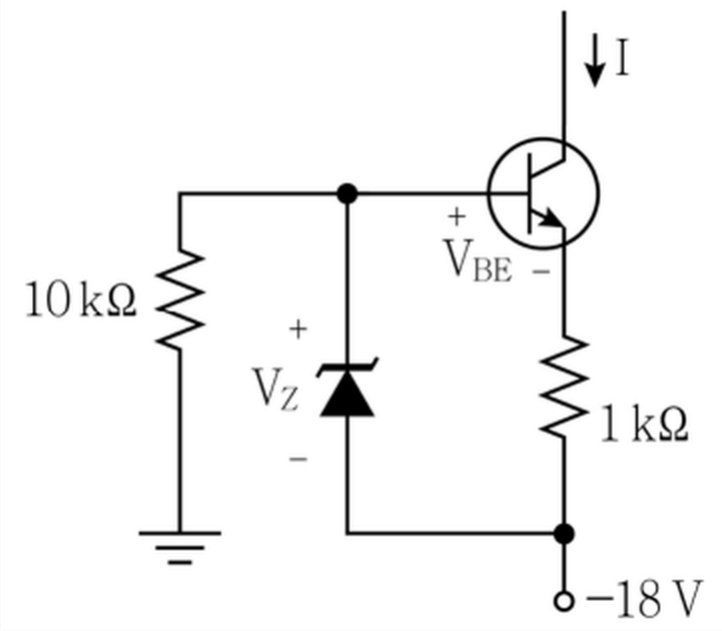
NoteBase

암기 포인트

반파 정류회로에서 출력 피크는 2차측 피크에서 다이오드 강하를 뺀 값이고, PIV는 차단되는 반주기의 2차측 피크전압으로 본다.

NoteBase

문 16. 다음 정전류원 회로에서 $I = 10[mA]$가 되기 위한 제너 다이오드 전압 $V_Z[V]$로 가장 가까운 값은? (단, $V_{BE} = 0.7[V]$이다)



① 0.7

② 1.7

③ 9.3

④ 10.7

정답 4번

출제 포인트

이 문제는 트랜지스터의 V_{BE}와 이미터 저항 전압강하를 이용해 제너 전압 V_Z를 구하는 문제이다.

조건 정리

- 주어진 값: $I = 10mA$, $R_E = 1k\Omega$, $V_{BE} = 0.7V$, 하단 기준 전위는 $-18V$이다.
- 구해야 할 값: 제너 전압 V_Z이다.
- 주의할 조건: 문제는 베이스 전류를 무시하는 근사로 보며, V_Z는 접지 기준 전압이 아니라 베이스와 $-18V$ 단자 사이 전압이다.

NoteBase

사용할 공식

$V_{RE} = IR, \quad V_E = -18V + V_{RE}, \quad V_B = V_E + V_{BE}, \quad V_Z = V_B - (-18V)$
이 공식을 쓰는 이유는 이미터 저항 전압강하로 V_E가 정해지고, 베이스는 이미터보다 $0.7V$ 높으며, 제너 다이오드는 베이스와 $-18V$ 단자 사이에 걸려 있기 때문이다.

계산 과정

1. 이미터 저항 전압강하는 $V_{RE} = 10mA \times 1k\Omega = 10V$이다.
2. 따라서 이미터 전압은 $V_E = -18V + 10V = -8V$이다.
3. 베이스 전압은 $V_B = V_E + V_{BE} = -8V + 0.7V = -7.3V$이다.
4. 제너 전압은 $V_Z = V_B - (-18V) = -7.3 - (-18) = 10.7V$이다.

선지별 해설

① X
- $0.7V$는 V_{BE}만 본 값이다. 제너 전압은 베이스와 $-18V$ 사이 전압이므로 올바르게는 $V_Z = 10.7V$이다.

② X
- $1.7V$는 이미터 저항 전압강하를 $1V$ 정도로 잘못 잡은 값에 가깝다. $10mA$가 $1k\Omega$를 지나면 전압강하는 $10V$이므로 올바르게는 $V_Z = 10.7V$이다.

③ X
- $9.3V$는 $10V$에서 $V_{BE} = 0.7V$를 빼는 식으로 부호를 반대로 처리한 값이다. 베이스 전압은 이미터보다 $0.7V$ 높으므로 올바르게는 $V_Z = 10.7V$이다.

④ O
- $10.7V$는 계산값과 일치한다. 따라서 ④가 정답이다.

오답 포인트

V_Z의 기준점을 접지가 아니라 $-18V$ 단자로 봐야 하는데, 이를 놓치면 V_{BE}만 보거나 $10V$에서 $0.7V$를 빼는 실수가 나온다.

다시 나오면 이렇게 판단

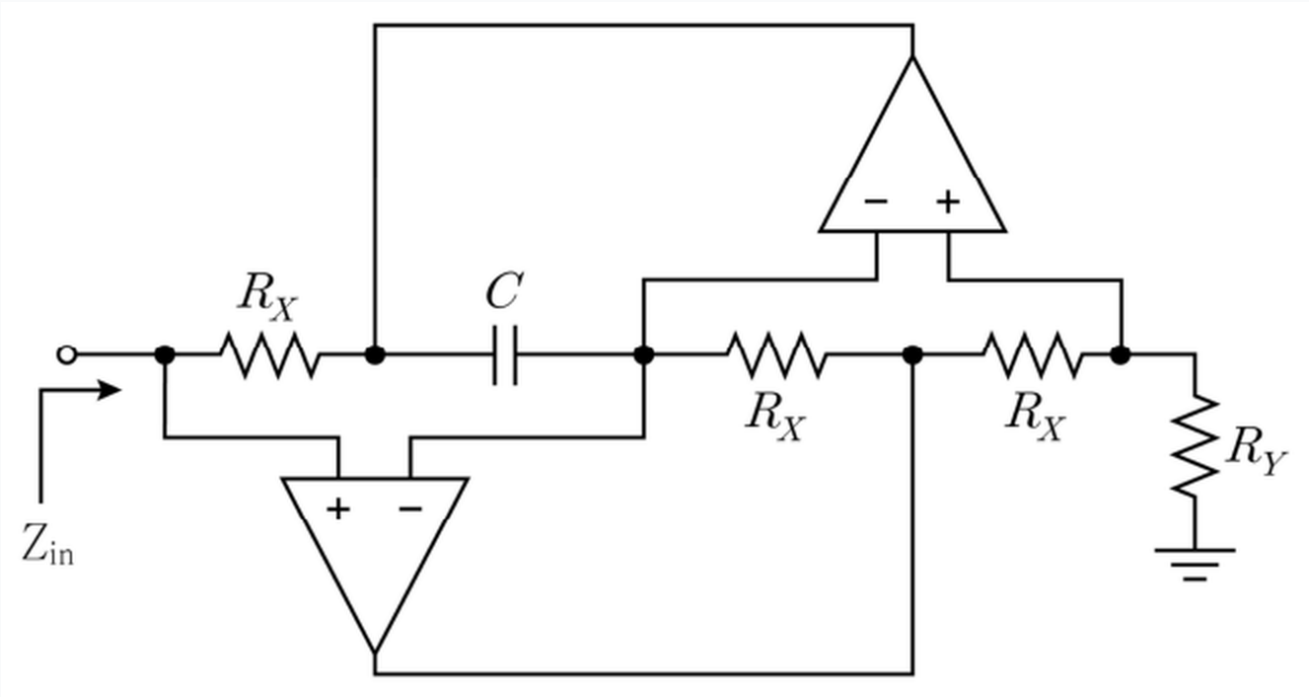
정전류원-트랜지스터 회로는 먼저 이미터 저항 전압강하 IR를 구하고, 그다음 V_{BE}를 더해 베이스 전압을 만든 뒤, 마지막에 제너가 걸린 두 노드 사이 전압을 읽으면 된다.

암기 포인트

이미터 전압은 IR로 정해지고, 베이스 전압은 항상 $V_E + V_{BE}$이다.

NoteBase

문 17. 다음 회로에서 입력 임피던스 Z_{in}은? (단, 연산증폭기는 이상적이다)



① $R_X^2 + \frac{R_Y}{j\omega C}$
② $j\omega C R_X R_Y$
③ $R_X + \frac{R_Y}{j\omega C}$
④ $\frac{R_X^2 R_Y}{j\omega C}$

정답 2번

출제 포인트

이 문제는 이상적인 연산증폭기의 가상단락 조건을 이용해 각 노드 전압을 묶은 뒤 $Z_{in} = V_{in}/I_{in}$을 계산하는 문제이다.

조건 정리

좌측 입력 노드를 $V_A = V_{in}$, 첫 번째 R_X 오른쪽 노드를 V_B, 커패시터 오른쪽 노드를 V_C, 가운데 노드를 V_D, 우측 노드를 V_E로 둔다.
이상적인 연산증폭기는 입력전류가 0이므로 두 연산증폭기의 입력단에는 전류가 흐르지 않는다.
가상단락으로 $V_A = V_C$, $V_C = V_E$가 되어 $V_A = V_C = V_E = V_{in}$이 된다.
구해야 할 값은 $Z_{in} = V_{in}/I_{in}$이다.

NoteBase

사용할 공식

노드 E와 C에서 키르히호프 전류법칙을 적용한다.
$\frac{V_E - V_D}{R_X} + \frac{V_E}{R_Y} = 0$
$j\omega C(V_C - V_B) + \frac{V_C - V_D}{R_X} = 0$
또한 입력전류는
$I_{in} = \frac{V_A - V_B}{R_X}$
이다.
이 공식을 쓰는 이유는 이상적인 연산증폭기 때문에 입력단 전류는 사라지고, 남는 관계가 각 수동소자의 전류식으로 바로 정리되기 때문이다.

계산 과정

1. $V_E = V_{in}$을 노드 E 식에 대입하면
$\frac{V_{in} - V_D}{R_X} + \frac{V_{in}}{R_Y} = 0$
이므로
$V_D = V_{in}\left(1 + \frac{R_X}{R_Y}\right)$
이다.
2. $V_C = V_{in}$을 노드 C 식에 대입하면
$j\omega C(V_{in} - V_B) + \frac{V_{in} - V_D}{R_X} = 0$
이다. 여기서 $V_{in} - V_D = -V_{in}R_X/R_Y$이므로
$j\omega C(V_{in} - V_B) = \frac{V_{in}}{R_Y}$
가 된다.
3. 따라서
$V_{in} - V_B = \frac{V_{in}}{j\omega CR_Y}$
이고 입력전류는
$I_{in} = \frac{V_{in} - V_B}{R_X} = \frac{V_{in}}{j\omega CR_XR_Y}$
이다. 그러므로
$Z_{in} = \frac{V_{in}}{I_{in}} = j\omega CR_XR_Y$
가 된다.

NoteBase

선지별 해설

① X
$R_X^2 + \frac{R_Y}{j\omega C}$는 각 항의 차원이 각각 Ω^2, Ω^2로서 입력 임피던스 Ω가 될 수 없는 식이다. 올바르게는 $Z_{in} = j\omega C R_X R_Y$이다.

② O
계산 결과가 정확히 $Z_{in} = j\omega C R_X R_Y$이므로 맞는 선지이다. 이상적인 연산증폭기가 세 노드 전압을 V_{in}으로 묶어 주기 때문에 입력전류가 $1/(j\omega C R_X R_Y)$ 꼴로 정리된다.

③ X
$R_X + \frac{R_Y}{j\omega C}$는 회로를 단순한 직렬 연결처럼 본 오해에서 나온 식이다. 이 회로는 능동소자가 있어 단순 직렬합으로 계산되지 않으며, $\frac{R_Y}{j\omega C}$ 항 자체도 Ω^2 차원이라 임피던스 식이 아니다. 올바르게는 $Z_{in} = j\omega C R_X R_Y$이다.

④ X
$\frac{R_X^2 R_Y}{j\omega C}$는 커패시터 전류식 $I = C dv/dt$를 거꾸로 적용해 $j\omega C$가 분모로 들어간 경우에 해당한다. 실제 계산에서는 $I_{in} = V_{in}/(j\omega C R_X R_Y)$이므로 입력 임피던스는 그 역수인 $j\omega C R_X R_Y$가 된다.

오답 포인트

이 문항의 함정은 커패시터 임피던스 $1/(j\omega C)$만 보고 회로 전체를 수동 직렬망처럼 처리하는 데 있다. 그러나 두 연산증폭기의 가상단락 때문에 $V_A = V_C = V_E$가 먼저 성립하고, 그 다음에 노드 방정식을 세워야 한다. 이 순서를 놓치면 ③처럼 직렬합을 만들거나 ④처럼 $j\omega C$의 위치를 거꾸로 두게 된다.

다시 나오면 이렇게 판단

연산증폭기 회로의 입력 임피던스를 묻는 문제는 먼저 가상단락으로 같은 전압이 되는 노드를 찾고, 그다음 입력전류를 I_{in}으로 직접 구해 $Z_{in} = V_{in}/I_{in}$으로 마무리하면 된다. 수동소자만 있는 직렬·병렬 회로처럼 바로 합성하지 않는 것이 핵심이다.

암기 포인트

이상적인 연산증폭기 입력 임피던스 문제는 가상단락으로 노드 전압을 먼저 묶고 I_{in}을 구하면 된다.

NoteBase

문 18. 반도체 집적회로(integrated circuit)로 8비트의 아날로그-디지털 변환기를 설계하고자 할 때, 다음 중 가장 빠른 동작 특성을 갖는 구조는? (단, time-interleaved 기법 등 다른 구조와 병합하지 않고, 샘플링 주파수를 제외한 소비전력 및 면적 등의 다른 특성은 고려하지 않는다)

① 계수형 구조

② R-2R 사다리 구조

③ 병렬(flash) 구조

④ 이중 경사(dual slope) 적분 구조

정답 3번

출제 포인트

이 문제는 ADC 구조별 변환 속도 차이를 묻는 문제이다. 병렬형 flash ADC는 모든 기준 전압과 입력을 동시에 비교하므로 가장 빠르다.

핵심 개념

계수형 ADC는 카운터 값을 1단계씩 올리며 입력과 비교하는 순차 변환 구조이므로 느리다.
R-2R 사다리 구조는 동일한 두 저항값으로 가중치를 만드는 저항망 구조이며, 보통 DAC 구현이나 SAR 내부 구성에 쓰이는 개념이지 그 자체가 최고속 ADC 구조를 뜻하지는 않는다.
병렬형 flash ADC는 $2^n - 1$개의 비교기를 병렬로 두고 한 번에 비교 결과를 얻는 구조이므로 가장 빠르다.
이중 경사 적분형 ADC는 적분과 역적분 시간을 이용해 변환하므로 잡음에는 강하지만 속도는 느리다.

NoteBase

선지별 해설

① X
계수형 구조는 카운터가 0부터 순차적으로 증가하면서 입력 전압에 도달할 때까지 비교하므로 변환 시간이 길다. 틀린 표현은 가장 빠른 동작 특성이라는 판단이다. 올바르게는 단순하지만 속도는 느린 구조이다.

② X
R-2R 사다리 구조는 저항망 구현 방식에 관한 말로, 최고속 ADC 구조를 직접 가리키지 않는다. 틀린 표현은 빠른 ADC 구조와 동일시한 점이다. 올바르게는 R-2R은 정밀한 비트 가중 저항망을 쉽게 구현하는 방식이며, 가장 빠른 구조는 병렬형 flash이다.

③ O
병렬 flash 구조는 모든 비교기를 동시에 동작시켜 한 번의 비교로 디지털 출력을 결정한다. 샘플링 주파수만 놓고 보면 네 구조 중 가장 빠르다.

④ X
이중 경사 적분 구조는 입력을 일정 시간 적분한 뒤 기준 전압으로 역적분하는 방식이어서 변환 과정이 길다. 틀린 표현은 고속 동작에 유리하다는 점이다. 올바르게는 정밀도와 잡음 내성은 좋지만 속도는 느린 구조이다.

오답 포인트

②의 R-2R 사다리 구조 때문에 저항망이 단순하므로 속도도 빠를 것처럼 착각하기 쉽다. 그러나 이 문항은 저항 구현의 단순성이 아니라 ADC 전체 구조의 변환 속도를 묻는다. 또한 ① 계수형과 ④ 이중 경사형은 시험에서 자주 나오는 저속 구조라는 점을 같이 구분해야 한다.

다시 나오면 이렇게 판단

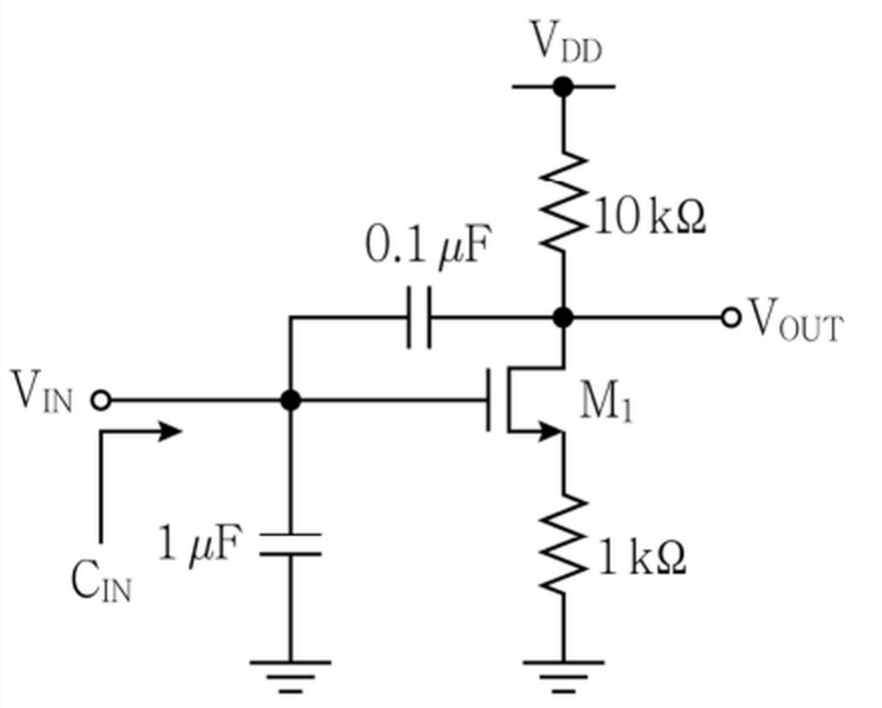
ADC 속도를 묻는 문항에서는 병렬 비교 여부를 먼저 본다. 모든 기준 레벨을 동시에 비교하면 flash이고 가장 빠르다. 카운트, 적분, 순차 탐색처럼 시간이 단계적으로 쌓이면 flash보다 느리다고 판단한다.

암기 포인트

속도는 flash가 최고속, dual slope와 counter형은 저속이다. R-2R은 구조 이름이라기보다 저항망 키워드이다.

NoteBase

문 19. 다음 회로를 고주파 해석할 때 필요한 입력 커패시턴스 C_{IN} [μF]은? (단, M_1의 $g_{m1} = 1mA/V$, $r_{o1} = \infty$, M_1의 기생 커패시턴스는 무시한다)



① 1.5

② 1.6

③ 3

④ 3.2

정답 2번

출제 포인트

이 문제는 소스 저항이 있는 공통소스 증폭기의 전압이득을 구한 뒤, 밀러 정리로 입력 커패시턴스를 환산하는 문제이다.

조건 정리

주어진 값: $g_{m1} = 1mA/V = 0.001S$, $r_{o1} = \infty$, $R_D = 10k\Omega$, $R_S = 1k\Omega$, 게이트-드레인 사이 커패시터 $0.1\mu F$, 입력 노드의 접지 커패시터 $1\mu F$이다.
구해야 할 값: 고주파 해석에 필요한 전체 입력 커패시턴스 C_{IN}이다.
주의할 조건: M_1의 기생 커패시턴스는 무시하므로 그림에 있는 $0.1\mu F$와 $1\mu F$만 반영하면 된다.

NoteBase

사용할 공식

소스 저항이 있는 공통소스 증폭기의 전압이득은 $A_v = -\frac{g_m R_D}{1 + g_m R_S}$이다.
게이트와 드레인 사이 브리지 커패시터 C의 입력 환산값은 밀러 정리에 따라 $C_{M,in} = C(1 - A_v)$이다.
따라서 전체 입력 커패시턴스는 $C_{IN} = 1\mu F + C_{M,in}$이다.
이 공식을 쓰는 이유: $0.1\mu F$는 입력과 출력 사이에 걸린 커패시터이므로 단순 병렬합이 아니라 전압이득을 반영한 밀러 등가로 입력 쪽에 환산해야 하기 때문이다.

계산 과정

1. 전압이득을 구하면 $g_m R_D = 0.001 \times 10{,}000 = 10$, $g_m R_S = 0.001 \times 1{,}000 = 1$이므로
$A_v = -\frac{10}{1+1} = -5$
이다.
2. 브리지 커패시터 $0.1\mu F$의 입력 환산값은
$C_{M,in} = 0.1(1 - (-5)) = 0.1 \times 6 = 0.6\mu F$
이다.
3. 입력 노드에 이미 $1\mu F$가 접지로 연결되어 있으므로
$C_{IN} = 1 + 0.6 = 1.6\mu F$
이다.

선지별 해설

① X: $1.5\mu F$는 브리지 커패시터를 $0.1 \times |A_v| = 0.5\mu F$로만 잡아 $1 - A_v$의 앞의 1을 빠뜨린 값이다. 틀린 값은 $1.5\mu F$이고, 올바르게는 $0.1 \times (1 - (-5)) = 0.6\mu F$를 더한 $1.6\mu F$이다.
② O: 전압이득이 -5이므로 밀러 입력 성분은 $0.6\mu F$가 되고, 여기에 원래의 $1\mu F$를 더하면 $1.6\mu F$가 된다. 따라서 2번이 옳다.
③ X: $3\mu F$가 되려면 브리지 커패시터의 입력 환산값이 $2\mu F$여야 하는데, 이는 $1 - A_v = 20$ 수준의 과대한 이득을 가정해야 가능하다. 주어진 회로에서 실제 A_v는 -5이므로 틀린 값은 $3\mu F$이고, 올바르게는 $1.6\mu F$이다.
④ X: $3.2\mu F$는 밀러 효과를 과대계산하거나 다른 커패시턴스를 중복 합산한 경우의 값이다. 이 회로에서 입력 쪽으로 환산되는 추가 성분은 최대 $0.6\mu F$뿐이므로 틀린 값은 $3.2\mu F$이고, 올바르게는 $1.6\mu F$이다.

오답 포인트

가장 흔한 함정은 C_{gd}의 밀러 입력 환산을 $C|A_v|$로만 외워서 $1 - A_v$를 놓치는 점이다. 또 소스 저항 $1k\Omega$가 있으면 이득이 $-g_m R_D$가 아니라 $-\frac{g_m R_D}{1 + g_m R_S}$로 줄어든다는 점을 빼먹으면 커패시턴스를 과대평가하게 된다.

다시 나오면 이렇게 판단

입출력 사이 커패시터가 보이면 먼저 증폭기의 중역 전압이득 A_v를 구하고, 그다음 브리지 커패시터를 $C(1 - A_v)$로 입력 환산해 원래 입력 접지 커패시터와 합산하는 순서로 판단한다.

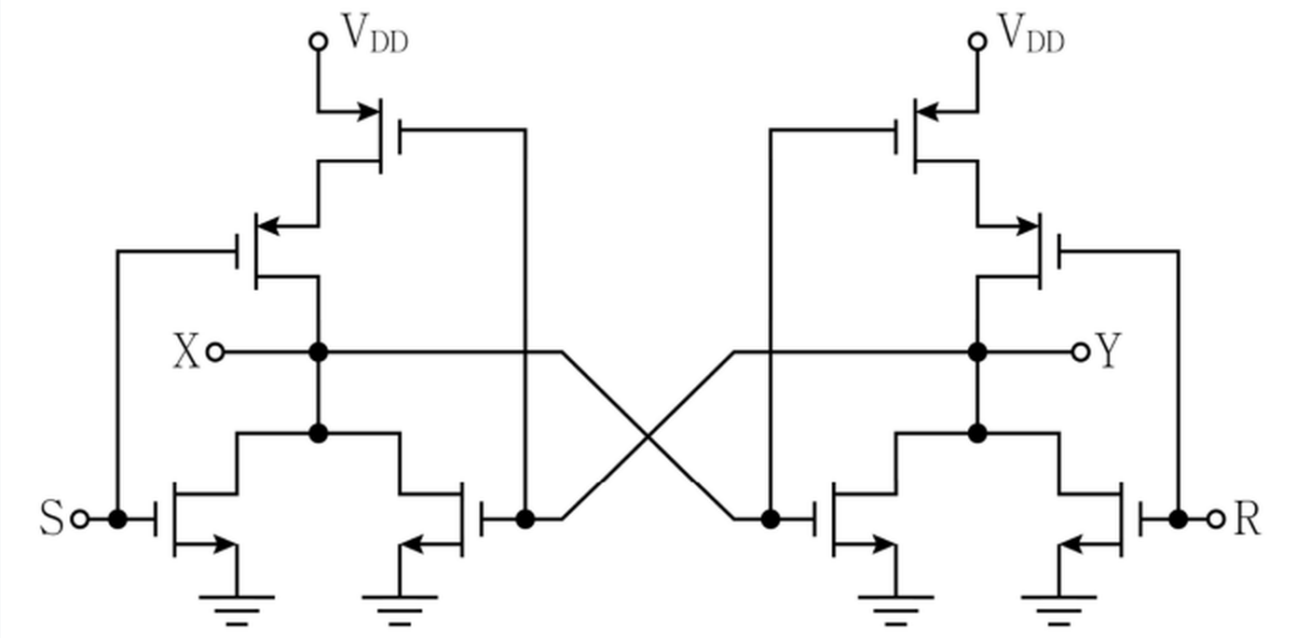
NoteBase

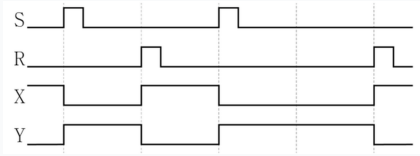
암기 포인트

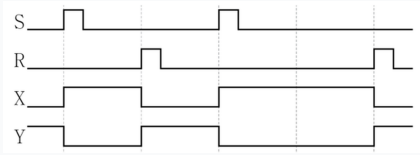
밀러 입력 환산은 $C(1-A_V)$이고, 소스 퇴화가 있으면 $A_V=-\frac{g_mR_D}{1+g_mR_S}$로 줄어든다.

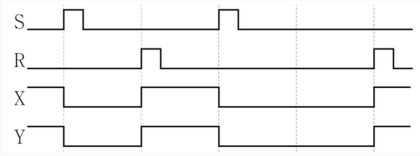
NoteBase

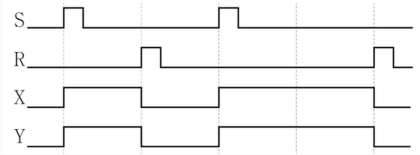
문 20. 다음 SR 플립플롭(flip-flop) 회로의 입출력 파형으로 옳은 것은?



① 

② 

③ 

④ 

정답 1번

출제 포인트

이 문제는 CMOS SR 플립플롭 회로가 교차결합 NOR 래치임을 읽고 S, R 펄스에 따라 X, Y가 보수 관계로 어떻게 변하는지 판단하는 문제이다.

NoteBase

선지별 해설

1번: O. 이 회로는 두 개의 CMOS 반쪽이 교차결합된 NOR 래치이다. 각 반쪽은 pMOS 두 개가 직렬로 V_{DD}에, nMOS 두 개가 병렬로 접지에 연결된 NOR 게이트이며, 왼쪽 출력은 $X = \overline{S + Y}$, 오른쪽 출력은 $Y = \overline{R + X}$가 된다. 이 선지 파형은 시작 구간에서 X 트레이스가 높고 Y 트레이스가 낮게, 즉 $X = 1, Y = 0$으로 그려져 있다. 이 상태에서 $S = 1$이 들어오면 왼쪽 반쪽의 nMOS가 켜지고 pMOS가 꺼져 X가 0으로 내려가고, 그 결과 $Y = \overline{R + X} = \overline{0 + 0} = 1$이 된다. 이후 $R = 1$이 들어오면 같은 원리로 Y가 0, X가 1이 되며, 이렇게 X와 Y가 항상 서로 보수로 움직이는 파형이 제시된 파형과 일치한다.
2번: X. 이 선지 파형에서는 X가 시작 구간에서 0으로 낮게 그려져 있다가 $S = 1$ 펄스에서 1로 올라가 있으나, NOR형 SR 래치에서는 $S = 1$이면 왼쪽 nMOS가 켜져 X가 0으로 강제되어야 한다. 즉 S 펄스에서 X는 1이 아니라 0이 되어야 하므로 X의 극성이 정답 파형과 반대이다.
3번: X. 이 선지 파형에서는 X의 모양 자체는 정답 파형과 같지만, Y가 X의 보수가 아니라 X와 똑같은 위상으로 그려져 있다. 예컨대 첫 번째 S 펄스 구간에서 X와 Y가 함께 0으로 내려가고, 두 번째 S 펄스 구간에서도 함께 내려간다. 교차결합 NOR 래치의 저장 상태에서 두 출력은 항상 서로 보수여야 하므로, X가 0으로 내려가는 구간에서 Y는 1로 올라가 있어야 한다.
4번: X. 이 선지 파형에서는 3번과 달리 X 자체가 S 펄스에서 1로 올라가는 반대 극성으로 그려져 있고(2번과 같은 오류), 여기에 더해 Y도 X와 같은 위상으로 함께 움직여 두 출력이 동시에 1 또는 동시에 0이 되는 구간을 만든다. 실제 회로에서는 S 펄스에서 X가 0이 되고 그때 Y는 1이 되어야 하므로, X의 극성과 두 출력의 보수 관계가 모두 어긋난다.

오답 포인트

이 회로를 NAND형 SR 래치로 착각하면 S, R의 작용을 거꾸로 읽게 된다. 또 출력 X, Y가 보수라는 점을 놓치면 3번과 4번처럼 같은 위상 파형을 고르게 된다.

다시 나오면 이렇게 판단

먼저 각 반쪽이 pMOS 직렬, nMOS 병렬 구조의 NOR 게이트인지 확인한 다음 $X = \overline{S + Y}$, $Y = \overline{R + X}$를 적는다. 그 뒤 $S = 1$이면 왼쪽 출력 X가 0, $R = 1$이면 오른쪽 출력 Y가 0이 된다는 순서로 파형을 추적하면 된다.

암기 포인트

교차결합 NOR SR 래치는 S가 들어간 쪽 출력이 0으로 꺼지고 반대쪽 출력이 1로 세트되며, 두 출력은 항상 보수이다.