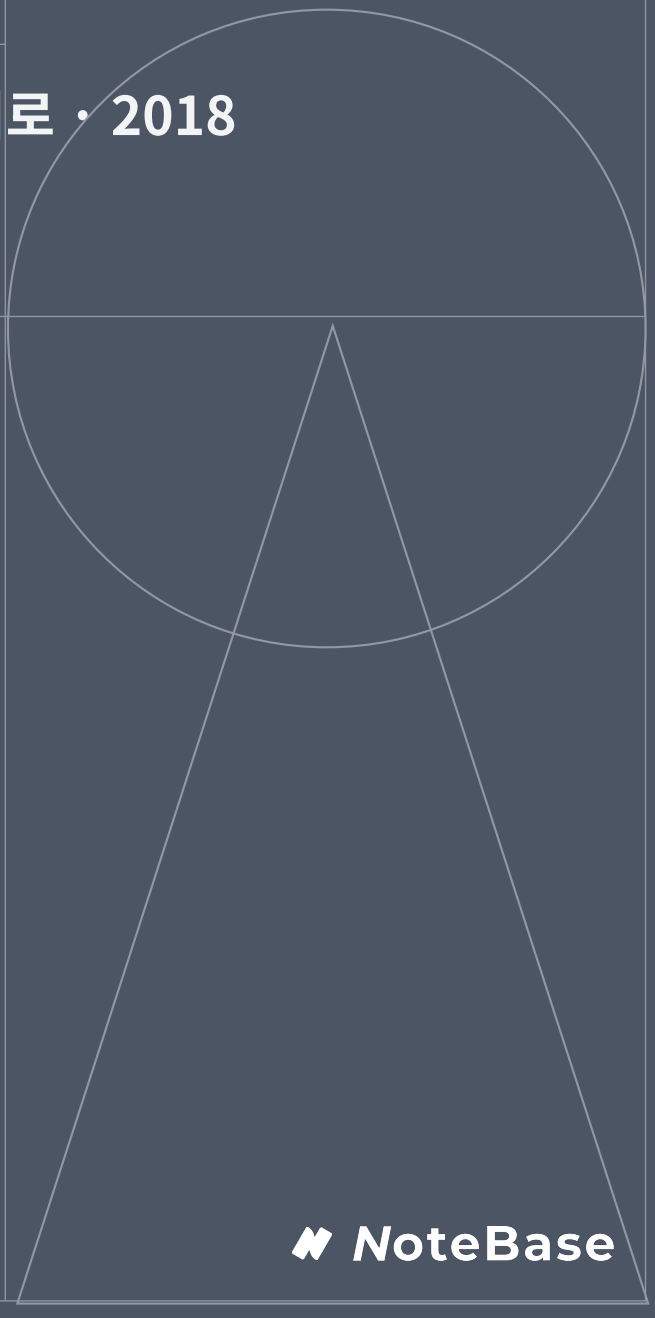
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2018



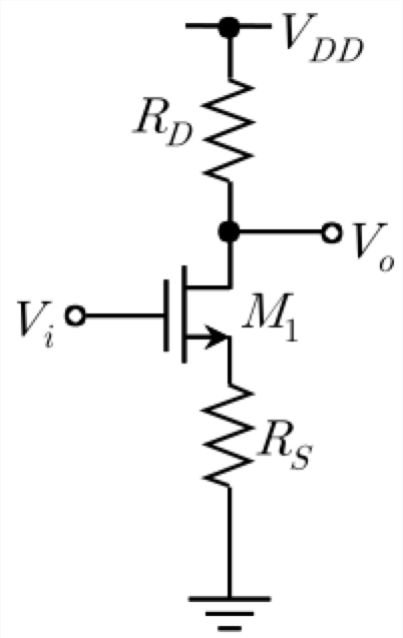
NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2018

공무원/국가직/7급 · 전자회로 · 2018

문 1. 다음 회로에 대한 설명으로 옳지 않은 것은?



① 회로를 증폭기로 사용하기 위해서는 트랜지스터 M_1이 포화 영역(saturation region)에서 동작하도록 DC 동작조건을 설정해야 한다.

② 회로가 증폭기로 동작하고 다른 모든 조건이 동일할 때 전압 이득 $|A_v|$은 저항 R_S의 크기가 클수록 커진다.

③ 회로가 증폭기로 동작하고 다른 모든 조건이 동일할 때 전압 이득 $|A_v|$은 저항 R_D의 크기가 클수록 커진다.

④ 트랜지스터 M_1에 게이트 누설전류(gate leakage current)가 없을 때 입력에서 바라본 입력저항은 무한대의 값을 갖는다.

정답 2번

출제 포인트

공통 소스 MOS 증폭기에서 포화영역 바이어스, 소스 퇴화 저항 R_S, 드레인 저항 R_D, 입력저항 특성을 함께 묻는 문제이다.

NoteBase

핵심 개념

공통 소스 증폭기는 출력을 드레인에서 얻는 MOS 증폭기이다.
트랜지스터가 포화영역에 있어야 작은 v_{gs} 변화가 드레인 전류 변화로 이어져 증폭이 가능하다.
소스 저항 R_S는 음귀환을 만드는 소스 퇴화 요소이므로 이득을 줄이고 동작점을 안정화한다.
드레인 저항 R_D는 드레인 전류 변화를 출력 전압 변화로 바꾸는 부하이므로 커질수록 전압 이득의 절댓값이 커진다.
게이트 누설전류가 없으면 입력 전류가 0이어서 입력저항은 이상적으로 무한대이다.

선지별 해설

① O
트랜지스터 M_1을 증폭기로 쓰려면 포화영역에 바이어스해야 한다. 그래야 소신호에서 드레인 전류가 $g_m v_{gs}$에 비례해 변하며 선형 증폭이 가능하다.

② X
틀린 부분은 "저항 R_S의 크기가 클수록 커진다"이다.
공통 소스 증폭기에서 R_S는 소스 퇴화를 만들어 음귀환을 증가시킨다. 이상화하면 전압 이득은 $A_v \approx -\frac{g_m R_D}{1+g_m R_S}$ 이므로 R_S가 커질수록 $|A_v|$는 작아진다.
올바르게는 "저항 R_S의 크기가 클수록 전압 이득 $|A_v|$는 작아진다"이다.

③ O
다른 조건이 같으면 $|A_v|$는 R_D가 커질수록 커진다. 위 식에서도 R_D가 분자에 있으므로 드레인 전압 변동 폭이 커져 전압 이득의 절댓값이 증가한다.

④ O
게이트 누설전류가 없으면 입력 전류가 0이다. 따라서 입력에서 본 저항은 $R_{in} = v_i/i_i$로 볼 때 이상적으로 무한대이다.

오답 포인트

소스 저항 R_S가 동작점을 안정화하고 선형성을 높인다는 사실을 이득 증가로 잘못 연결하면 ②를 맞는 설명으로 착각하기 쉽다. 이 회로에서는 안정화와 음귀환 증가가 동시에 일어나며, 그 대가로 전압 이득의 절댓값은 감소한다.

다시 나오면 이렇게 판단

공통 소스 회로를 보면 먼저 포화영역 바이어스 여부를 확인한다. 그다음 R_D는 출력 전압 변화를 키우는 요소, R_S는 음귀환을 키워 이득을 줄이는 요소로 구분하면 선지 판단이 바로 된다. 게이트 전류가 0이라는 이상 조건이 붙으면 입력저항은 무한대로 본다.

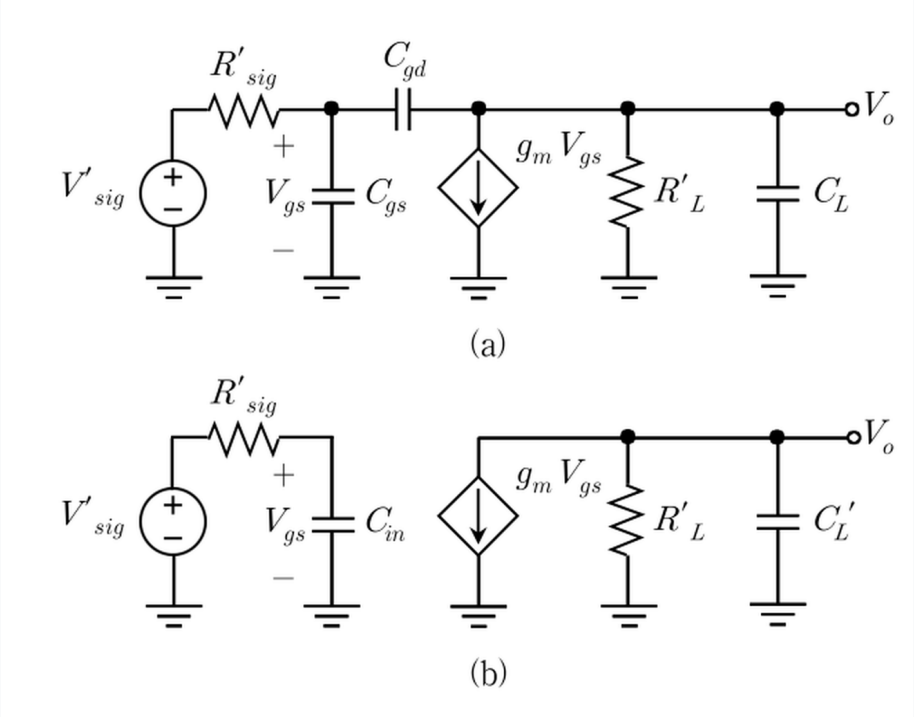
NoteBase

암기 포인트

R_D는 이득을 키우고, R_S는 이득을 깎는다. MOS 게이트 전류는 0으로 본다.

NoteBase

문 2. 밀러(Miller) 정리를 이용하여 그림 (a)의 회로를 그림 (b)의 등가회로로 바꾸었을 때 C_{in}과 C'_L의 표현식으로 올바른 것은? (단, K는 $\frac{V_o}{V_{gs}}$이다)



① C_{in}: $C_{gs} + C_{gd}(1-K)$, C'_L: $C_L + C_{gd}\left(1-\frac{1}{K}\right)$

② C_{in}: $C_{gs} + C_{gd}\left(1-\frac{1}{K}\right)$, C'_L: $C_L + C_{gd}(1-K)$

③ C_{in}: $C_{gs} + \left(\frac{C_{gd}}{1-K}\right)$, C'_L: $C_L + \left(\frac{C_{gd}}{1-\frac{1}{K}}\right)$

④ C_{in}: $C_{gs} + \left(\frac{C_{gd}}{1-\frac{1}{K}}\right)$, C'_L: $C_L + \frac{C_{gd}}{1-K}$

정답 1번

출제 포인트

이 문제는 밀러 정리를 이용해 C_{gd}를 입력 쪽 등가 커패시턴스와 출력 쪽 등가 커패시턴스로 바꾸는 문제이다.

조건 정리

주어진 값: 입력과 출력 사이에 C_{gd}가 연결되어 있고, 입력에는 C_{gs}, 출력에는 C_L이 이미 접지로 연결되어 있다.
구해야 할 값: 그림 (b)의 C_{in}과 C'_L이다.
주의할 조건: $K = \frac{V_o}{V_{gs}}$이므로 입력 쪽 밀러 계수는 $1-K$, 출력 쪽 밀러 계수는 $1-\frac{1}{K}$가 된다.

NoteBase

사용할 공식

밀러 정리에서 두 노드 사이 임피던스 Z는 입력 쪽에서 $\frac{Z}{1-K}$, 출력 쪽에서 $\frac{Z}{1-\frac{1}{K}}$로 바뀐다.
커패시터는 $Z_C = \frac{1}{sC}$이므로 이를 커패시턴스로 다시 쓰면 입력 쪽 등가 커패시턴스는 $C(1-K)$, 출력 쪽 등가 커패시턴스는 $C\left(1-\frac{1}{K}\right)$가 된다.
이 공식을 쓰는 이유는 C_{gd}가 입력 노드와 출력 노드를 직접 잇는 브리지 커패시터이기 때문이다.

계산 과정

1. 브리지 커패시터 C_{gd}를 입력 쪽으로 환산하면 $C_{gd}(1-K)$가 된다.
2. 입력 노드에는 원래 C_{gs}가 접지로 연결되어 있으므로 $C_{in} = C_{gs} + C_{gd}(1-K)$가 된다.
3. 같은 C_{gd}를 출력 쪽으로 환산하면 $C_{gd}\left(1-\frac{1}{K}\right)$가 된다.
4. 출력 노드에는 원래 C_L이 있으므로 $C'_L = C_L + C_{gd}\left(1-\frac{1}{K}\right)$가 된다.

선지별 해설

① O
$C_{in} = C_{gs} + C_{gd}(1-K)$, $C'_L = C_L + C_{gd}\left(1-\frac{1}{K}\right)$로 밀러 정리 결과와 정확히 일치한다.

② X
입력 쪽과 출력 쪽의 밀러 계수를 서로 뒤바꾼 식이다.
틀린 표현은 $C_{in} = C_{gs} + C_{gd}\left(1-\frac{1}{K}\right)$, $C'_L = C_L + C_{gd}(1-K)$ 부분이다.
올바르게는 입력 쪽이 $1-K$, 출력 쪽이 $1-\frac{1}{K}$를 곱한다.

③ X
밀러 정리의 임피던스식을 커패시턴스식으로 바꿀 때 역수를 한 번 더 취한 오답이다.
틀린 표현은 $\frac{C_{gd}}{1-K}$, $\frac{C_{gd}}{1-\frac{1}{K}}$ 부분이다.
올바르게는 커패시턴스가 $C_{gd}(1-K)$, $C_{gd}\left(1-\frac{1}{K}\right)$처럼 곱셈 형태로 바뀐다.

④ X
입력과 출력 모두를 reciprocal 형태로 잘못 쓴 식이다.
틀린 표현은 $C_{in} = C_{gs} + \frac{C_{gd}}{1-\frac{1}{K}}$, $C'_L = C_L + \frac{C_{gd}}{1-K}$ 부분이다.
올바르게는 $C_{in} = C_{gs} + C_{gd}(1-K)$, $C'_L = C_L + C_{gd}\left(1-\frac{1}{K}\right)$이다.

오답 포인트

가장 흔한 함정은 밀러 정리의 임피던스식 $\frac{Z}{1-K}$를 그대로 커패시턴스에 대입하는 실수이다. 커패시터는 임피던스가 $\frac{1}{sC}$ 형태이므로 최종 커패시턴스는 나눗셈이 아니라 곱셈 형태로 바뀐다. 또 입력 쪽 계수 $1-K$와 출력 쪽 계수 $1-\frac{1}{K}$를 서로 바꾸는 실수도 자주 나온다.

NoteBase

다시 나오면 이렇게 판단

브리지 커패시터가 보이면 먼저 임피던스 기준 밀러식 $\frac{Z}{1-K}$, $\frac{Z}{1-\frac{1}{K}}$를 떠올린 뒤, 커패시터는 $Z_C = \frac{1}{sC}$이므로 커패시턴스로 바꾸면 각각 $C(1-K)$, $C\left(1-\frac{1}{K}\right)$가 된다고 판단하면 된다.

암기 포인트

밀러 정리에서 임피던스는 나누고, 커패시턴스는 곱한다. 입력은 $1-K$, 출력은 $1-\frac{1}{K}$이다.

NoteBase

문 3. 10[kHz]의 신호파와 100[MHz]의 반송파를 가지고 최대 주파수 편이를 50[kHz]로 하여 주파수 변조(FM)를 하였을 때, 대역폭 BW[kHz]는?

① 20

② 100

③ 120

④ 150

정답 3번

출제 포인트

이 문제는 FM의 대역폭을 카슨의 법칙으로 구하는 문제이다.

조건 정리

주어진 값: 신호파 주파수는 $f_m = 10kHz$이다.
최대 주파수 편이는 $\Delta f = 50kHz$이다.
구해야 할 값: FM 대역폭 BW이다.
주의할 조건: 반송파 $100MHz$는 중심 주파수일 뿐 대역폭 크기 계산에는 직접 들어가지 않는다.

사용할 공식

카슨의 법칙은 $BW \approx 2(\Delta f + f_m)$이다.
이 공식을 쓰는 이유는 문제에서 신호파 주파수와 최대 주파수 편이가 함께 주어졌기 때문이다.

계산 과정

1. 주어진 값을 공식에 대입한다.
$BW = 2(\Delta f + f_m)$
2. $\Delta f = 50kHz$, $f_m = 10kHz$를 넣는다.
$BW = 2(50 + 10) = 2 \times 60$
3. 계산하면 $BW = 120kHz$이다.

NoteBase

선지 판단

① X

20은 $2f_m = 2 \times 10 = 20$만 계산한 값이다. FM 대역폭은 주파수 편이 Δf를 함께 반영해야 하므로 틀리다. 틀린 표현은 신호파 성분만으로 대역폭을 본 점이며, 올바르게는 $BW \approx 2(\Delta f + f_m)$이다.

② X

100은 $2\Delta f = 2 \times 50 = 100$만 계산한 값이다. 변조 신호 주파수 f_m를 빠뜨렸으므로 틀리다. 틀린 표현은 최대 주파수 편이만으로 대역폭을 본 점이며, 올바르게는 편이와 신호파를 함께 더한 뒤 2배 해야 한다.

③ O

$BW = 2(50 + 10) = 120kHz$이므로 옳다. 카슨의 법칙에 정확히 맞는 값이다.

④ X

150는 카슨의 법칙 결과와 일치하지 않는다. 이 값은 편이와 신호파를 잘못 조합하거나 반송파 정보를 불필요하게 끌어들일 때 나올 수 있는 오답이다. 틀린 표현은 공식 없이 수치를 임의로 합성한 점이며, 올바르게는 $BW = 120kHz$이다.

오답 포인트

반송파 $100MHz$가 제시되어 있어도 대역폭 크기 계산에는 직접 쓰이지 않는다는 점이 함정이다. 또한 ①처럼 $2f_m$만 보거나 ②처럼 $2\Delta f$만 보는 식으로 한 항만 반영하면 쉽게 틀린다.

다시 나오면 이렇게 판단

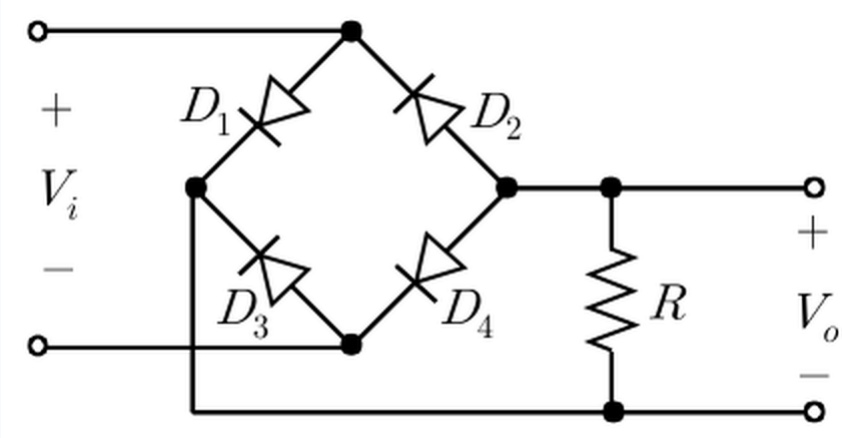
FM 대역폭 문제는 먼저 신호파 주파수 f_m와 최대 주파수 편이 Δf를 찾고, 그다음 카슨의 법칙 $BW \approx 2(\Delta f + f_m)$에 대입해 판단한다. 반송파 주파수는 중심 위치를 나타낼 뿐 대역폭의 크기를 바꾸지 않는다.

암기 포인트

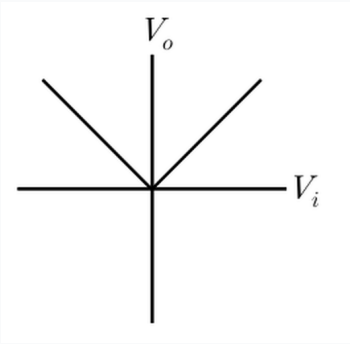
FM 대역폭은 카슨의 법칙 $2(\Delta f + f_m)$로 정리된다.

NoteBase

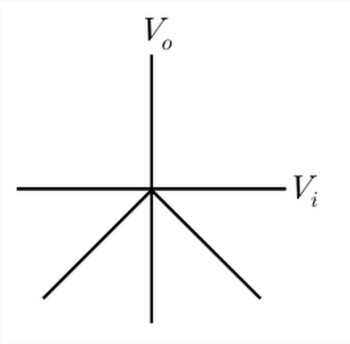
문 4. 다음 회로에서 입력전압(V_i)과 출력전압(V_o)의 관계를 옳게 표시한 것은? (단, 네 개의 다이오드는 모두 이상적이라고 가정한다)



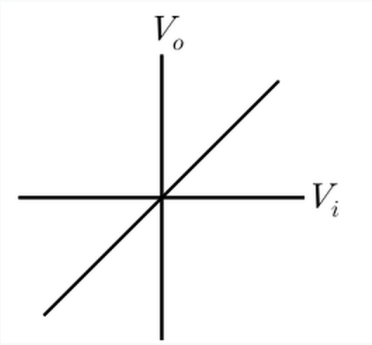
①



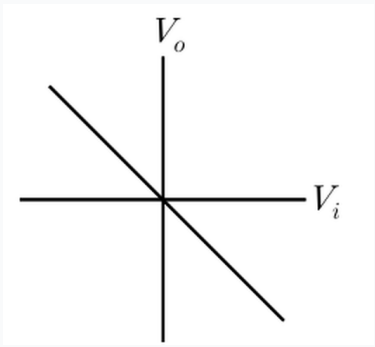
②



③



NoteBase

④ 

정답 2번

출제 포인트

이 문제는 브리지형 다이오드 연결에서 출력 단자의 극성이 어떻게 잡히는지를 보고 V_o가 입력의 절댓값 정류인지, 부호 반전 정류인지를 판단하는 문제이다.

NoteBase

선지별 해설

먼저 회로도에서 출력 극성을 읽는다. V_o의 +단자는 저항 R의 위쪽 노드(브리지 오른쪽 꼭짓점)에, −단자는 R의 아래쪽 노드(브리지 왼쪽 꼭짓점에서 아래로 연결된 단자)에 붙어 있다. 그런데 이 왼쪽 꼭짓점은 D_1, D_3의 음극이 모이는 자리라서 원래대로라면 항상 더 높은 전위(자연적인 +극)가 되는 노드인데, 여기에 V_o의 −단자를 붙여 두어 통상적 브리지 정류와 출력 극성이 반대로 정의되어 있다.

① X
- ①은 위로 열린 V자 그래프로 $V_o = |V_i|$를 나타낸다. 즉 두 반주기 모두 출력이 양이 되는 전파정류이다.
- 이 회로는 전파정류가 맞지만 출력의 +단자가 자연적으로 −가 되는 노드에 붙어 있어 실제 출력은 항상 음수이다.
- 따라서 $V_o = |V_i|$가 아니라 $V_o = -|V_i|$이므로 부호가 반대이다.

② O
- $V_i > 0$이면 위 입력 단자가 더 높으므로 D_1과 D_4가 도통한다. 전류 경로는 위 입력 단자 $\rightarrow D_1 \rightarrow R$의 아래쪽 단자($V_o$의 −단자) $\rightarrow R \rightarrow R$의 위쪽 단자($V_o$의 +단자) $\rightarrow D_4 \rightarrow$ 아래 입력 단자가 된다.
- 즉 전류가 R을 아래쪽(V_o −)에서 위쪽(V_o +) 방향으로 흐르므로 R의 아래쪽 단자가 더 높은 전위가 되고, 표시된 출력은 V_o=V_+단자-V_-단자<0이 된다. 이상적 다이오드는 순방향 전압강하가 0이라 출력의 크기가 입력과 같아 $V_o = -V_i$가 된다.
- $V_i < 0$일 때는 D_2, D_3가 도통하는데, 이때도 전류가 R을 아래에서 위로 흐르게 되어 R의 아래쪽 단자가 더 높은 전위가 된다. 따라서 결과는 $V_o = -|V_i|$로 같다.
- 두 반주기 모두 출력이 음수가 되어 아래로 열린 V자(역 V자) 그래프가 되므로 ②가 옳다.

③ X
- ③은 기울기 $+1$의 직선으로 $V_o = V_i$를 나타낸다.
- 이 회로는 입력 부호가 바뀌면 도통하는 다이오드 쌍이 바뀌므로 출력이 입력을 그대로 따라가지 않는다.
- 틀린 표현은 선형 전달이라는 점이며, 올바르게는 두 반주기 모두 음의 방향으로 정류된다.

④ X
- ④는 기울기 -1의 직선으로 $V_o = -V_i$를 나타낸다.
- 이것은 입력 부호에 따라 출력이 양·음으로 모두 바뀌는 단순 반전 특성인데, 실제 회로는 다이오드 브리지라서 음의 반주기도 같은 방향(음)으로 접힌다.
- 따라서 직선이 아니라 아래로 열린 V자인 $V_o = -|V_i|$가 되어야 하므로 ④는 옳지 않다.

오답 포인트

브리지 정류 회로를 보면 곧바로 $|V_i|$를 떠올리기 쉽지만, 이 문항은 출력전압의 기준 극성을 일부러 반대로 표시해 두었다. 회로의 종류만 보고 ①을 고르면 극성 확인을 놓친 것이다.

NoteBase

다시 나오면 이렇게 판단

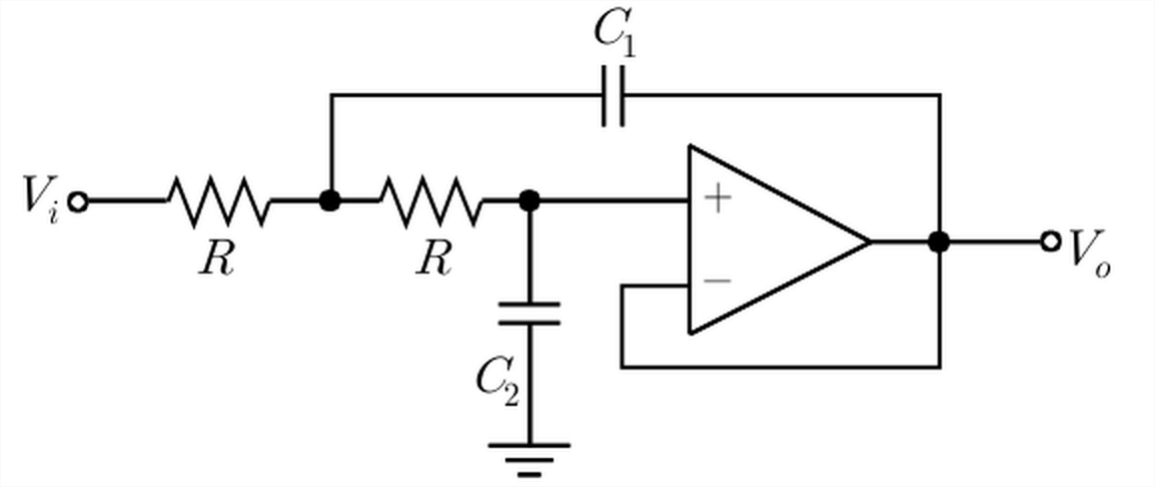
먼저 출력전압의 +, − 기준이 저항의 어느 쪽에 붙어 있는지 본다. 그다음 각 반주기에서 도통하는 두 다이오드를 잡아 부하의 위아래 중 어느 쪽이 더 높은 전위가 되는지만 확인하면 그래프 형태를 바로 정할 수 있다.

암기 포인트

브리지 정류는 절댓값을 만든다. 다만 출력 극성 표시가 뒤집히면 $V_o = |V_i|$가 아니라 $V_o = -|V_i|$가 된다.

NoteBase

문 5. 다음 회로의 전달함수는 $H(s)=\frac{V_O(s)}{V_I(s)}=\frac{1}{1+sX+s^2(R^2C_1C_2)}$이다. X에 적합한 것은? (단, 연산증폭기는 이상적이라고 가정한다)



① RC_1

② $2RC_1$

③ RC_2

④ $2RC_2$

정답 4번

출제 포인트

이 문제는 이상적인 전압 팔로어가 포함된 2차 저역통과 회로의 전달함수에서 s항 계수 X를 결절방정식으로 구하는 문제이다.

조건 정리

주어진 전달함수는 $H(s)=\frac{V_o(s)}{V_i(s)}=\frac{1}{1+sX+s^2(R^2C_1C_2)}$이다.
연산증폭기는 이상적이므로 $V_o=V_+$이다.
다만 V_o와 V_+는 전압만 같을 뿐 같은 전기적 노드는 아니므로, C_1 전류가 V_+ 노드로 직접 들어간다고 보면 안 된다.

NoteBase

사용할 공식

중간 노드를 V_a, 연산증폭기 비반전 입력 노드를 V_b라 두면
$\frac{V_a - V_i}{R} + \frac{V_a - V_b}{R} + sC_1(V_a - V_o) = 0$
$\frac{V_b - V_a}{R} + sC_2 V_b = 0, \quad V_o = V_b$
가 된다.
이 식을 쓰는 이유는 회로가 수동소자와 버퍼로 이루어져 있어 각 노드의 전류합을 0으로 두면 전달함수를 직접 정리할 수 있기 때문이다.

계산 과정

1. $V_o = V_b$를 대입하면 첫째 식은 $\frac{V_a - V_i}{R} + \frac{V_a - V_b}{R} + sC_1(V_a - V_b) = 0$이 된다.
2. 둘째 식에서 $V_a = (1 + sRC_2)V_b$가 된다.
3. 이를 첫째 식에 대입하면 $V_i = (1 + 2sRC_2 + s^2R^2C_1C_2)V_b$가 된다.
4. 따라서
$H(s) = \frac{V_o}{V_i} = \frac{V_b}{V_i} = \frac{1}{1 + 2sRC_2 + s^2R^2C_1C_2}$
이므로 $X = 2RC_2$이다.

선지 판단

1번 X: RC_1은 틀렸다. C_1은 s^2항의 $R^2C_1C_2$를 만드는 데 참여하고, s항 계수는 되지 않는다. 올바르게는 $X = 2RC_2$이다.
2번 X: $2RC_1$은 틀렸다. C_1을 s항 계수에 잘못 넣고 크기까지 두 배로 본 값이다. 올바르게는 $X = 2RC_2$이다.
3번 X: RC_2는 틀렸다. C_2 앞의 저항 기여가 한 번만 반영된 값이라서 부족하다. 이 회로에서는 R 두 개가 모두 s항 계수에 반영되어 올바르게는 $X = 2RC_2$이다.
4번 O: 전달함수를 정리하면 분모가 $1 + 2sRC_2 + s^2R^2C_1C_2$이므로 $X = 2RC_2$가 맞다.

오답 포인트

가장 흔한 실수는 $V_o = V_+$라는 전압 관계를 보고 출력 노드와 입력 노드를 완전히 같은 노드로 취급하는 것이다. 이렇게 풀면 C_1이 R과 병렬인 것처럼 보여 RC_1이 s항에 들어간다고 착각하기 쉽다.

다시 나오면 이렇게 판단

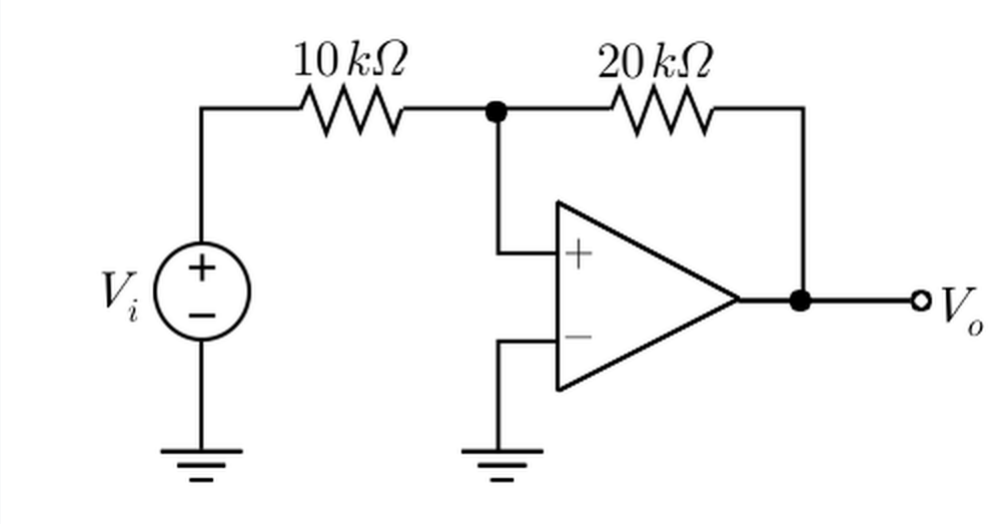
연산증폭기 버퍼가 있는 2차 필터는 먼저 $V_o = V_+$ 같은 전압 조건을 세우고, 그다음 각 물리적 노드를 분리해서 결절방정식을 쓴다. 전압이 같다는 사실과 전류가 흐르는 동일 노드라는 사실을 구분하면 s항과 s^2항이 깔끔하게 정리된다.

암기 포인트

이상적인 전압 팔로어 Sallen-Key 저역통과에서 이 회로의 감쇠항은 $2RC_2$, 2차항은 $R^2C_1C_2$이다.

NoteBase

문 6. 다음 쌍안정 회로에서 높은 쪽 문턱전압 V_{TH}[V]와 낮은 쪽 문턱전압 V_{TL}[V]의 값은? (단, 포화전압은 $V_H = -V_L = 12[V]$이다)



① V_{TH}: 6, V_{TL}: -6

② V_{TH}: 24, V_{TL}: -24

③ V_{TH}: 4, V_{TL}: -4

④ V_{TH}: 8, V_{TL}: -8

정답 1번

출제 포인트

이 문제는 비반전 슈미트 트리거에서 스위칭 순간의 조건 $V_+ = 0$을 이용해 높은 쪽 문턱전압 V_{TH}와 낮은 쪽 문턱전압 V_{TL}을 구하는 문제이다.

조건 정리

주어진 값:
- 입력 저항은 $10k\Omega$이다.
- 출력 되먹임 저항은 $20k\Omega$이다.
- 포화전압은 $V_H = +12V$, $V_L = -12V$이다.

구해야 할 값:
- 높은 쪽 문턱전압 V_{TH}
- 낮은 쪽 문턱전압 V_{TL}

주의할 조건:
- −단자는 접지되어 있으므로 스위칭 순간에는 $V_+ = V_- = 0$이다.
- 문턱전압은 단순 저항분배가 아니라 입력 V_i와 출력 V_o가 함께 만드는 V_+ 조건으로 구한다.

NoteBase

사용할 공식

V_+ 노드에 KCL을 적용하면
$\frac{V_+ - V_i}{10k\Omega} + \frac{V_+ - V_o}{20k\Omega} = 0$
이므로
$3V_+ = 2V_i + V_o$
이다.
스위칭 순간에는 $V_+ = 0$이므로
$2V_i + V_o = 0 \Rightarrow V_i = -\frac{V_o}{2}$
이다.
이 공식을 쓰는 이유:
이 회로의 문턱은 +단자 전압이 접지된 −단자 전압과 같아지는 순간에 결정되기 때문이다.

계산 과정

1. 출력이 낮은 포화상태이면 $V_o = V_L = -12V$이다.
2. 이때 $V_i = -V_o/2 = 6V$이므로 상승할 때의 문턱전압은 $V_{TH} = 6V$이다.
3. 출력이 높은 포화상태이면 $V_o = V_H = +12V$이다.
4. 이때 $V_i = -V_o/2 = -6V$이므로 하강할 때의 문턱전압은 $V_{TL} = -6V$이다.

선지별 해설

① O
- 계산 결과가 $V_{TH} = 6V, V_{TL} = -6V$이므로 맞다.

② X
- $24V, -24V$는 저항비 20/10 = 2를 포화전압 $12V$에 그대로 곱한 오산이다.
- 틀린 표현은 "문턱전압이 $\pm 24V$"이고, 올바르게는 스위칭 조건 $V_i = -V_o/2$에서 $V_{TH} = 6V, V_{TL} = -6V$이다.

③ X
- $4V, -4V$는 $12V \times \frac{10}{10+20} = 4V$처럼 입력 저항 쪽 비율만 따로 본 값이다.
- 틀린 표현은 "문턱전압이 $\pm 4V$"이고, 올바르게는 V_i와 V_o가 함께 V_+를 만든다는 점을 반영해 $V_{TH} = 6V$, $V_{TL} = -6V$로 계산한다.

④ X
- $8V, -8V$는 $12V \times \frac{20}{10+20} = 8V$처럼 되먹임 저항 쪽 비율만 적용한 값이다.
- 틀린 표현은 "문턱전압이 $\pm 8V$"이고, 올바르게는 KCL로 $2V_i + V_o = 0$을 세워 $V_{TH} = 6V, V_{TL} = -6V$를 구한다.

NoteBase

오답 포인트

문턱전압을 단순한 저항분배 $12 \times \frac{10}{30}$ 또는 $12 \times \frac{20}{30}$로 착각하기 쉽다. 이 회로는 V_i와 V_o가 동시에 +단자에 걸리므로 스위칭 순간의 조건식 $V_+ = 0$을 먼저 세워야 한다.

다시 나오면 이렇게 판단

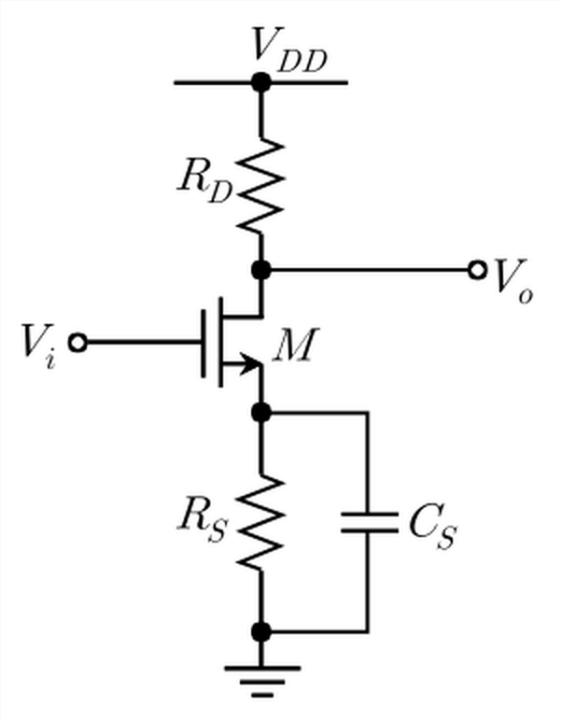
비반전 슈미트 트리거가 나오면 먼저 스위칭 순간 $V_+ = V_- = 0$ 조건을 둔다. 그다음 +단자 노드에 KCL을 적용해 V_i와 V_o의 관계식을 만든 뒤, $V_o = +V_{sat}$와 $V_o = -V_{sat}$를 각각 대입해 V_{TL}과 V_{TH}를 구하면 된다.

암기 포인트

비반전 슈미트 트리거의 문턱은 "+단자 KCL 후 $V_+ = 0$"으로 구하며, 이 회로의 핵심식은 $V_i = -V_o/2$이다.

NoteBase

문 7. 다음 회로의 전달함수 $\frac{V_o(s)}{V_i(s)}$에서 극점(pole)을 올바르게 구한 것은? (단, g_m은 M의 전달컨덕턴스이며, 채널길이변조(channel length modulation), 몸체효과(body effect), 기생커패시턴스 성분은 무시한다)



① $-\frac{1}{R_S C_S}$
② $-\frac{g_m}{C_S}$
③ $-\frac{1}{(1+g_m R_S)R_S C_S}$
④ $-\frac{1+g_m R_S}{R_S C_S}$

정답 4번

출제 포인트

소스 저항 R_S가 바이패스 커패시터 C_S와 병렬로 연결된 공통소스 증폭기에서 소스 임피던스를 반영하여 전달함수의 분모와 극점을 구하는 문제이다.

조건 정리

주어진 회로는 r_o, 몸체효과, 기생 커패시턴스를 무시한 공통소스 증폭기이다.
소스 노드에서 본 임피던스는 $Z_S = R_S \parallel \frac{1}{sC_S} = \frac{R_S}{1+sR_S C_S}$이다.
출력은 $v_o = -g_m R_D v_{gs}$이고, $v_{gs} = v_i - v_s$이다.

NoteBase

사용할 공식

소스 노드 KCL로 $v_s = g_m Z_S(v_i - v_s)$를 쓴다.
따라서 $v_{gs} = \frac{v_i}{1 + g_m Z_S}$이고,
$\frac{V_o(s)}{V_i(s)} = -\frac{g_m R_D}{1 + g_m Z_S}$
가 된다.
이 공식을 쓰는 이유는 극점이 소스 쪽의 주파수 의존 임피던스 Z_S가 분모에 들어가면서 결정되기 때문이다.

계산 과정

1. $Z_S = \frac{R_S}{1 + sR_SC_S}$를 대입하면
$1 + g_m Z_S = 1 + \frac{g_m R_S}{1 + sR_SC_S} = \frac{1 + sR_SC_S + g_m R_S}{1 + sR_SC_S}$
가 된다.

2. 따라서
$\frac{V_o(s)}{V_i(s)} = -g_m R_D \cdot \frac{1 + sR_SC_S}{1 + g_m R_S + sR_SC_S}$
가 된다.

3. 분모를 0으로 두면 극점은
$1 + g_m R_S + sR_SC_S = 0$
이므로
$s = -\frac{1 + g_m R_S}{R_SC_S}$
이다.

선지별 해설

① X
틀린 부분은 극점을 $-\frac{1}{R_SC_S}$로 본 점이다. 이는 $g_m = 0$인 단순 R_SC_S 회로처럼 처리한 값이다. 올바르게는 소스 퇴화가 분모에 추가되어 $1 + g_m R_S$가 함께 들어가므로 극점은 $-\frac{1 + g_m R_S}{R_SC_S}$이다.

② X
틀린 부분은 극점을 $-\frac{g_m}{C_S}$로 본 점이다. 이 식은 R_S와 상수항 1이 모두 빠져 있다. 올바르게는 R_S가 소스 시간상수를 만들고, 전달컨덕턴스 효과는 $1 + g_m R_S$ 형태로 반영되어 $-\frac{1 + g_m R_S}{R_SC_S}$가 된다.

③ X
틀린 부분은 $1 + g_m R_S$를 분모에 둔 점이다. 이는 소스 퇴화가 극점을 느리게 만든다고 거꾸로 해석한 값이다. 올바르게는 분모식이 $1 + g_m R_S + sR_SC_S$이므로 극점은 $-\frac{1 + g_m R_S}{R_SC_S}$이고, $1 + g_m R_S$는 분자 쪽으로 올라온다.

④ O
분모가 $1 + g_m R_S + sR_SC_S$이므로 극점은 $s = -\frac{1 + g_m R_S}{R_SC_S}$이다. 따라서 ④가 옳다.

NoteBase

오답 포인트

이 문항의 함정은 소스 노드를 단순한 $R_S C_S$ 1차 회로로 보는 데 있다. 공통소스 증폭기에서는 소스 전압이 g_m에 의해 다시 v_{gs}에 영향을 주므로, 시간상수에 $1 + g_m R_S$가 추가된다는 점을 놓치기 쉽다.

다시 나오면 이렇게 판단

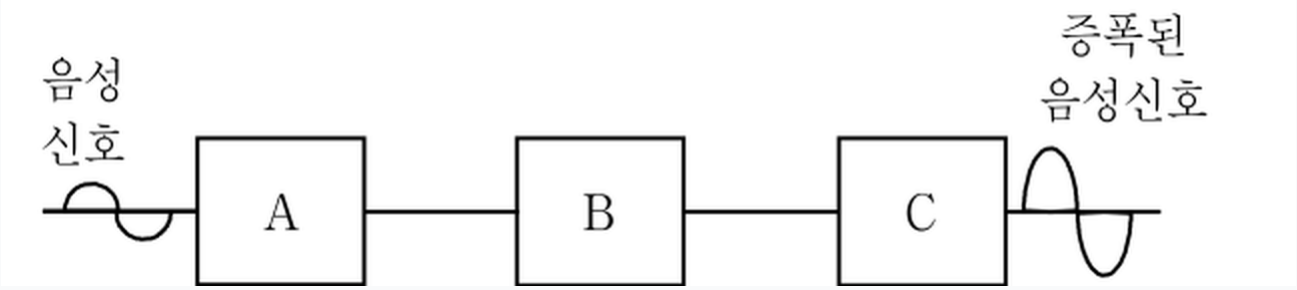
소스나 이미터에 커패시터가 붙은 증폭기 극점 문제는 먼저 그 노드의 등가 임피던스를 s-영역으로 바꾸고, 그 노드 전압을 KCL로 구한 뒤, 전달함수 분모를 0으로 두어 극점을 읽어내면 된다.

암기 포인트

소스 바이패스가 있는 공통소스의 극점은 단순 $1/(R_S C_S)$가 아니라 $p = -\frac{1 + g_m R_S}{R_S C_S}$이다.

NoteBase

문 8. 다음은 상보형 MOSFET를 이용한 D급 증폭기의 블록다이어그램이다. A-B-C에 들어갈 명칭을 순서대로 바르게 나열한 것은?



① PWM변조기 - 보상 푸시풀 스위칭 증폭기 - 저역통과필터

② PWM변조기 - 저역통과필터 - 보상 푸시풀 스위칭 증폭기

③ PCM변조기 - 보상 푸시풀 스위칭 증폭기 - 저역통과필터

④ PCM변조기 - 저역통과필터 - 보상 푸시풀 스위칭 증폭기

정답 1번

출제 포인트

이 문제는 상보형 MOSFET를 이용한 D급 증폭기 블록도에서 입력 음성을 PWM으로 변조하고, 스위칭 전력증폭 뒤 저역통과필터로 음성 성분을 복원하는 순서를 판별하는 문제이다.

선지별 해설

① O: D급 증폭기는 입력 음성신호를 먼저 PWM 신호로 바꾸고, 상보형 MOSFET 푸시풀 스위칭단에서 전력 증폭한 뒤, 저역통과필터에서 스위칭 고조파를 제거하여 증폭된 음성신호를 얻는다.
② X: 저역통과필터는 스위칭 증폭기 앞에 오지 않는다. 틀린 표현은 'PWM변조기-저역통과필터-보상 푸시풀 스위칭 증폭기'이고, 올바르게는 'PWM변조기-보상 푸시풀 스위칭 증폭기-저역통과필터'이다.
③ X: A는 PCM변조기가 아니라 PWM변조기이다. 틀린 표현은 'PCM변조기'이고, 올바르게는 입력 음성의 펄스폭을 바꾸는 'PWM변조기'이다.
④ X: PCM과 필터 위치가 모두 틀렸다. 틀린 표현은 'PCM변조기-저역통과필터-보상 푸시풀 스위칭 증폭기'이고, 올바르게는 'PWM변조기-보상 푸시풀 스위칭 증폭기-저역통과필터'이다.

오답 포인트

D급 증폭기를 디지털 음성부호화인 PCM과 혼동하거나, 저역통과필터를 변조 직후에 둔다고 착각하기 쉽다. 이 문항의 함정은 '변조 방식은 PWM'이고 '필터는 스위칭 증폭 뒤에서 파형을 복원한다'는 점을 동시에 묻는 데 있다.

NoteBase

다시 나오면 이렇게 판단

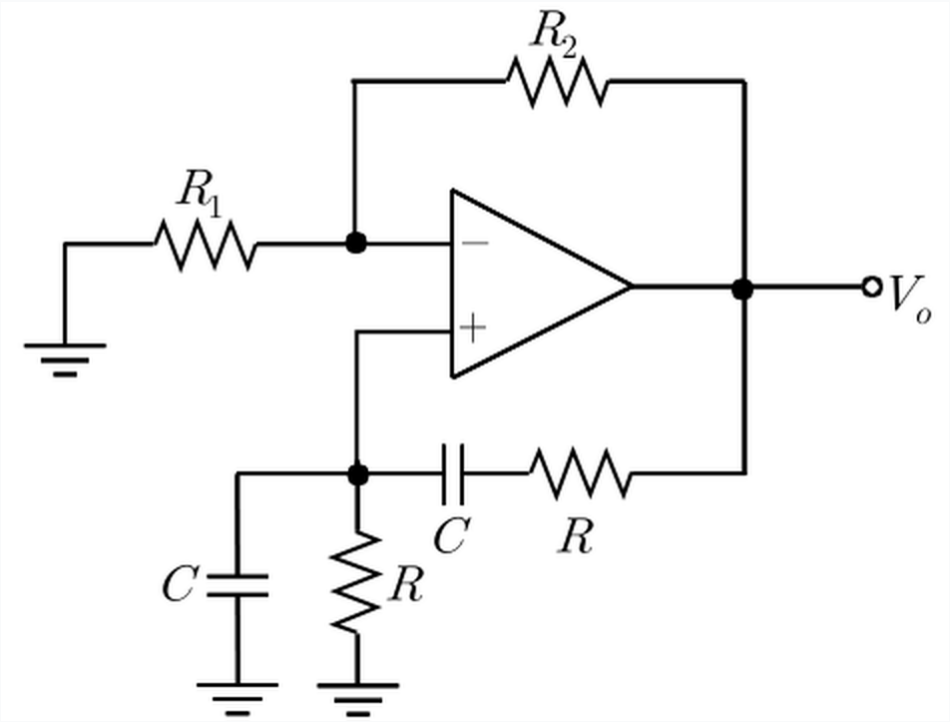
D급 증폭기 블록도는 '변조 → 스위칭 전력증폭 → 필터 복원' 순서로 판단한다. 입력과 출력이 모두 음성신호이면 중간 단계는 PWM 스위칭 파형이고, 저역통과필터는 항상 출력단 쪽에 놓인다.

암기 포인트

D급 증폭기는 PWM으로 바꾸고 MOSFET로 스위칭 증폭한 뒤 LPF로 음성을 꺼내는 구조이다.

NoteBase

문 9. 다음 회로에서 $\frac{R_2}{R_1}$값을 R과 C의 함수로 바르게 나타낸 것은? (단, 연산증폭기는 이상적이라고 가정한다)



① $\frac{R_2}{R_1} = \frac{1}{sCR} + 2$
② $\frac{R_2}{R_1} = \frac{1}{sCR} + 2 + sCR$
③ $\frac{R_2}{R_1} = \frac{1}{sCR} + sCR$
④ $\frac{R_2}{R_1} = 2 + sCR + s^2CR$

정답 2번

출제 포인트

이 문제는 비반전 증폭기 이득 $1 + \frac{R_2}{R_1}$와 RC 양의 되먹임망의 전달함수 $\beta(s)$를 연결하여 $\frac{R_2}{R_1}$를 구하는 문제이다.

조건 정리

주어진 값은 위쪽의 비반전 증폭기 저항망 R_1, R_2와 아래쪽의 Wien bridge형 RC 되먹임망이다.
구해야 할 값은 $\frac{R_2}{R_1}$이다.
주의할 조건은 이상적 연산증폭기이므로 $V_- = V_+$가 성립하고 입력전류는 0이라는 점이다.

NoteBase

사용할 공식

비반전 증폭기 이득은 $A = 1 + \frac{R_2}{R_1}$이다.
RC 되먹임망의 전달함수는 $\beta(s) = \frac{V_+}{V_o} = \frac{Z_2}{Z_1 + Z_2}$이다.
여기서 $Z_1 = R + \frac{1}{sC}$, $Z_2 = R \parallel \frac{1}{sC} = \frac{R}{1 + sCR}$이다.
이 공식을 쓰는 이유는 이 회로가 증폭기 부분과 주파수 선택 RC 되먹임망으로 나뉘기 때문이다. 따라서 전체 조건은 $A\beta(s) = 1$, 즉 $1 + \frac{R_2}{R_1} = \frac{1}{\beta(s)}$로 정리된다.

계산 과정

1. 되먹임망의 임피던스를 정리하면 $Z_1 = R + \frac{1}{sC}$, $Z_2 = \frac{R}{1 + sCR}$이다.
2. 따라서 $\beta(s) = \frac{Z_2}{Z_1 + Z_2} = \frac{sCR}{1 + 3sCR + s^2C^2R^2}$이다.
3. 이상적 연산증폭기에서 필요한 증폭기 이득은 $A = \frac{1}{\beta(s)} = \frac{1 + 3sCR + s^2C^2R^2}{sCR}$이다.
4. 비반전 증폭기 이득 $A = 1 + \frac{R_2}{R_1}$와 같게 두면 $1 + \frac{R_2}{R_1} = \frac{1 + 3sCR + s^2C^2R^2}{sCR} = \frac{1}{sCR} + 3 + sCR$
5. 따라서 $\frac{R_2}{R_1} = \frac{1}{sCR} + 2 + sCR$이다.

선지 판단

① X
$\frac{1}{sCR} + 2$는 정답식에서 $+sCR$ 항이 빠진 식이다. 틀린 표현은 RC 직렬 경로가 만드는 1차항을 누락한 부분이다. 올바르게는 $\frac{R_2}{R_1} = \frac{1}{sCR} + 2 + sCR$이다.

② O
계산 결과가 그대로 $\frac{R_2}{R_1} = \frac{1}{sCR} + 2 + sCR$이므로 옳다.

③ X
$\frac{1}{sCR} + sCR$는 정답식에서 상수항 2가 빠진 식이다. 틀린 표현은 비반전 증폭기 이득의 -1 정리 뒤에도 남는 상수항을 누락한 부분이다. 올바르게는 $\frac{1}{sCR} + 2 + sCR$이다.

④ X
$2 + sCR + s^2CR$는 $\frac{1}{sCR}$ 역수항이 빠졌고, 마지막 항도 최종 정리식에 남지 않는다. 틀린 표현은 역수항을 누락하고 2차항 형태로 남겨 둔 부분이다. 올바르게는 $\frac{1}{sCR} + 2 + sCR$이다.

오답 포인트

이 문제의 함정은 아래 RC망을 단순 직렬 또는 단순 병렬 한 덩어리로 오해하는 데 있다. 그러면 $\beta(s)$를 잘못 세워 $+2$ 항이나 $+sCR$ 항을 빠뜨리기 쉽다. 또 $A = 1 + \frac{R_2}{R_1}$에서 마지막에 1을 빼는 과정을 놓치면 ③ 같은 오답이 나오기 쉽다.

NoteBase

다시 나오면 이렇게 판단

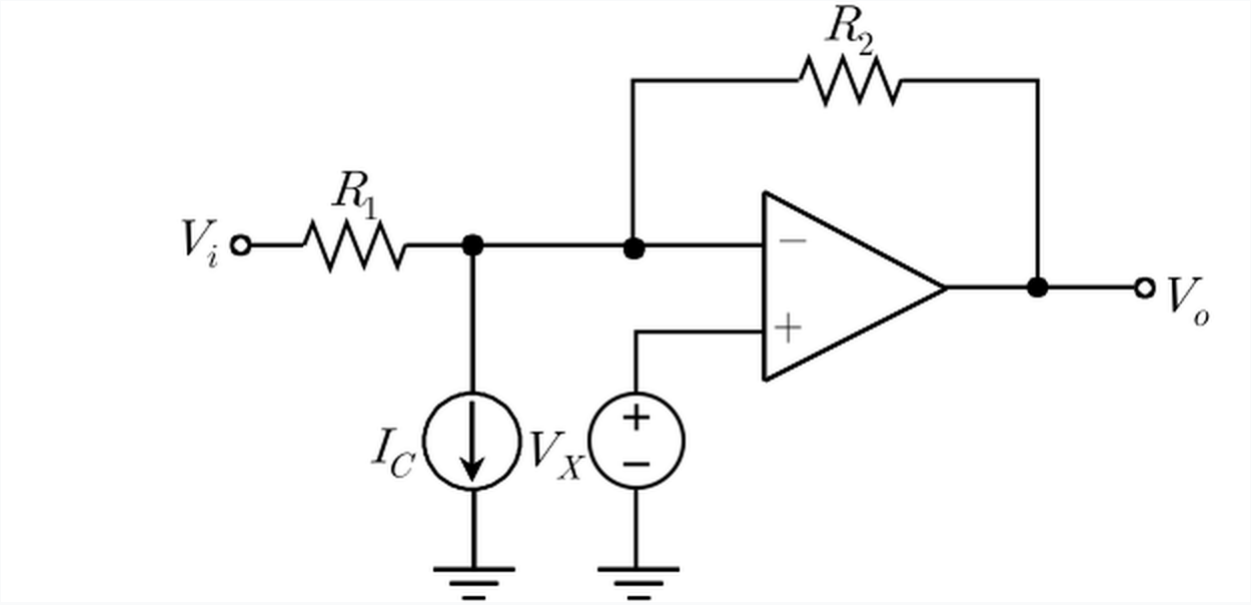
연산증폭기 발진 회로형 계산문제는 먼저 증폭기 이득 A와 주파수 선택 되먹임망 β를 분리해서 본다. 그다음 RC망의 직렬 임피던스와 병렬 임피던스를 각각 구하고 $\beta = \frac{V_+}{V_o}$를 만든 뒤, 마지막에 $A = 1 + \frac{R_2}{R_1} = \frac{1}{\beta}$로 연결하면 된다.

암기 포인트

Wien bridge형 RC망은 $\beta(s)$를 먼저 구하고, 비반전 이득은 항상 $1 + \frac{R_2}{R_1}$ 형태로 연결된다는 점이 핵심이다.

NoteBase

문 10. 다음 회로에서 출력전압 $V_o = -\frac{R_2}{R_1}V_i$가 되기 위한 I_C와 V_X의 조건은? (단, 연산증폭기는 이상적이라고 가정한다)



① $I_C = -\frac{1}{R_1}V_X$
② $I_C = -\frac{1}{R_2}V_X$
③ $I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$
④ $I_C = -\left(1 + \frac{R_2}{R_1}\right)\frac{1}{R_1}V_X$

정답 3번

출제 포인트

이 문제는 이상적 연산증폭기의 가상단락 조건 $V_- = V_+ = V_X$과 반전단 노드의 KCL을 이용해 I_C와 V_X의 조건을 유도하는 문제이다.

조건 정리

주어진 조건:
- 이상적 연산증폭기이므로 입력전류는 0이고 음귀환이 걸리면 $V_- = V_+ = V_X$이다.
- 반전단 노드 전압은 V_X이다.

구해야 할 값:
- $V_o = -\frac{R_2}{R_1}V_i$가 되도록 하는 I_C와 V_X의 관계이다.

주의할 조건:
- V_X와 전류원이 만드는 출력 오프셋 항이 0이 되어야 순수한 반전증폭기 식만 남는다.

NoteBase

사용할 공식

반전단 노드에서 KCL을 쓰면
$\frac{V_X - V_i}{R_1} + \frac{V_X - V_o}{R_2} + I_C = 0$
이다.

이 공식을 쓰는 이유:
이상적 연산증폭기에서는 반전단 전압이 V_X로 고정되고 입력전류가 0이므로, 반전단 노드에 연결된 R_1, R_2, 전류원 전류의 합을 0으로 두면 출력식을 바로 정리할 수 있기 때문이다.

계산 과정

1. 이상적 연산증폭기이므로 반전단 전압은 $V_- = V_+ = V_X$이다.
2. 반전단 노드에서 KCL을 쓰면
$\frac{V_X - V_i}{R_1} + \frac{V_X - V_o}{R_2} + I_C = 0$
이다.
3. 이를 V_o에 대해 정리하면
$V_o = -\frac{R_2}{R_1}V_i + \left(1 + \frac{R_2}{R_1}\right)V_X + R_2 I_C$
이다.
4. 문제의 목표식은 $V_o = -\frac{R_2}{R_1}V_i$이므로 나머지 오프셋 항이 0이어야 한다.
$\left(1 + \frac{R_2}{R_1}\right)V_X + R_2 I_C = 0$
5. 따라서
$I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$
가 되어야 한다.

선지별 해설

① X
- $I_C = -\frac{1}{R_1}V_X$만 대입하면 오프셋 항이 V_X만큼 남아 $V_o = -\frac{R_2}{R_1}V_i + V_X$가 된다.
- 틀린 표현은 $\frac{1}{R_2}V_X$ 항이 빠진 점이다. 올바르게는 $I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$이다.

② X
- $I_C = -\frac{1}{R_2}V_X$만 대입하면 오프셋 항이 $\frac{R_2}{R_1}V_X$만큼 남아 목표식이 되지 않는다.
- 틀린 표현은 $\frac{1}{R_1}V_X$ 항이 빠진 점이다. 올바르게는 $I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$이다.

③ O
- KCL로 얻은 조건이 바로 $I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$이므로 V_X와 전류원이 만드는 출력 오프셋이 정확히 상쇄된다.
- 따라서 $V_o = -\frac{R_2}{R_1}V_i$만 남으므로 정답이다.

④ X
- $I_C = -\left(1 + \frac{R_2}{R_1}\right)\frac{1}{R_1}V_X$는 $R_2 I_C$를 정리할 때 분모가 R_2로 남아야 하는 항까지 R_1로 잘못 묶은 식이다.
- 틀린 표현은 $\frac{1}{R_2}$가 들어가야 할 자리가 $\frac{1}{R_1}$로 바뀐 점이다. 올바르게는 $I_C = -\left(\frac{1}{R_1} + \frac{1}{R_2}\right)V_X$이다.

NoteBase

오답 포인트

이 문제의 함정은 반전증폭기 공식 $V_o = -\frac{R_2}{R_1}V_i$만 외우고 전류원 I_C와 기준전압 V_X가 만드는 추가 오프셋 항을 빼먹는 데 있다. 특히 $V_X = 0$인 보통 반전증폭기처럼 처리하거나, $R_2 I_C$ 항을 나누는 과정에서 분모를 잘못 옮기면 ①, ②, ④ 같은 오답이 나온다.

다시 나오면 이렇게 판단

이상적 연산증폭기에 외부 전류원이나 기준전압원이 붙으면 먼저 $V_- = V_+$와 입력전류 0을 적용한 뒤 반전단 노드의 KCL을 세운다. 그다음 출력식을 V_i에 대한 항과 오프셋 항으로 분리해 목표식과 비교하면, 필요한 조건은 오프셋 항의 계수를 0으로 두는 방식으로 바로 정리된다.

암기 포인트

변형 반전회로는 반전증폭기 이득만 보는 문제가 아니라 $V_- = V_+$를 먼저 놓고 KCL로 오프셋 상쇄 조건을 찾는 문제가 핵심이다.

NoteBase

문 11. 다음 카르노 맵(Karnaugh map)에 대한 논리식으로 옳은 것은?

x \ yz	00	01	11	10
0	1	1		1
1	1	1	1	1

① $F = \overline{x} + y + \overline{z}$

② $F = x + \overline{y} + z$

③ $F = x + \overline{y} + \overline{z}$

④ $F = \overline{x} + y + z$

정답 3번

출제 포인트

이 문제는 카르노 맵에서 1이 놓인 셀을 인접 묶음으로 읽어 최소합 형태로 정리할 수 있는지를 묻는다. 맵의 8개 셀 중 1인 셀은 ($x=0, yz=00$), ($x=0, yz=01$), ($x=0, yz=10$), ($x=1, yz=00$), ($x=1, yz=01$), ($x=1, yz=11$), ($x=1, yz=10$)의 7개이고, 0인 셀은 ($x=0, yz=11$), 즉 $x=0, y=1, z=1$ 하나뿐이다.

카르노 맵 그룹핑은 인접한 1들을 1, 2, 4, 8처럼 2의 거듭제곱 크기로 묶으며, 서로 다른 묶음이 같은 셀을 중첩해서 덮어도 된다. 이 맵은 크기 4짜리 묶음 세 개로 모두 덮인다. 첫째, $x=1$인 아래 행 4칸이 전부 1이므로 x 묶음이 나온다. 둘째, $y=0$인 두 열 $yz=00, 01$의 위·아래 4칸이 모두 1이므로 $\bar{y}$ 묶음이 나온다. 셋째, $z=0$인 두 열 $yz=00, 10$의 위·아래 4칸이 모두 1이므로 $\bar{z}$ 묶음이 나온다. 따라서 $F = x + \bar{y} + \bar{z}$로 정리된다.

0인 셀이 하나뿐이므로 더 간단히는 그 최소항 $\bar{x}yz$의 보수를 취해 $F = (\bar{x}yz)' = x + \bar{y} + \bar{z}$로 바로 얻을 수도 있다.

NoteBase

선지별 해설

① X

$F = \bar{x} + y + \bar{z}$는 유일한 0 셀 $(x=0, y=1, z=1)$에 대입하면 $\bar{x} + y + \bar{z} = 1 + 1 + 0 = 1$이 된다. 이 셀에서 맵값은 0이어야 하므로 불일치한다. 이 식은 $x=1$ 행이 아니라 $x=0$ 쪽을 주된 묶음($\bar{x}$)으로 본 형태라 맵과 맞지 않는다. 틀린 식은 $\bar{x} + y + \bar{z}$이고, 올바르게는 $x + \bar{y} + \bar{z}$이다.

② X

$F = x + \bar{y} + z$는 유일한 0 셀 $(x=0, y=1, z=1)$에 대입하면 $x + \bar{y} + z = 0 + 0 + 1 = 1$이 되어, 0이어야 할 셀에서 1이 나오므로 불일치한다. z 항 대신 $\bar{z}$ 항이 있어야 위 행의 $yz = 00, 10$(즉 $z=0$) 묶음을 옳게 표현할 수 있다. 틀린 식은 $x + \bar{y} + z$이고, 올바르게는 $x + \bar{y} + \bar{z}$이다.

③ O

아래 행 $x=1$의 네 칸이 모두 1이므로 크기 4짜리 x 묶음이 나온다. 이어서 $y=0$인 $yz = 00, 01$ 두 열의 위·아래 4칸이 모두 1이므로 $\bar{y}$ 묶음이, $z=0$인 $yz = 00, 10$ 두 열의 위·아래 4칸이 모두 1이므로 $\bar{z}$ 묶음이 나온다. 세 묶음이 유일한 0 셀 $(x=0, y=1, z=1)$을 제외한 나머지 1들을 모두 덮으므로 최종식은 $F = x + \bar{y} + \bar{z}$이다. 이 식을 그 0 셀에 대입하면 $0 + 0 + 0 = 0$으로 맵과 일치한다.

④ X

$F = \bar{x} + y + z$는 유일한 0 셀 $(x=0, y=1, z=1)$에 대입하면 $\bar{x} + y + z = 1 + 1 + 1 = 1$이 되어, 0이어야 할 셀에서 1이 나오므로 불일치한다. 이 식은 $x=0$ 전체를 덮어 버려 그 안의 0 셀까지 1로 만드는 것이 문제다. 틀린 식은 $\bar{x} + y + z$이고, 올바르게는 $x + \bar{y} + \bar{z}$이다.

오답 포인트

위 행에서 0이 하나만 빠져 있다는 점을 보지 못하고 y나 z를 그대로 쓰면 오답이 된다. 이 문제는 $yz = 11$만 0이라는 사실을 보고 위 행을 $\bar{y}$ 묶음과 $\bar{z}$ 묶음으로 읽어야 한다는 점이 함정이다. 헷갈릴 때는 유일한 0 셀 $(x=0, y=1, z=1)$에 각 선지 식을 직접 대입해, 0이 나오는 식만 정답으로 고르면 확실하다.

다시 나오면 이렇게 판단

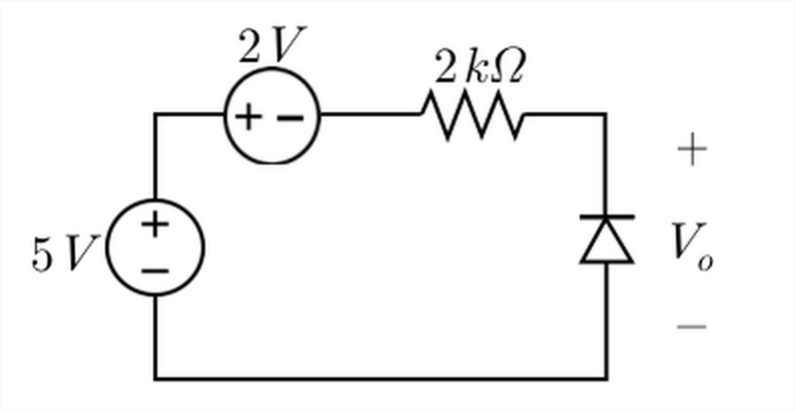
먼저 행이나 열 전체로 한 번에 묶이는 항이 있는지 본다. 그다음 남는 1들을 가장 크게 묶어 공통변수를 찾고, 0이 있는 칸의 변수 조합이 식에서 배제되는지 확인하면 된다. 0인 셀이 하나뿐이면 그 최소항의 보수를 바로 취하는 방법도 빠르다.

암기 포인트

카르노 맵에서 한 칸만 0이면 그 0을 제외하는 형태로 식이 정리되며, 이 문제는 11만 빠졌으므로 $\bar{y} + \bar{z}$가 핵심이다.

NoteBase

문 12. 다음 회로에서 출력전압 V_o[V]는? (단, 다이오드는 이상적이라고 가정한다)



① 1.5

② 2

③ 3

④ 5

정답 3번

출제 포인트

이 문제는 이상 다이오드의 도통 여부를 먼저 판단한 뒤, KVL로 출력전압 V_o를 구하는 문제이다.

조건 정리

주어진 값: 왼쪽 전원은 5V, 위 전원은 왼쪽이 +이고 오른쪽이 −인 2V, 저항은 $2k\Omega$이다.
구해야 할 값: 오른쪽 위 단자의 출력전압 V_o이다.
주의할 조건: 이상 다이오드는 순방향이면 단락, 역방향이면 개방으로 본다.

사용할 공식

$V = IR$, KVL, 이상 다이오드의 ON/OFF 조건을 사용한다.
이 공식을 쓰는 이유: 먼저 다이오드가 켜지는지 꺼지는지 판단해야 전류와 저항 전압강하를 결정할 수 있기 때문이다.

NoteBase

계산 과정

1. 아래 도선을 기준 $0V$로 두면 5V 전원의 위쪽 노드는 $+5V$이다.
2. 그 다음 2V 전원은 왼쪽이 +, 오른쪽이 −이므로 오른쪽 노드는 $5 - 2 = 3V$이다.
3. 그림의 다이오드는 위쪽이 캐소드(막대), 아래쪽이 애노드이므로 위쪽 노드가 3V, 아래쪽 노드가 0V이면 역바이어스이다. 따라서 다이오드는 OFF이고 회로 전류는 0이다.
4. 전류가 0이므로 $2k\Omega$ 저항 양단 전압강하는 $IR = 0$이다. 따라서 출력전압은 그대로 $V_o = 3V$이다.

선지별 해설

① X

1.5V는 아니다. 저항이 있다고 해서 전압이 자동으로 나뉘지 않는다. 이 회로는 다이오드가 OFF이므로 전류가 0이고 저항 전압강하도 0이다. 틀린 표현은 "저항 때문에 3V가 더 줄어든다"이고, 올바르게는 "저항 전압강하는 0이어서 $V_o = 3V$이다"이다.

② X

2V는 위쪽 전원의 크기일 뿐 출력전압이 아니다. 틀린 표현은 "2V 전원 값이 곧 V_o이다"이고, 올바르게는 "5V에서 2V를 한 번 감산한 노드전압이 V_o 후보이며, 다이오드가 OFF라서 $V_o = 3V$이다"이다.

③ O

5V 전원으로 $+5V$를 만든 뒤 2V 전원에서 2V가 감소하여 오른쪽 노드는 3V가 된다. 다이오드가 역바이어스이므로 저항 전압강하는 0이고, 따라서 $V_o = 3V$가 맞다.

④ X

5V는 첫 번째 전원만 본 값이라서 2V 전원의 극성을 무시한 결과이다. 틀린 표현은 "출력은 5V 그대로이다"이고, 올바르게는 "위쪽 2V 전원에서 한 번 전압이 떨어져 $V_o = 3V$이다"이다.

오답 포인트

이 문항의 함정은 저항이 있으니 전압이 분배된다고 기계적으로 생각하는 점과 2V 전원의 극성을 놓치는 점이다. 이상 다이오드가 OFF이면 개방 회로가 되어 전류가 0이므로 저항 전압강하도 0으로 정리된다.

다시 나오면 이렇게 판단

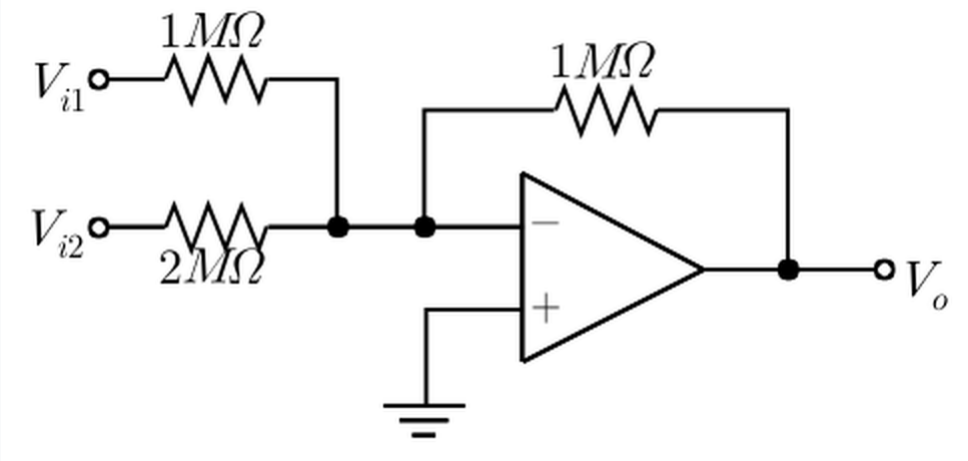
이상 다이오드 회로는 먼저 애노드와 캐소드 전위를 비교해 ON/OFF를 정하고, OFF이면 전류 0과 저항 강하 0을 확정한 뒤, 마지막에 전원 극성을 따라 KVL로 노드전압을 계산하면 된다.

암기 포인트

이상 다이오드 OFF이면 개방, 전류 0, 저항 전압강하 0이다. 전원 극성을 따라 더하고 빼면 V_o가 정리된다.

NoteBase

문 13. 다음 회로에서 $V_{i1} = 1[V]$, $V_{i2} = 2[V]$일 때 출력전압 $V_o[V]$는? (단, 연산증폭기는 이상적이라고 가정한다)



① 2

② -2

③ 5

④ -5

정답 2번

출제 포인트

이 문제는 이상적인 연산증폭기의 가상접지 성질을 이용해 반전 가산 증폭기의 출력전압을 계산하는 문제이다.

조건 정리

주어진 값: $V_{i1} = 1V$, $V_{i2} = 2V$, 입력 저항은 각각 $1M\Omega$, $2M\Omega$, 귀환 저항은 $1M\Omega$이다.
구해야 할 값: 출력전압 V_o이다.
주의할 조건: 이상적인 연산증폭기이므로 입력 전류는 0이고, 비반전 단자가 접지되어 있으므로 반전 단자 전압도 가상접지로 $0V$가 된다.

사용할 공식

반전 가산 증폭기이므로
$V_o = -R_f\left(\frac{V_{i1}}{R_1} + \frac{V_{i2}}{R_2}\right)$
을 사용한다.
이 공식을 쓰는 이유는 두 입력 전압이 모두 반전 단자로 저항을 통해 합쳐지고, 비반전 단자가 접지되어 반전 단자가 가상접지점이 되기 때문이다.

NoteBase

계산 과정

1. 반전 입력 노드는 가상접지이므로 노드 전압은 $0V$이다.
2. 각 입력 전류는
$I_1 = \frac{1V}{1M\Omega} = 1\mu A, \qquad I_2 = \frac{2V}{2M\Omega} = 1\mu A$
이다.
3. 합류 전류는 $I_1 + I_2 = 2\mu A$이고, 이 전류가 귀환 저항으로 흐르므로
$V_o = -(2\mu A)(1M\Omega) = -2V$
가 된다.

선지 판단

1번 X: 2는 부호를 반대로 계산한 값이다. 반전 증폭기이므로 출력은 음수가 되어야 하며, 올바르게는 $-2V$이다.
2번 O: 계산 결과가 정확히 $-2V$이므로 맞는 선지이다.
3번 X: 5는 두 입력을 단순 가산하거나 저항비를 잘못 곱해 나온 값이다. 이 회로의 올바른 출력은 $-2V$이다.
4번 X: $-5V$는 V_{i2} 경로의 $2M\Omega$를 무시하고 두 입력을 모두 같은 가중치로 처리했을 때 나오는 오답이다. V_{i2}는 $2M\Omega$를 거치므로 기여도는 $-1V$이고, 최종값은 $-2V$이다.

오답 포인트

가장 흔한 실수는 반전 단자의 부호를 놓치거나, V_{i2} 가지의 저항이 $2M\Omega$라는 점을 무시하고 두 입력을 같은 비율로 더하는 것이다. 이 문항은 부호와 가중치를 동시에 점검하는 함정을 둔 문제이다.

다시 나오면 이렇게 판단

연산증폭기 가산 회로가 나오면 먼저 비반전 단자의 기준 전압을 보고 반전 단자의 가상접지 여부를 확인한 뒤, 각 입력 전류를 V/R로 따로 계산해서 더하고 마지막에 반전 부호를 붙여 판단한다.

암기 포인트

반전 가산 증폭기는 각 입력의 $-R_f/R_i$배를 더한 값이 출력이 된다.

NoteBase

문 14. 출력 구조가 개방 드레인(open-drain)인 논리게이트(logic gate)에 대한 설명으로 옳지 않은 것은?

① 정상적인 출력전압을 얻기 위해서는 드레인 단자를 풀업저항(pull-up resistor)을 통해 전원에 연결해야 한다.

② 개방 드레인 출력 단자들끼리 결선-AND(wired-AND) 연결이 가능하다.

③ 서로 다른 전원전압을 사용하는 논리게이트와의 인터페이스에 사용할 수 있다.

④ 일반적으로 표준 CMOS 논리게이트에 비해 출력단의 회로가 복잡하다.

정답 4번

출제 포인트

이 문제는 개방 드레인 출력과 표준 CMOS 푸시풀 출력의 구조적 차이와 활용 특성을 구별할 수 있는지를 묻는다.

핵심 개념

개방 드레인은 출력단에 풀업 트랜지스터가 없어서 낮은 레벨만 능동적으로 끌어내리고, 높은 레벨은 외부 풀업저항으로 만든다.
표준 CMOS 출력은 풀업과 풀다운 트랜지스터를 모두 갖는 푸시풀 구조라서 외부 저항 없이도 높은 레벨과 낮은 레벨을 모두 능동적으로 만든다.

선지별 해설

1번 O: 개방 드레인은 출력단이 전류를 끌어내리는 기능만 하므로 출력이 높은 레벨이 되려면 드레인 단자를 외부 풀업저항을 통해 전원에 연결해야 한다.
2번 O: 여러 개의 개방 드레인 출력을 한 선에 묶으면 하나라도 낮은 레벨을 만들 때 전체 선이 낮아지고, 모두 해제될 때만 높은 레벨이 되어 결선-AND 연결이 가능하다.
3번 O: 풀업 전압을 별도로 정할 수 있어 소자 허용 범위 안에서는 서로 다른 전원전압을 쓰는 회로 사이의 인터페이스에 활용할 수 있다.
4번 X: 틀린 표현은 "출력단의 회로가 복잡하다"이다. 개방 드레인은 표준 CMOS 푸시풀 출력보다 내부 출력단이 단순하며, 대신 외부 풀업저항이 추가로 필요하다.

오답 포인트

개방 드레인은 외부 저항이 필요하므로 전체 사용이 번거롭다는 점만 보고 내부 회로도 더 복잡하다고 착각하기 쉽다. 실제 비교 대상은 외부 부품이 아니라 게이트 내부 출력단 구조이다.

다시 나오면 이렇게 판단

개방 드레인 문제가 나오면 먼저 내부에 풀업 소자가 있는지 없는지를 본다. 풀업 소자가 없으면 외부 풀업저항이 필요하고, 출력들을 묶을 수 있으며, 내부 출력단은 푸시풀보다 단순하다고 판단할 수 있다.

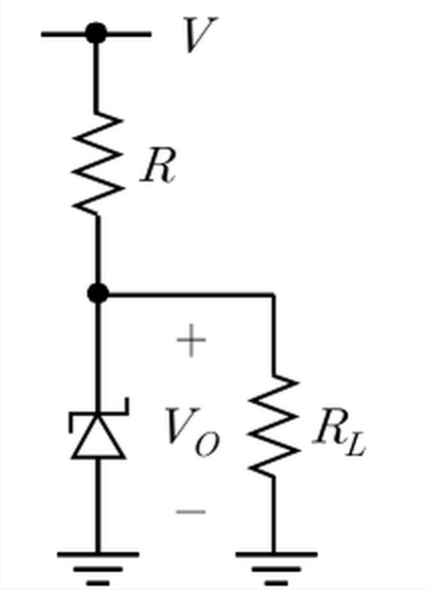
NoteBase

암기 포인트

개방 드레인은 내부는 단순하고 외부 풀업이 필요하며 결선-AND와 전압 레벨 인터페이스에 유리하다.

NoteBase

문 15. 다음 회로에서 5[V] 제너다이오드가 동작하기 위해서는 최소 전류 1[mA]가 다이오드에 흘러야 한다. $V = 11[V]$, $R = 1[k\Omega]$인 경우 $V_o = 5[V]$를 유지할 수 있는 저항 $R_L[k\Omega]$의 최소값은?



① 1

② 5

③ 6

④ 11

정답 1번

출제 포인트

제너 다이오드가 $5V$를 유지하려면 직렬저항 전류에서 부하전류를 뺀 제너전류가 최소 $1mA$ 이상이어야 한다는 점을 묻는 문제이다.

조건 정리

주어진 값: 입력전압 $V = 11V$, 직렬저항 $R = 1k\Omega$, 출력전압 $V_O = 5V$, 제너 최소동작전류 $I_Z = 1mA$이다.
구해야 할 값: $V_O = 5V$를 유지할 수 있는 R_L의 최소값이다.
주의할 조건: R_L이 작아질수록 부하전류가 커지므로 최소값은 제너전류가 막 $1mA$가 되는 경계에서 결정된다.

사용할 공식

직렬저항 전류는 $I_R = \frac{V - V_O}{R}$이고, 전류관계는 $I_R = I_Z + I_L$, 부하전류는 $I_L = \frac{V_O}{R_L}$이다.
이 공식을 쓰는 이유: 이 회로는 직렬저항이 공급하는 전류를 제너다이오드와 부하저항이 나누어 갖는 병렬형 제너 정전압 회로이기 때문이다.

NoteBase

계산 과정

1. 직렬저항 전류를 구하면 $I_R = \frac{11-5}{1k\Omega} = 6mA$이다.
2. 제너가 동작하기 위한 최소조건은 $I_Z = 1mA$이므로, 부하에 보낼 수 있는 최대전류는 $I_L = 6 - 1 = 5mA$이다.
3. 따라서 경계조건에서 $R_L = \frac{V_O}{I_L} = \frac{5V}{5mA} = 1k\Omega$이다. 이보다 작으면 부하전류가 더 커져 제너전류가 $1mA$보다 작아져 $5V$를 유지할 수 없다.

선지별 해설

① O

$R_L = 1k\Omega$이면 $I_L = \frac{5V}{1k\Omega} = 5mA$이고, 제너전류는 $6 - 5 = 1mA$가 되어 최소동작전류를 정확히 만족한다. 계산 결과와 일치하므로 정답이다.

② X

$R_L = 5k\Omega$이면 $I_L = 1mA$, $I_Z = 5mA$이므로 $5V$ 유지 자체는 가능하다. 틀린 표현은 이것이 최소값이라는 점이다. 올바르게는 $5k\Omega$는 가능한 값 중 하나이지만 최소값은 $1k\Omega$이다.

③ X

$R_L = 6k\Omega$이면 $I_L = \frac{5V}{6k\Omega} \approx 0.833mA$, $I_Z \approx 5.167mA$이므로 동작은 가능하다. 틀린 표현은 이것이 경계조건이라는 점이다. 올바르게는 제너전류가 최소가 되는 경계는 $R_L = 1k\Omega$이다.

④ X

$R_L = 11k\Omega$이면 $I_L \approx 0.455mA$, $I_Z \approx 5.545mA$이므로 역시 $5V$ 유지가 가능하다. 틀린 표현은 최소저항값이라는 점이다. 올바르게는 $11k\Omega$는 최소값보다 훨씬 큰 안전한 값이다.

오답 포인트

직렬저항 전류 $6mA$를 그대로 정답처럼 읽거나, 제너 최소전류 $1mA$를 부하전류로 착각하면 오답이 된다. 이 문항은 가능한 R_L를 묻는 것이 아니라 가능한 값들 중 최소 R_L를 묻는 점이 함정이다.

다시 나오면 이렇게 판단

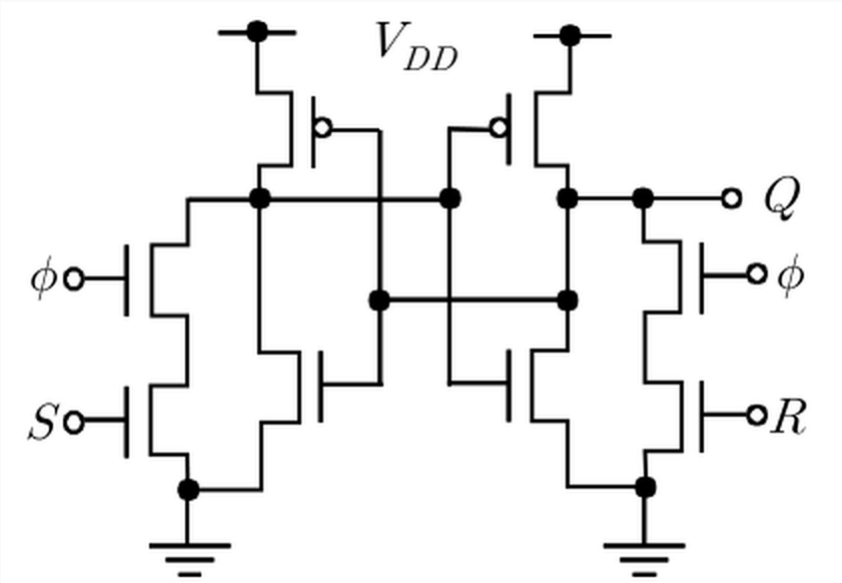
제너 정전압 회로의 최소 부하저항은 먼저 직렬저항 전류를 구한 뒤, 그 전류에서 제너 최소동작전류를 남겨 두고 나머지를 최대 부하전류로 두어 $R_L = \frac{V_O}{I_{L,\max}}$로 판단한다.

암기 포인트

제너 정전압 회로에서는 R_L 최소조건이 I_Z 최소조건과 같은 경계에서 결정된다.

NoteBase

문 16. 다음 회로에 대한 진리표에서 $Q(t)$에 들어갈 내용으로 옳은 것은?



ϕ	S	R	$Q(t)$
1	0	0	(a)
1	1	0	(b)
1	0	1	(c)
0	x	x	(d)

① (a): 0, (b): 1, (c): 0, (d): $Q(t-1)$

② (a): $Q(t-1)$, (b): 1, (c): 0, (d): $Q(t-1)$

③ (a): $Q(t-1)$, (b): 0, (c): 1, (d): 0

④ (a): $Q(t-1)$, (b): 0, (c): 1, (d): $Q(t-1)$

정답 2번

출제 포인트

이 문제는 회로도에서 교차결합 CMOS 인버터와 ϕ로 게이트된 S, R 입력의 동작을 읽어 클록드 SR 래치의 진리표를 판단하는 문제이다.

NoteBase

선지별 해설

① X
- $\phi = 1, S = 0, R = 0$이면 입력 경로가 상태를 바꾸지 못하므로 래치는 직전 출력 $Q(t-1)$를 유지한다. 따라서 (a)를 0으로 둔 부분이 틀렸다.
- 올바르게는 $(a, b, c, d) = (Q(t-1), 1, 0, Q(t-1))$이다.

② O
- $\phi = 1$에서 $S = 1, R = 0$이면 왼쪽 내부 노드가 방전되고 교차결합 인버터에 의해 $Q = 1$이 된다.
- $\phi = 1$에서 $S = 0, R = 1$이면 오른쪽 출력 노드가 방전되어 $Q = 0$이 된다.
- $\phi = 0$이면 ϕ 제어 입력 경로가 차단되어 S, R와 무관하게 저장된 상태 $Q(t-1)$를 유지한다. 따라서 ②의 표가 맞다.

③ X
- $\phi = 1, S = 1, R = 0$은 set 상태이므로 (b)는 0이 아니라 1이다.
- $\phi = 1, S = 0, R = 1$은 reset 상태이므로 (c)는 1이 아니라 0이다.
- $\phi = 0$에서도 출력은 0으로 고정되지 않고 $Q(t-1)$를 유지한다.
- 올바르게는 $(a, b, c, d) = (Q(t-1), 1, 0, Q(t-1))$이다.

④ X
- (a), (d)는 맞지만 $\phi = 1$에서 set과 reset의 결과를 반대로 적었다.
- $S = 1, R = 0$이면 (b)=1이고, $S = 0, R = 1$이면 (c)=0이다.
- 올바르게는 $(a, b, c, d) = (Q(t-1), 1, 0, Q(t-1))$이다.

오답 포인트

많이 틀리는 지점은 ϕ가 0일 때도 S, R가 직접 출력을 바꾼다고 보는 경우와, 왼쪽 내부 노드를 낮추면 교차결합 때문에 Q가 1이 된다는 점을 반대로 읽는 경우이다. 이 회로는 $\phi = 1$일 때만 입력이 유효하고, $\phi = 0$이면 저장 상태를 유지한다.

다시 나오면 이렇게 판단

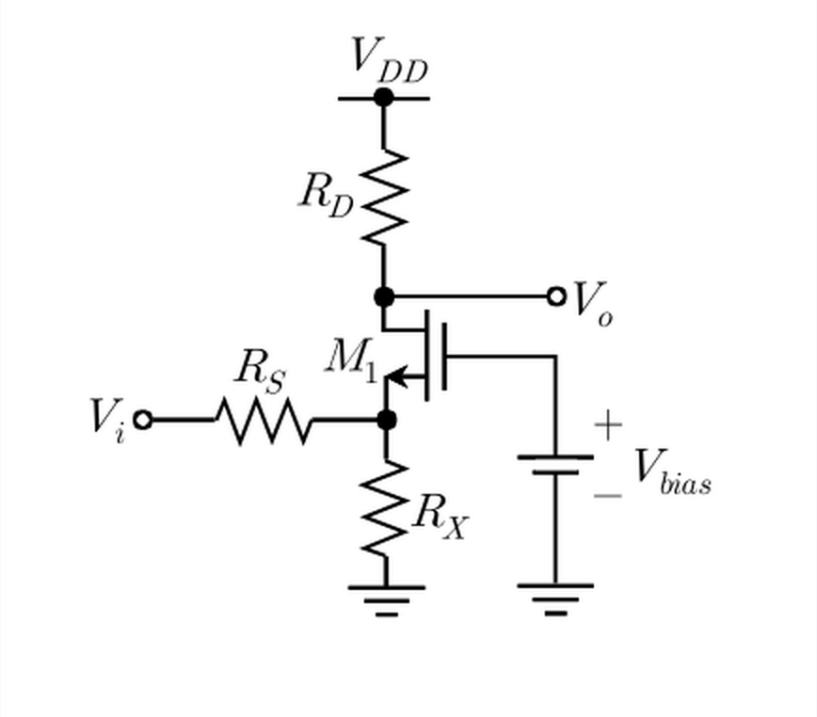
먼저 $\phi = 0$에서 입력 경로가 차단되어 보존 상태인지 본다. 그다음 $\phi = 1$에서 S 경로가 왼쪽 내부 노드를 낮춰 Q를 1로 만드는지, R 경로가 오른쪽 출력 노드를 낮춰 Q를 0으로 만드는지 순서대로 판단하면 된다.

암기 포인트

$\phi = 0$이면 유지, $\phi = 1$에서 $S \to Q = 1, R \to Q = 0$인 클록드 SR 래치이다.

NoteBase

문 17. 다음 증폭기 회로에서 소신호 전압이득 $A_v = \frac{V_o}{V_i}$ 의 표현식으로 적합한 것은? (단, g_m은 M_1의 전달컨덕턴스이며, 채널길이변조(channel length modulation)와 몸체효과(body effect)는 무시한다)



① $A_v = \frac{g_m R_D R_X}{R_S(1+g_m R_X)+R_X}$

② $A_v = \frac{g_m R_D R_X}{R_S(1+g_m R_X)}$

③ $A_v = \frac{g_m R_D R_X}{R_S(1+g_m R_X+g_m R_S)+R_X}$

④ $A_v = \frac{g_m R_D}{1+g_m(R_D+R_X)}$

정답 1번

출제 포인트

이 문제는 게이트가 교류 접지된 공통 게이트 증폭기에서 소스 노드의 KCL과 $v_o = g_m R_D v_s$ 관계를 이용해 소신호 전압이득 $A_v = \frac{V_o}{V_i}$를 구하는 문제이다.

조건 정리

게이트는 V_{bias}에 연결되어 있으므로 소신호 해석에서 교류 접지이다.
채널길이변조와 몸체효과를 무시하므로 r_o와 g_{mb}는 고려하지 않는다.
입력 v_i는 R_S를 거쳐 소스에 인가되고, 소스는 R_X를 통해 접지된다.
출력 v_o는 드레인에서 취하므로 드레인 저항 R_D에 생기는 전압변화가 이득을 결정한다.

NoteBase

사용할 공식

소스 전압을 v_s라 두면 소스 노드 KCL은
$\frac{v_s - v_i}{R_S} + \frac{v_s}{R_X} + g_m v_s = 0$
이다.
이를 정리하면
$v_s = \frac{\frac{1}{R_S}}{\frac{1}{R_S} + \frac{1}{R_X} + g_m} v_i = \frac{R_X}{R_S(1 + g_m R_X) + R_X} v_i$
가 된다.
또한 드레인 출력은
$v_o = g_m R_D v_s$
이므로
$A_v = \frac{v_o}{v_i} = \frac{g_m R_D R_X}{R_S(1 + g_m R_X) + R_X}$
이다.
이 공식을 쓰는 이유는 공통 게이트 구조에서 입력 감쇠는 소스 노드의 KCL로 정해지고, 출력은 그 소스 전압이 만든 소신호 전류 $g_m v_s$가 R_D에 만드는 전압으로 결정되기 때문이다.

계산 과정

1. 게이트는 교류 접지이므로 $v_{gs} = v_g - v_s = 0 - v_s = -v_s$이다.
2. 소신호 드레인 전류는 $i_d = g_m v_{gs} = -g_m v_s$이다. MOSFET에서 드레인 전류는 드레인에서 소스 방향으로 흐르므로 이 전류는 소스 노드로 들어온다. 따라서 소스 노드에서 나가는 방향을 양(+)으로 잡으면 트랜지스터를 통해 나가는 전류는 $-i_d = g_m v_s$가 되어, 소스 노드 KCL에 $+g_m v_s$ 항으로 들어간다.
3. 이 관계로 R_S, R_X, 트랜지스터 전류를 함께 묶으면 소스 노드 KCL은 $\frac{v_s - v_i}{R_S} + \frac{v_s}{R_X} + g_m v_s = 0$이다.
4. KCL을 풀면 $v_s = \frac{R_X}{R_S(1 + g_m R_X) + R_X} v_i$가 된다.
5. 드레인 전압은 $v_o = V_{DD} - i_d R_D$이고 소신호 성분만 취하면 $v_o = -i_d R_D = -(-g_m v_s) R_D = g_m R_D v_s$
이므로, 최종 전압이득은 $A_v = \frac{g_m R_D R_X}{R_S(1 + g_m R_X) + R_X}$이다.

NoteBase

선지별 해설

① O
계산 결과가 그대로 $A_v = \frac{g_m R_D R_X}{R_S(1+g_m R_X)+R_X}$이므로 옳다.

② X
틀린 표현은 분모가 $R_S(1+g_m R_X)$까지만 있고 $+R_X$가 빠진 점이다. 소스 노드는 R_X로도 접지되어 있으므로 KCL 정리 후 분모에 반드시 $+R_X$가 남아야 한다. 올바르게는 $\frac{g_m R_D R_X}{R_S(1+g_m R_X)+R_X}$이다.

③ X
틀린 표현은 분모의 $g_m R_S$ 항이 추가된 점이다. 트랜스컨덕턴스 전류는 $g_m v_s$로만 정해지므로 KCL을 세우면 $g_m R_S$가 따로 더해지지 않는다. 올바르게는 분모가 $R_S(1+g_m R_X)+R_X$이다.

④ X
틀린 표현은 입력이 그대로 트랜지스터에 걸린다고 보고 $\frac{g_m R_D}{1+g_m(R_D+R_X)}$로 쓴 점이다. 이 회로의 입력은 소스에 R_S를 거쳐 들어가므로 R_S에 의한 감쇠와 R_X 병렬 경로를 함께 반영해야 한다. 올바르게는 $\frac{g_m R_D R_X}{R_S(1+g_m R_X)+R_X}$이다.

오답 포인트

가장 흔한 실수는 공통 게이트 증폭기라는 점은 알면서도 소스 노드의 입력 분배를 빼먹는 것이다. ②처럼 R_X 항을 통째로 누락하거나, ③처럼 KCL에 없는 $g_m R_S$ 항을 억지로 추가하거나, ④처럼 공통 소스 증폭기 형태의 분모를 떠올리면 틀리기 쉽다.

다시 나오면 이렇게 판단

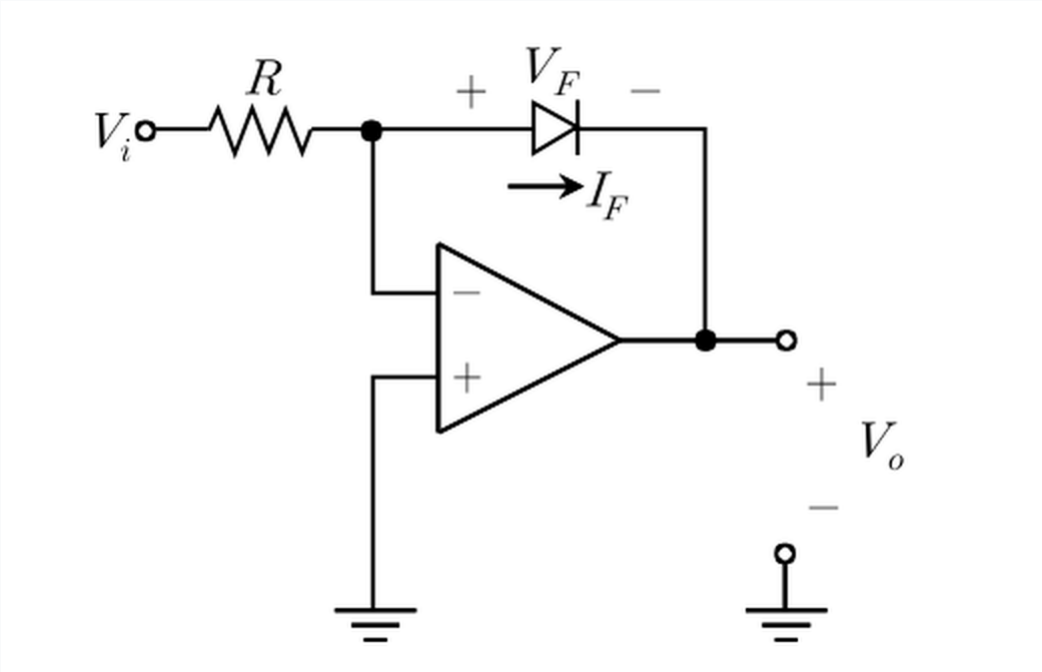
입력이 소스에 들어가고 게이트가 교류 접지되면 먼저 공통 게이트 구조인지 확인한다. 그다음 소스 노드에 KCL을 세워 v_s/v_i를 구하고, 마지막에 $v_o = g_m R_D v_s$를 곱해 전체 전압이득을 정리하면 된다.

암기 포인트

공통 게이트 전압이득은 바로 $g_m R_D$가 아니라 $A_v = (g_m R_D) \times (v_s/v_i)$로 본다.

NoteBase

문 18. 이상적인 연산증폭기와 순방향 전류 $I_F = I_R \cdot e^{qV_F/kT}[A]$의 특성을 갖는 다이오드를 이용한 다음 회로에서 출력전압 V_o[V]는? (단, I_R은 역방향 누설전류, q는 전자의 전하, k는 볼츠만 상수, T는 켈빈온도이다)



① $V_o = -\left(\frac{kT}{q}\right)\ln\left(\frac{V_i}{I_R R}\right)$
② $V_o = -\left(\frac{kT}{q}\right)\ln\left(\frac{I_R R}{V_i}\right)$
③ $V_o = -\left(\frac{q}{kT}\right)\ln\left(\frac{V_i}{I_R R}\right)$
④ $V_o = -\left(\frac{q}{kT}\right)\ln\left(\frac{I_R R}{V_i}\right)$

정답 1번

출제 포인트

이 문제는 이상적인 연산증폭기의 가상접지 조건과 다이오드의 순방향 전류식 $I_F = I_R e^{qV_F/kT}$를 이용해 로그 증폭기의 출력전압 V_o를 구하는 문제이다.

조건 정리

주어진 값은 입력전압 V_i, 저항 R, 다이오드 식 $I_F = I_R e^{qV_F/kT}$이다.
구해야 할 값은 출력전압 V_o이다.
이상적인 연산증폭기이므로 입력전류는 0이고, 비반전 입력이 접지되어 있으므로 반전 입력 노드는 가상접지로 $0V$가 된다.

NoteBase

기출OX 해설집 · 공무원/국가직/7급 · 전자회로 · 2018

사용할 공식

사용하는 관계식은 $\frac{V_i}{R} = I_F$, $I_F = I_R e^{qV_F/kT}$, $V_F = V_- - V_o$이다.
이 공식을 쓰는 이유는 반전 입력 노드가 가상접지이므로 저항 전류가 그대로 다이오드 전류가 되고, 다이오드 양단전압이 출력전압과 직접 연결되기 때문이다.

계산 과정

1. 비반전 입력이 접지이므로 반전 입력 노드 전압은 $V_- = 0$이다.
2. 저항 전류는 $\frac{V_i - 0}{R} = \frac{V_i}{R}$이고, 연산증폭기 입력전류는 0이므로 $I_F = \frac{V_i}{R}$이다.
3. 그림의 극성대로 다이오드 전압은 $V_F = V_- - V_o = 0 - V_o = -V_o$이다.
4. 따라서 $\frac{V_i}{R} = I_R e^{-qV_o/kT}$이다.
5. 양변에 자연로그를 취하면 $\ln\left(\frac{V_i}{I_R R}\right) = -\frac{qV_o}{kT}$이므로
$V_o = -\frac{kT}{q}\ln\left(\frac{V_i}{I_R R}\right)$
이 된다.

선지별 해설

① O
- 유도 결과가 그대로 $V_o = -\frac{kT}{q}\ln\left(\frac{V_i}{I_R R}\right)$이므로 맞다.

② X
- 식 $V_o = -\frac{kT}{q}\ln\left(\frac{I_R R}{V_i}\right)$는 로그 내부를 뒤집어 부호 관계를 잘못 처리한 식이다.
- $\ln(a/b) = -\ln(b/a)$이므로 이 식은 실제로 $V_o = +\frac{kT}{q}\ln\left(\frac{V_i}{I_R R}\right)$와 같아져 정답식과 부호가 반대가 된다.
- 틀린 표현은 $\ln\left(\frac{I_R R}{V_i}\right)$이고, 올바르게는 $\ln\left(\frac{V_i}{I_R R}\right)$이다.

③ X
- 앞의 계수가 $-\frac{q}{kT}$로 되어 있는데, 로그를 풀면 계수는 반드시 $-\frac{kT}{q}$가 되어야 한다.
- 틀린 표현은 $\frac{q}{kT}$이고, 올바르게는 $\frac{kT}{q}$이다.
- 이 오답은 지수식 $e^{qV_F/kT}$를 로그로 정리하면서 분자와 분모를 뒤집은 실수에서 나온다.

④ X
- 이 식은 앞의 계수도 $\frac{q}{kT}$로 틀렸고, 로그 내부도 $\frac{I_R R}{V_i}$로 뒤집혀 있어 두 군데가 동시에 잘못되었다.
- 틀린 표현은 $-\frac{q}{kT}\ln\left(\frac{I_R R}{V_i}\right)$ 전체이고, 올바르게는 $-\frac{kT}{q}\ln\left(\frac{V_i}{I_R R}\right)$이다.

오답 포인트

가장 흔한 함정은 다이오드 전압의 극성을 $V_F = -V_o$로 두지 않고 $V_F = V_o$로 착각하는 점이다. 여기에 자연로그를 취할 때 $\frac{kT}{q}$와 $\frac{q}{kT}$를 뒤집거나, $\ln\left(\frac{V_i}{I_R R}\right)$를 $\ln\left(\frac{I_R R}{V_i}\right)$로 바꾸면서 바깥 부호를 같이 정리하지 못하면 ②, ③, ④ 같은 오답이 나온다.

NoteBase

다시 나오면 이렇게 판단

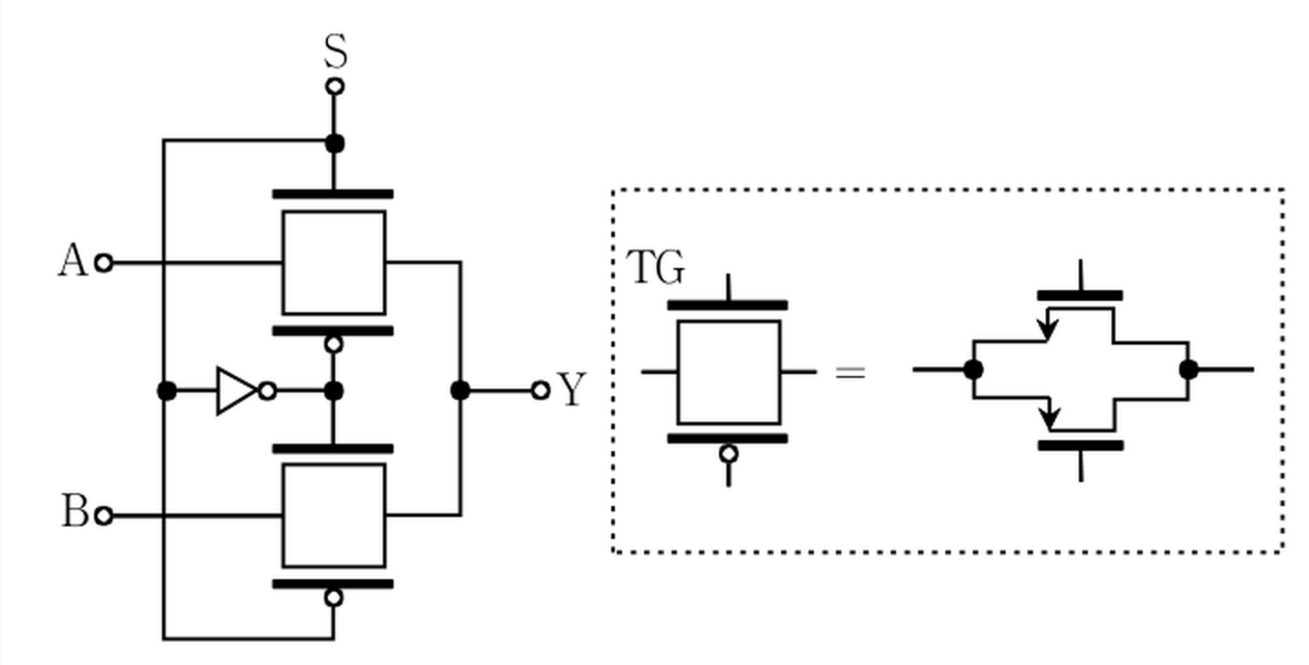
연산증폭기-다이오드 회로가 나오면 먼저 가상접지 여부를 확인하고, 다음에 저항 전류와 다이오드 전류를 같게 둔 뒤, 마지막으로 다이오드 전압의 극성을 회로 그림에 표시된 +, − 방향대로 대입해 로그식을 정리하면 된다.

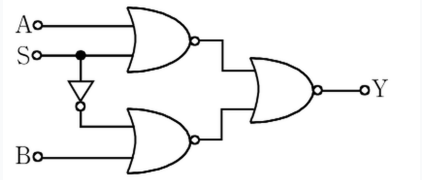
암기 포인트

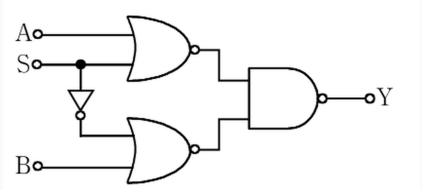
이상적 반전 로그 증폭기에서는 $V_- = 0$, $I_F = \frac{V_i}{R}$, $V_F = -V_o$를 먼저 세우면 V_o의 부호가 자연스럽게 결정된다.

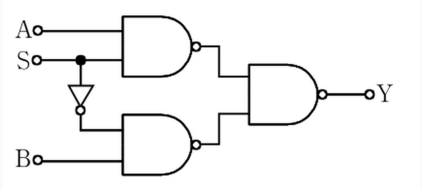
NoteBase

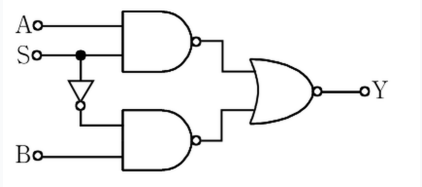
문 19. 다음 회로와 동일한 기능을 수행하는 논리회로는? (단, TG 게이트는 NMOS와 PMOS를 병렬로 연결한 것이다)



① 

② 

③ 

④ 

정답 3번

NoteBase

출제 포인트

이 문제는 TG 두 개가 선택선 S와 $\bar{S}$에 따라 번갈아 도통되는 2:1 멀티플렉서가 되는지를 식으로 바꾸어 판단하는 문제이다. 위 TG는 $S=1$일 때 A를, 아래 TG는 $S=0$일 때 B를 출력으로 전달하므로 원회로의 기능은 $Y=AS+B\bar{S}$이다.

선지별 해설

① X: 첫 번째와 두 번째 게이트는 각각 NOR이므로 출력은 $\overline{A+S}$, $\overline{B+\bar{S}}$이다. 마지막도 NOR이므로 전체 출력은 $\overline{\overline{A+S}+\overline{B+\bar{S}}}=(A+S)(B+\bar{S})=A\bar{S}+BS$가 된다. 이는 $S=1$일 때 B, $S=0$일 때 A가 선택되는 반대 방향 멀티플렉서이다. 틀린 표현은 원회로와 동일하다는 판단이고, 올바르게는 선택선이 뒤바뀐 $A\bar{S}+BS$ 회로이다.

② X: 앞의 두 NOR 출력이 $\overline{A+S}$, $\overline{B+\bar{S}}$이고 마지막이 NAND이므로 전체 출력은 $\overline{\overline{A+S}\cdot\overline{B+\bar{S}}}=(A+S)+(B+\bar{S})=1$이 된다. 입력과 무관하게 항상 1이 나오는 회로이므로 원회로와 같지 않다. 틀린 표현은 멀티플렉서와 동등하다는 판단이고, 올바르게는 상수 1 출력 회로이다.

③ O: 첫 번째와 두 번째 게이트는 각각 NAND이므로 출력은 $\overline{AS}$, $\overline{B\bar{S}}$이다. 마지막도 NAND이므로 전체 출력은 $\overline{\overline{AS}\cdot\overline{B\bar{S}}}=AS+B\bar{S}$가 된다. 이는 원회로에서 $S=1$일 때 A, $S=0$일 때 B가 전달되는 동작과 정확히 일치한다.

④ X: 앞의 두 NAND 출력 $\overline{AS}$, $\overline{B\bar{S}}$를 마지막 NOR에 넣으면 전체 출력은 $\overline{\overline{AS}+\overline{B\bar{S}}}=AS\cdot B\bar{S}=0$이 된다. $S\bar{S}=0$이므로 항상 0이 되는 구조이다. 틀린 표현은 원회로와 동일하다는 판단이고, 올바르게는 상수 0 출력 회로이다.

오답 포인트

TG 회로는 어느 입력선이 언제 도통되는지만 먼저 보면 되는데, 이를 생략하고 게이트 모양만 보고 ①이나 ④를 고르기 쉽다. 특히 ①은 식이 멀티플렉서처럼 보여도 $A\bar{S}+BS$로 선택선이 뒤집혀 있고, ④는 마지막 NOR 때문에 두 항을 동시에 만족해야 하므로 0으로 수렴한다.

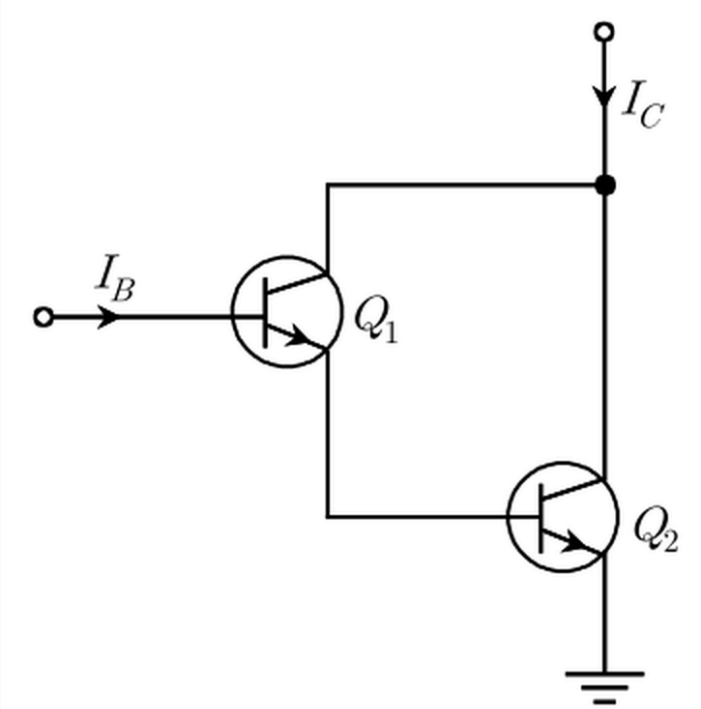
다시 나오면 이렇게 판단

먼저 $S=1$일 때 어느 TG가 켜지는지, $S=0$일 때 어느 TG가 켜지는지를 본다. 그다음 출력식을 Y=선택된 입력 형태로 바로 써서 $AS+B\bar{S}$ 또는 $A\bar{S}+BS$인지 구분하면 된다. 이후 후보 회로는 드모르간 법칙으로 한 줄씩 정리해 같은 식이 나오는지만 비교하면 된다.

암기 포인트

TG 2개로 만든 2:1 멀티플렉서는 켜지는 쪽 입력이 그대로 출력되므로 이 문제는 $S=1\rightarrow A$, $S=0\rightarrow B$, 즉 $Y=AS+B\bar{S}$이다.

문 20. 전류증폭률이 각각 h_{fe1}, h_{fe2}인 두 개의 트랜지스터 Q_1, Q_2가 다음 회로와 같이 구성되었을 때, I_C[A]의 표현으로 옳은 것은?



① $I_C = h_{fe1} \cdot h_{fe2} \cdot I_B$

② $I_C = (h_{fe1} + h_{fe2}) \cdot I_B$

③ $I_C = h_{fe2}(h_{fe1} + 1) \cdot I_B$

④ $I_C = h_{fe1} \cdot I_B + h_{fe2}(h_{fe1} + 1) \cdot I_B$

정답 4번

출제 포인트

이 문제는 두 트랜지스터가 연결된 회로에서 Q_1의 컬렉터전류와 이미터전류를 구하고, 그 이미터전류가 Q_2의 베이스전류가 된다는 관계로 전체 I_C를 구하는 문제이다.

조건 정리

주어진 값: Q_1의 전류증폭률은 h_{fe1}, Q_2의 전류증폭률은 h_{fe2}, 입력 베이스전류는 I_B이다.
구해야 할 값: 위쪽 단자에서 흐르는 전체 컬렉터전류 I_C이다.
주의할 조건: I_C는 Q_1의 컬렉터전류와 Q_2의 컬렉터전류의 합이고, Q_2의 베이스전류는 Q_1의 컬렉터전류가 아니라 이미터전류이다.

NoteBase

사용할 공식

트랜지스터의 기본 관계는 $I_C = h_{fe} I_B$, $I_E = I_C + I_B = (h_{fe} + 1) I_B$이다.
이 공식을 쓰는 이유: Q_1에 입력된 I_B로부터 Q_1의 I_C와 I_E를 먼저 구할 수 있고, 회로 연결상 Q_1의 이미터전류가 그대로 Q_2의 베이스전류가 되기 때문이다.

계산 과정

1. Q_1의 컬렉터전류는 $I_{C1} = h_{fe1} I_B$이다.
2. Q_1의 이미터전류는 $I_{E1} = I_{C1} + I_B = (h_{fe1} + 1) I_B$이다.
3. 이 전류가 Q_2의 베이스전류이므로 $I_{B2} = (h_{fe1} + 1) I_B$이다.
4. 따라서 Q_2의 컬렉터전류는 $I_{C2} = h_{fe2}(h_{fe1} + 1) I_B$이다.
5. 전체 컬렉터전류는 두 컬렉터전류의 합이므로 $I_C = I_{C1} + I_{C2} = h_{fe1} I_B + h_{fe2}(h_{fe1} + 1) I_B$이다.

선지별 해설

① X: $h_{fe1} h_{fe2} I_B$는 두 증폭률만 단순히 곱한 식이다. 이 식은 Q_2의 베이스전류가 Q_1의 이미터전류 $(h_{fe1} + 1) I_B$라는 점과 Q_1 자신의 컬렉터전류가 전체 I_C에 포함된다는 점을 빠뜨린다. 틀린 표현은 `$I_C = h_{fe1} h_{fe2} I_B$`이고, 올바르게는 `$I_C = h_{fe1} I_B + h_{fe2}(h_{fe1} + 1) I_B$`이다.
② X: $(h_{fe1} + h_{fe2}) I_B$는 두 트랜지스터가 각각 같은 베이스전류 I_B를 받는 병렬 형태처럼 잘못 본 식이다. 실제로 Q_2는 I_B를 직접 받지 않고 $(h_{fe1} + 1) I_B$를 받는다. 틀린 표현은 `$I_C = (h_{fe1} + h_{fe2}) I_B$`이고, 올바르게는 `$I_C = h_{fe1} I_B + h_{fe2}(h_{fe1} + 1) I_B$`이다.
③ X: $h_{fe2}(h_{fe1} + 1) I_B$는 Q_2의 컬렉터전류 I_{C2}만 계산한 식이다. 전체 I_C에는 Q_1의 컬렉터전류 $h_{fe1} I_B$도 더해져야 한다. 틀린 표현은 `$I_C = h_{fe2}(h_{fe1} + 1) I_B$`이고, 올바르게는 `$I_C = h_{fe1} I_B + h_{fe2}(h_{fe1} + 1) I_B$`이다.
④ O: Q_1의 컬렉터전류 $h_{fe1} I_B$와 Q_2의 컬렉터전류 $h_{fe2}(h_{fe1} + 1) I_B$를 모두 더한 식이므로 맞다. 전체 전류는 $I_C = h_{fe1} I_B + h_{fe2}(h_{fe1} + 1) I_B$이다.

오답 포인트

가장 흔한 함정은 Q_2의 베이스전류를 Q_1의 컬렉터전류 $h_{fe1} I_B$로 착각하는 점과, 전체 I_C를 Q_2의 컬렉터전류 하나로만 보는 점이다. 이 문항은 `이미터전류 = 컬렉터전류 + 베이스전류`와 `전체 전류는 두 컬렉터전류의 합`을 동시에 묻는다.

다시 나오면 이렇게 판단

복합 트랜지스터 회로는 각 소자별로 I_B, I_C, I_E를 따로 적고, 다음 트랜지스터의 입력이 앞단의 어느 전류와 연결되는지부터 확인하면 된다. 그 뒤 마지막에 문제에서 묻는 전체 전류가 한 소자의 전류인지 합전류인지 구분하면 된다.

NoteBase

암기 포인트

$I_E = (h_{fe} + 1)I_B$이고, 다음 단의 베이스에 연결되면 그 전류가 그대로 입력이 된다. 전체 I_C를 물으면 연결된 모든 컬렉터전류를 합산한다.

NoteBase