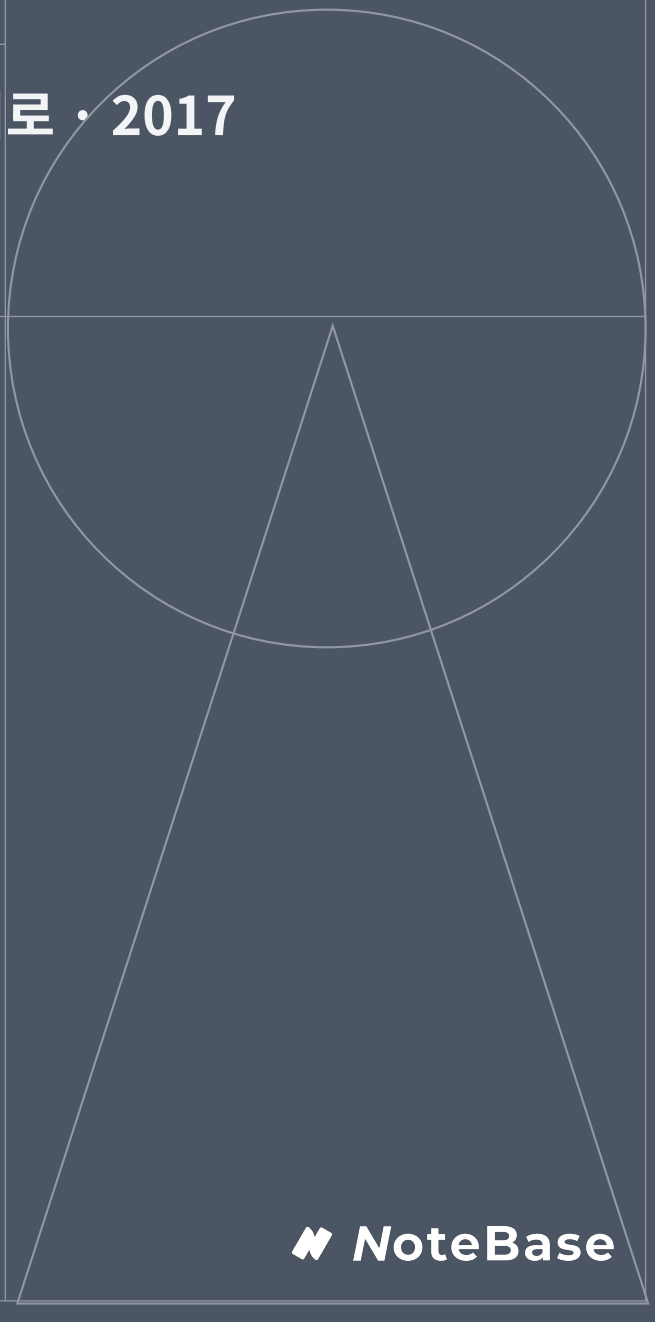
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2017



NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2017

공무원/국가직/7급 · 전자회로 · 2017

문 1. 하한 차단주파수가 150[kHz]이고 상한 차단주파수가 600[kHz]인 대역통과필터(bandpass filter)의 Q(quality factor)값은?

① $\frac{1}{3}$
② $\frac{1}{2}$
③ $\frac{2}{3}$
④ $\frac{5}{6}$

정답 3번

출제 포인트

대역통과필터의 품질계수 Q를 하한 차단주파수와 상한 차단주파수로부터 구하는 문제이다. Q는 중심주파수를 대역폭으로 나눈 값으로 정의되며, 중심주파수는 상한·하한 차단주파수의 기하평균으로 구한다는 점이 핵심이다.

조건 정리

하한 차단주파수 $f_L = 150\text{kHz}$, 상한 차단주파수 $f_H = 600\text{kHz}$이다. 이 두 값으로 대역폭과 중심주파수를 각각 구한 뒤 품질계수를 계산한다.

사용할 공식

대역폭은 $BW = f_H - f_L$이고, 중심주파수(공진주파수)는 두 차단주파수의 기하평균으로 $f_0 = \sqrt{f_L f_H}$이다.
품질계수는 $Q = \frac{f_0}{BW}$로 정의된다.

계산 과정

대역폭을 먼저 구하면 $BW = f_H - f_L = 600 - 150 = 450\text{kHz}$이다.
중심주파수는 $f_0 = \sqrt{f_L f_H} = \sqrt{150 \times 600} = \sqrt{90000} = 300\text{kHz}$이다.
따라서 품질계수는 $Q = \frac{f_0}{BW} = \frac{300}{450} = \frac{2}{3}$이다.

NoteBase

선지 판단

① 1/3: 중심주파수를 두 차단주파수의 산술평균(375kHz)으로 잘못 구하거나 계산 과정에서 오차가 생긴 경우 나오는 값으로, 옳은 계산 결과가 아니다.
② 1/2: 대역폭과 중심주파수를 정확히 계산하지 않고 어림한 값으로, 옳지 않다.
③ 2/3: $BW = 450\text{kHz}$, $f_0 = 300\text{kHz}$로 정확히 계산하면 $Q = 300/450 = 2/3$이 되어 옳다.
④ 5/6: 대역폭이나 중심주파수 계산에서 값을 뒤바꾸거나 잘못 대입했을 때 나올 수 있는 값으로, 옳지 않다.

오답 포인트

이 문제에서 가장 흔한 실수는 중심주파수를 산술평균 $\frac{f_L + f_H}{2}$으로 계산하는 것이다. 대역통과필터의 중심주파수는 산술평균이 아니라 기하평균 $\sqrt{f_L f_H}$로 정의되므로, 이 정의를 혼동하면 오답인 다른 선지로 유인된다. 또한 대역폭을 $f_H - f_L$이 아니라 $f_H + f_L$로 잘못 계산하지 않도록 주의한다.

다시 나오면 이렇게 판단

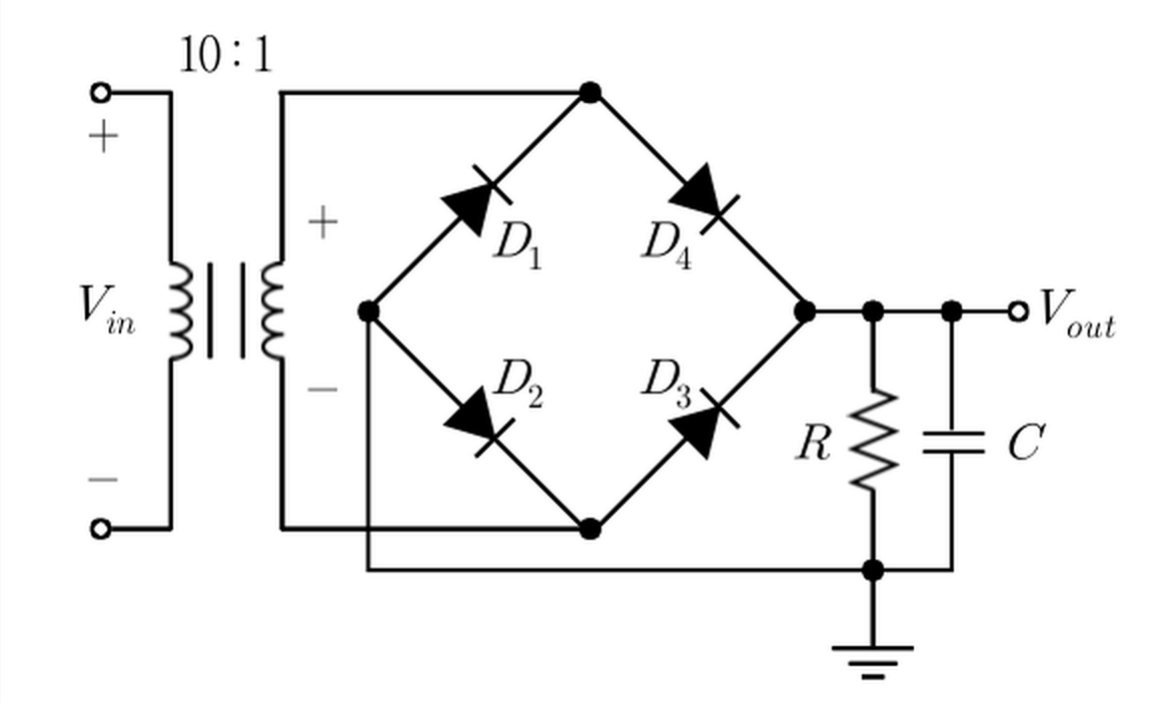
차단주파수 두 값이 주어지면 먼저 대역폭 $BW = f_H - f_L$을 구하고, 중심주파수는 반드시 기하평균 $f_0 = \sqrt{f_L f_H}$으로 구한 뒤 $Q = f_0/BW$를 계산한다. 숫자가 바뀌어도 이 세 단계 순서만 지키면 동일한 방식으로 풀 수 있다.

암기 포인트

대역통과필터의 품질계수 공식은 $Q = \frac{f_0}{BW} = \frac{\sqrt{f_L f_H}}{f_H - f_L}$로 통째로 외워 둔다. 중심주파수는 산술평균이 아니라 기하평균이라는 점을 함께 기억해 둔다.

NoteBase

문 2. 다음 회로에서 변압기 권선비는 10:1이고 원편 1차 측 전압은 $V_{in} = 110\sin(120\pi t)[V]$이다. 다이오드에 걸리는 최대 역방향 전압[V]은? (단, 다이오드 양단의 순방향 전압은 0.7[V]이다)



① 9.6

② 10.3

③ 11

④ 108.6

정답 2번

출제 포인트

변압기로 강압된 2차측 전압의 최댓값을 구한 뒤, 브리지 정류회로에서 다이오드에 걸리는 최대 역방향 전압(PIV)을 순방향 전압 강하까지 반영해 계산하는 문제이다. 브리지 정류회로는 한 순간에 두 개의 다이오드가 도통하고 나머지 두 개는 차단 상태가 되는데, 이 차단된 다이오드 양단에 걸리는 전압이 도통 중인 다이오드의 순방향 전압 강하만큼 줄어든다는 점이 핵심이다.

조건 정리

1차측 전압은 $V_{in} = 110\sin(120\pi t)$[V]이므로 1차측 최댓값은 110V이다. 변압기 권선비가 10 : 1이므로 2차측 최댓값은 1차측의 1/10이 된다. 다이오드의 순방향 전압 강하는 $V_F = 0.7$V로 주어져 있다.

NoteBase

사용할 공식

변압기 2차측 최대 전압: $V_{s(\max)} = \frac{V_{in(\max)}}{n}$ (여기서 n은 1차:2차 권선비의 1차 쪽 값). 브리지 정류회로의 다이오드 최대 역방향 전압: $PIV = V_{s(\max)} - V_F$. 브리지 정류회로는 한 순간에 두 개의 다이오드가 직렬로 도통하여 변압기 2차 전압의 루프를 형성하므로, 차단된 다이오드는 도통 중인 다이오드 하나의 순방향 전압 강하만큼 감해진 전압을 역방향으로 받는다.

계산 과정

2차측 최대 전압을 먼저 구하면 $V_{s(\max)} = \frac{110}{10} = 11\text{V}$이다. 브리지 정류회로에서 다이오드의 최대 역방향 전압은 2차측 최대 전압에서 도통 중인 다이오드 하나의 순방향 전압 강하를 뺀 값이므로 $PIV = 11 - 0.7 = 10.3\text{V}$가 된다.

선지 판단

① 9.6 → 오답. 이는 2차측 최대 전압에서 순방향 전압 강하 두 번($2V_F = 1.4\text{V}$)을 뺀 값($11 - 1.4 = 9.6$)으로, 부하 양단에 걸리는 출력 전압의 최댓값에 해당하는 값이지 다이오드에 걸리는 역방향 전압이 아니다.
② 10.3 → 정답. 2차측 최대 전압 11V에서 순방향 전압 강하 0.7V 한 번만 뺀 값으로, 브리지 정류회로에서 차단된 다이오드가 실제로 받는 최대 역방향 전압이다.
③ 11 → 오답. 순방향 전압 강하를 전혀 고려하지 않고 2차측 최대 전압만 그대로 쓴 값이다.
④ 108.6 → 오답. 권선비로 나누지 않고 1차측 최대 전압(110V)에서 순방향 전압 강하를 뺀 값으로, 권선비 적용을 빠뜨린 계산이다.

오답 포인트

가장 흔한 실수는 권선비를 적용하지 않고 1차측 전압을 그대로 사용하는 것(④)과, 순방향 전압 강하를 아예 무시하는 것(③)이다. 또한 출력단의 최대 전압(부하에 걸리는 전압, $2V_F$만큼 감소)과 다이오드에 걸리는 최대 역방향 전압($1V_F$만큼 감소)을 혼동하여 9.6을 고르는 실수(①)도 자주 나온다. 두 값은 감해지는 순방향 전압 강하의 개수가 다르다는 점을 구분해야 한다.

다시 나오면 이렇게 판단

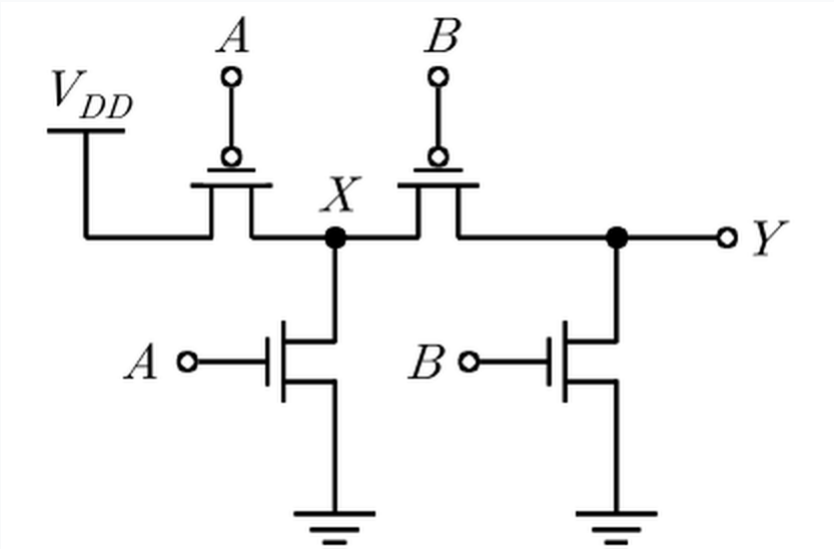
변압기가 포함된 정류회로 문제는 항상 2차측 최대 전압부터 권선비로 환산해 구한다. 그다음 브리지 정류회로인지 반파·전파(중간탭) 정류회로인지 구조를 확인하고, 브리지 정류회로라면 순간마다 두 개의 다이오드가 직렬로 도통한다는 사실에서 차단된 다이오드의 최대 역방향 전압은 2차 최대 전압에서 순방향 전압 강하를 한 번만 뺀 값임을 적용한다.

암기 포인트

2차측 최대 전압 $V_{s(\max)} = V_{in(\max)}/n$. 브리지 정류회로 다이오드 최대 역방향 전압: $PIV = V_{s(\max)} - V_F$ (순방향 전압 강하 한 번만 차감). 부하(출력) 최대 전압은 $V_{s(\max)} - 2V_F$로 순방향 전압 강하가 두 번 차감된다는 차이를 함께 기억해 둔다.

NoteBase

문 3. 다음 회로에서 출력 Y의 논리식은?



① $A + B$

② $A \cdot B$

③ $\overline{A} \cdot \overline{B}$

④ $\overline{A} + \overline{B}$

정답 3번

출제 포인트

회로는 PMOS 2개와 NMOS 2개로 구성된 CMOS 논리회로이다. VDD에서 게이트가 A인 PMOS를 지나 노드 X로 연결되고, X에서 게이트가 B인 PMOS를 지나 출력 Y로 이어진다. 동시에 X는 게이트가 A인 NMOS를 통해 접지되고, Y는 게이트가 B인 NMOS를 통해 접지된다. 이처럼 배선을 따라가며 각 트랜지스터가 언제 도통하는지를 판단해 출력 Y의 논리식을 구성하는 것이 이 문제의 핵심이다.

NoteBase

선지별 해설

회로 동작을 단계별로 추적한다. PMOS는 게이트가 0일 때 도통하고, NMOS는 게이트가 1일 때 도통한다.
먼저 노드 X를 본다. A=0이면 PMOS(A)가 도통해 X는 VDD에 연결되어 X=1이 되고, NMOS(A)는 차단 상태이다. A=1이면 반대로 NMOS(A)가 도통해 X는 접지되어 X=0이 되고, PMOS(A)는 차단된다. 즉 X는 A의 반전값과 같다.
다음으로 출력 Y를 본다. B=1이면 NMOS(B)가 도통해 Y는 접지되어 Y=0이 되며, 이때 PMOS(B)는 차단되어 X와는 분리된다. B=0이면 NMOS(B)는 차단되고 PMOS(B)가 도통해 Y는 X와 그대로 연결되어 Y=X가 된다.
이 두 관계를 조합하면 (A,B)=(0,0)일 때 X=1이고 B=0이므로 Y=X=1이다. (A,B)=(0,1)일 때는 B=1이므로 Y=0이다. (A,B)=(1,0)일 때는 X=0이고 B=0이므로 Y=X=0이다. (A,B)=(1,1)일 때는 B=1이므로 Y=0이다.
따라서 Y는 A와 B가 모두 0일 때만 1이 되고 나머지 경우에는 모두 0이 되는데, 이는 정확히 A⊠·B⊠(NOR)의 진리표와 일치한다.
① A+B(OR)는 A 또는 B 중 하나만 1이어도 Y=1이 되어야 하는데 실제 회로에서는 (1,0)과 (0,1) 모두 Y=0이므로 틀린 표현이다 → 올바른 표현은 A⊠·B⊠이다.
② A·B(AND)는 A=B=1일 때만 Y=1이어야 하는데 실제로는 이 경우 Y=0이므로 틀린 표현이다 → 올바른 표현은 A⊠·B⊠이다.
③ A⊠·B⊠는 A=B=0일 때만 Y=1이고 나머지는 Y=0인 관계로, 위에서 구한 진리표와 정확히 일치하므로 옳은 표현이다.
④ A⊠+B⊠는 A 또는 B 중 하나만 0이어도 Y=1이 되어야 하는데(예: A=0,B=1이면 Y=1이어야 함) 실제로는 이 경우 Y=0이므로 틀린 표현이다 → 올바른 표현은 A⊠·B⊠이다.

오답 포인트

이 문제에서 가장 흔한 착오는 X를 거쳐 Y로 가는 PMOS 두 개가 직렬로 연결된 모습만 보고 단순히 OR나 AND 게이트로 속단하는 것이다. 실제로는 노드 X 자체가 A만으로 결정되는 인버터 출력이고, 그 값이 다시 B에 의해 통과되거나 차단되는 2단 구조이므로 단순 병렬·직렬 판단만으로는 답을 낼 수 없다. 반드시 각 노드의 전압을 A, B 조합별로 하나씩 따져야 한다.

다시 나오면 이렇게 판단

CMOS 회로 문제가 나오면 우선 PMOS는 게이트 0에서 도통, NMOS는 게이트 1에서 도통이라는 원칙을 적용해 중간 노드부터 하나씩 값을 확정한다. 노드가 여러 단으로 이어져 있다면 앞단 노드의 값을 구한 뒤 그 값이 다음 단에서 어떻게 전달되는지(직접 연결 또는 접지)를 따로 판단한다. 마지막으로 A, B의 네 가지 조합에 대해 출력값을 표로 정리하면 어떤 논리식과 일치하는지 바로 확인할 수 있다.

암기 포인트

PMOS는 게이트가 0일 때, NMOS는 게이트가 1일 때 도통한다. 두 입력이 모두 0일 때만 출력이 1이 되는 회로는 NOR(부정논리합)이며 이는 A⊠·B⊠로 표현된다.

NoteBase

문 4. 다이오드회로에 대한 설명으로 옳은 것만을 모두 고른 것은?

ㄱ. 발광 다이오드(light emitting diode)는 순방향 바이어스를 인가하여 사용하며 발광하는 빛의 출력량은 순방향 전류에 비례한다.
ㄴ. 터널 다이오드(tunnel diode)는 부성저항(negative resistance) 영역의 특성이 있어 발진회로에 사용될 수 있다.
ㄷ. 버랙터 다이오드(varactor diode)는 역방향 바이어스가 증가할수록 다이오드의 커패시턴스는 증가한다.
ㄹ. 실리콘 PN 접합 다이오드에 순방향 바이어스를 인가하면 공핍 영역은 넓어지고 다이오드 양단에는 장벽전위 0.7[V]가 걸린다.

① ㄱ, ㄴ
② ㄱ, ㄹ
③ ㄴ, ㄷ
④ ㄷ, ㄹ

정답 1번

출제 포인트

발광 다이오드·터널 다이오드·버랙터 다이오드·PN 접합 다이오드 각각의 동작 원리와 특성을 정확히 구분하는지를 묻는다. 여러 특수 다이오드의 이름과 동작 특성을 서로 바꿔치기하는 함정이 자주 나오므로 각 다이오드의 바이어스 조건과 그에 따른 물리량 변화 방향을 짝지어 기억해야 한다.

핵심 개념

발광 다이오드(LED)는 순방향 바이어스 상태에서 전자와 정공이 재결합하면서 빛을 방출하며, 발광 출력은 순방향 전류의 크기에 비례해 커진다.
터널 다이오드는 매우 얇은 공핍층으로 인해 터널링 효과가 나타나 순방향 특성 곡선의 일부 구간에서 전압이 증가해도 전류가 감소하는 부성저항 영역을 가지며, 이 영역을 이용해 고주파 발진회로나 스위칭 회로에 사용된다.
버랙터 다이오드는 역방향 바이어스로 사용하는 가변 커패시터로, 역방향 전압이 커질수록 공핍층 폭이 넓어져 커패시턴스는 오히려 감소한다.
실리콘 PN 접합 다이오드는 순방향 바이어스를 인가하면 공핍 영역의 폭이 좁아지며(넓어지는 것이 아님), 도통 상태에서 다이오드 양단에는 실리콘의 문턱전압인 약 0.6~0.7[V] 정도의 전압이 걸린다.

NoteBase

선지별 해설

ㄱ. O - 발광 다이오드는 순방향 바이어스를 인가해 사용하는 것이 맞고, 발광하는 빛의 출력량(광출력)은 순방향 전류의 크기에 비례하는 특성을 가진다.
ㄴ. O - 터널 다이오드는 얇은 공핍층에서의 터널링 현상으로 인해 부성저항 영역이 나타나며, 이 특성을 이용해 발진회로(오실레이터)나 고속 스위칭 회로에 사용될 수 있다.
ㄷ. X - 버랙터 다이오드는 역방향 바이어스가 증가할수록 공핍층이 넓어져 커패시턴스가 증가하는 것이 아니라 감소한다. '증가한다' → '감소한다'로 고쳐야 옳은 설명이 된다.
ㄹ. X - 실리콘 PN 접합 다이오드에 순방향 바이어스를 인가하면 공핍 영역은 넓어지는 것이 아니라 좁아진다. 다만 도통 상태에서 다이오드 양단에 실리콘 특유의 약 0.7[V] 문턱전압이 걸린다는 부분 자체는 맞으므로, '공핍 영역은 넓어지고' → '공핍 영역은 좁아지고'로 고쳐야 전체 문장이 옳은 설명이 된다.

오답 포인트

버랙터 다이오드의 커패시턴스 변화 방향을 반대로 외워 ㄷ을 옳은 설명으로 착각하면 ③번을 고르게 된다. 또한 순방향 바이어스에서 공핍층이 좁아진다는 사실을 반대로 알고 있으면 ㄹ을 옳은 설명으로 착각해 ②번이나 ④번을 고르게 된다. 두 다이오드 모두 '바이어스가 커질수록 공핍층 폭이 어떻게 변하는지'가 핵심이므로 이 방향을 헷갈리지 않아야 한다.

다시 나오면 이렇게 판단

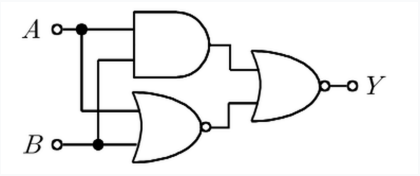
특수 다이오드 문제는 먼저 각 선지가 순방향/역방향 중 어느 바이어스를 말하는지 확인한 뒤, 그 바이어스에서 공핍층이 넓어지는지 좁아지는지를 판단 기준으로 삼는다. 순방향은 공핍층이 좁아지는 방향, 역방향은 공핍층이 넓어지는 방향이라는 원칙만 잡으면 버랙터 다이오드의 커패시턴스 증감(공핍층과 반비례)과 PN 접합의 도통 특성을 모두 일관되게 판단할 수 있다.

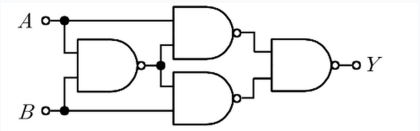
암기 포인트

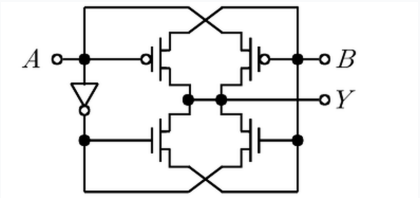
LED: 순방향, 광출력은 순방향 전류에 비례. 터널 다이오드: 부성저항 영역, 발진·스위칭 회로. 버랙터 다이오드: 역방향, 역방향 전압↑이면 공핍층↑·커패시턴스↓(반비례). 실리콘 PN 접합: 순방향이면 공핍층↓, 도통 시 문턱전압 약 0.7[V].

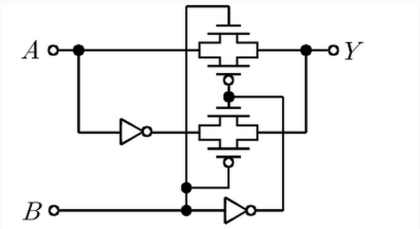
NoteBase

문 5. 다음 디지털 논리회로에서 입력이 A, B이고 출력이 Y일 경우, 입출력 사이의 논리식이 다른 것은?

① 

② 

③ 

④ 

정답 4번

출제 포인트

네 개의 회로가 입력 A, B에 대해 실제로 같은 논리식을 만드는지 확인하는 문제이다. ①, ②는 게이트 레벨 회로이고 ③, ④는 CMOS 트랜지스터(전달 게이트) 레벨 회로인데, 겉모습이 비슷해 보여도 하나만 다른 논리식을 만들도록 구성되어 있다.

조건 정리

네 회로 모두 입력은 A, B 두 개이고 출력은 Y 하나이다. ①은 AND 게이트와 NOR 게이트를 다시 게이트로 묶은 구조, ②는 NAND 게이트 4개로 이루어진 구조, ③과 ④는 인버터로 만든 $\bar{A}$(또는 $\bar{A}$, B)가 트랜지스터의 게이트(제어 단자)를 여닫아 A 계열 신호를 Y로 통과시키는 구조이다.

사용할 공식

$A \oplus B = A'B + AB'$, $A \odot B = AB + A'B'$(즉 $A \odot B = (A \oplus B)'$), $\mathrm{NAND}(x, y) = (xy)'$, $\mathrm{NOR}(x, y) = (x + y)'$, 드모르간 정리 $(x + y)' = x'y'$, $(xy)' = x' + y'$.

NoteBase

계산 과정

① 회로: 위쪽 AND 게이트의 두 입력은 A, B이므로 출력은 AB이다. 아래쪽 게이트는 출력에 버블이 있는 NOR로 두 입력 A, B를 받으므로 출력은 $(A + B)'$이다. 마지막 게이트도 출력에 버블이 있는 NOR이므로 두 중간 신호를 NOR한다.
Y = [AB + (A+B)']' = (AB)' · (A+B) (드모르간)
= (A'+B')(A+B) = A'A + A'B + AB' + BB' = A'B + AB' = A⊕B.
따라서 ①은 Y = A⊕B이다.

② 회로: G1 = NAND(A,B) = (AB)'. 위쪽 NAND는 A와 G1을 받아 NAND2 = (A·G1)' = A' + AB = A' + B. 아래쪽 NAND는 B와 G1을 받아 NAND3 = (B·G1)' = B' + AB = B' + A. 마지막 NAND는 NAND2, NAND3을 받는다.
Y = (NAND2 · NAND3)' = [(A'+B)(A+B')]'
(A'+B)(A+B') = A'A + A'B' + AB + BB' = A'B' + AB
Y = (A'B' + AB)' = A'B + AB' = A⊕B.
(이는 잘 알려진 4-NAND XOR 표준 회로이므로 진리표로도 A=0,B=0→Y=0, A=0,B=1→Y=1, A=1,B=0→Y=1, A=1,B=1→Y=0으로 XOR와 일치함을 바로 확인할 수 있다.)
따라서 ②도 Y = A⊕B이다.

③ 회로: A와 인버터 출력 $\bar{A}$가 위·아래 대칭으로 배치된 PMOS·NMOS 쌍의 게이트를 각각 제어한다. A일 때 켜지는 경로와 $\bar{A}$일 때 켜지는 경로가 서로 교차 배선되어, B 쪽 단자에서 들어온 신호가 A의 상태에 따라 그대로 또는 반대로 Y로 전달되도록 구성되어 있다. 이 배선은 B=1일 때 A가 그대로, B=0일 때 $\bar{A}$가 전달되는 표준 전달-트랜지스터형 XOR 배치와 같아 Y = A⊕B가 된다.

④ 회로: 위쪽 전달 게이트는 입력 A를 받고 B가 1($\bar{B}$=0)일 때 열려 Y로 A를 전달한다. 아래쪽 전달 게이트는 인버터를 거친 $\bar{A}$를 받고 B가 0($\bar{B}$=1)일 때 열려 Y로 $\bar{A}$를 전달한다. 즉 B=1이면 Y=A, B=0이면 Y=$\bar{A}$이다. 이를 표로 보면 A=0,B=0→Y=1 / A=0,B=1→Y=0 / A=1,B=0→Y=0 / A=1,B=1→Y=1이 되어 A⊕B와 정확히 반대인 A⊙B(=XNOR)와 일치한다.
따라서 ④만 Y = A⊙B = (A⊕B)'이고, ①②③은 모두 Y = A⊕B이다.

선지 판단

① Y = A⊕B이다. ②③과 같은 논리식이다.
② Y = A⊕B이다. ①③과 같은 논리식이다.
③ Y = A⊕B이다. ①②와 같은 논리식이다.
④ Y = A⊙B(=(A⊕B)')이다. 나머지 셋과 반대로 동작하므로 논리식이 다른 것은 ④이다.

NoteBase

오답 포인트

①, ②는 게이트 모양만 보고 서로 다른 회로라고 지레짐작해 오답을 고르기 쉬운데, 실제로 부울대수로 정리하면 둘 다 A⊕B로 같다. ③, ④는 트랜지스터가 그려진 방식이 거의 비슷해 보여, '똑같이 생겼으니 같은 함수'라고 넘기면 함정에 빠진다. 실제로는 어느 전달 게이트가 A를 통과시키고 어느 것이 $\bar{A}$를 통과시키는지, 그리고 그 통과 조건이 B=1일 때인지 B=0일 때인지를 바꾸면 XOR가 XNOR로 뒤집힌다는 점이 ④를 정답으로 만드는 핵심이다.

다시 나오면 이렇게 판단

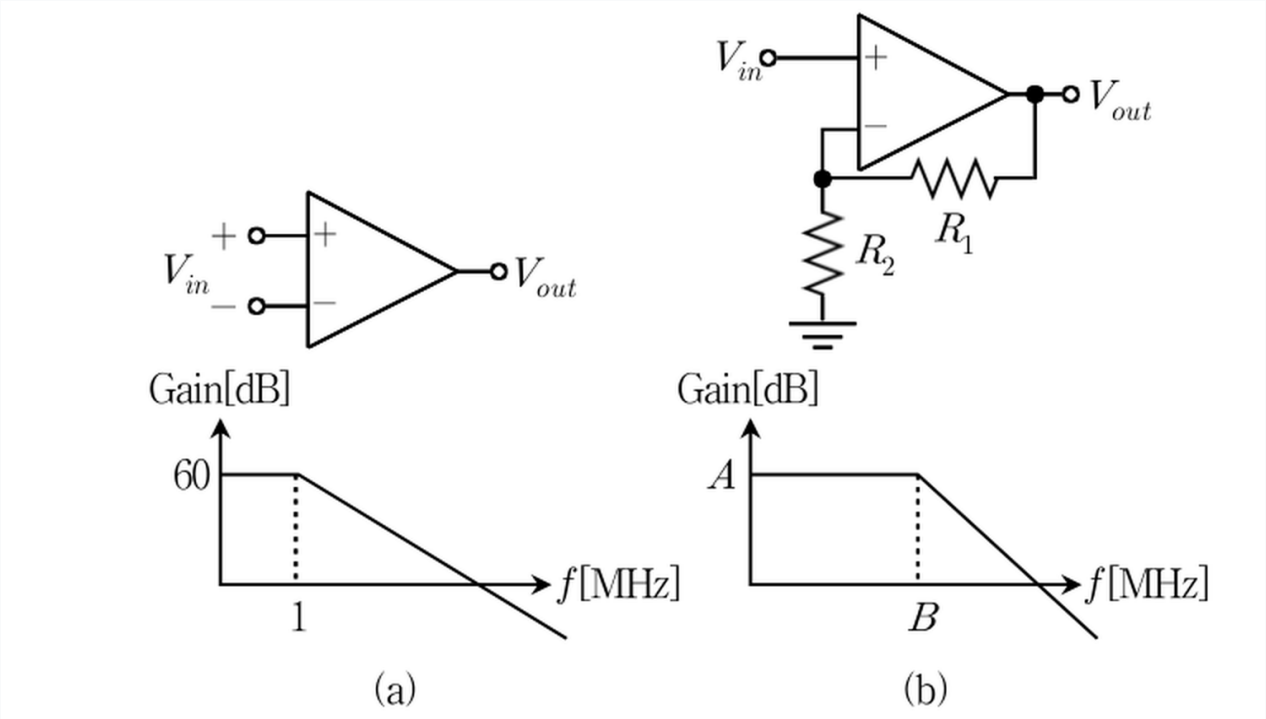
게이트 레벨 회로(①, ②처럼 AND·OR·NAND·NOR가 조합된 형태)는 각 게이트의 출력을 부울식으로 하나씩 적어 드모르간으로 정리한 뒤 A⊕B, A⊙B와 같은 표준 함수와 비교한다. 전달 게이트(트랜지스터) 회로(③, ④처럼 CMOS로 그려진 형태)는 'B(또는 제어신호)가 1일 때 Y에 무엇이 전달되는가, 0일 때는 무엇이 전달되는가'를 표로 정리해 A가 전달되는지 $\bar{A}$가 전달되는지를 확인한다. B=1일 때 A, B=0일 때 $\bar{A}$가 전달되면 XOR이고, 그 반대(B=1일 때 $\bar{A}$, B=0일 때 A)이면 XNOR이다.

암기 포인트

$A \oplus B = A'B + AB' = AB + (A + B)'$을 반전한 것, $A \odot B = AB + A'B' = (A \oplus B)'$이다. AND 출력과 NOR 출력을 다시 NOR로 묶으면 XOR가 되고(①), A, B로 만든 NAND를 다시 A, B와 각각 NAND한 뒤 그 둘을 NAND로 묶는 4-NAND 구조는 표준 XOR 회로다(②). 전달게이트형 XOR/XNOR는 'B=1일 때 A 통과 · B=0일 때 $\bar{A}$ 통과'면 XOR, 그 반대로 배선되면 XNOR라는 점만 기억해 두면 트랜지스터 레벨 회로에서도 바로 판별할 수 있다.

NoteBase

문 6. 다음 왼쪽 그림 (a)에 표시한 주파수 특성을 갖는 연산 증폭기를 이용하여 오른쪽 그림 (b)의 부궤환(negative feedback)회로를 구현하였다. $R_2 = 1{,}000R_1$일 때, A[dB]와 B[MHz]의 값으로 가장 가까운 것은?



① A: 0, B: 1,000

② A: 0, B: 100

③ A: 20, B: 100

④ A: 20, B: 1

정답 1번

출제 포인트

그림 (a)는 개루프 연산 증폭기의 이득-주파수 특성이고, 그림 (b)는 이 연산 증폭기로 만든 부궤환 증폭기이다. 부궤환을 걸면 저주파 이득은 낮아지는 대신 대역폭이 넓어지는데, 그 둘의 곱인 이득-대역폭 곱(GBW)은 궤환을 걸어도 일정하게 유지된다는 성질을 이용해 A와 B를 구하는 문항이다.

조건 정리

개루프 특성: 저주파 이득 60dB, -3dB 차단주파수(꺾이는 지점) $f_1 = 1$MHz.
궤환 회로 (b): V_{in}이 +단자에, R2는 -단자와 접지 사이에, R1은 -단자와 V_{out} 사이에 연결된 비반전 증폭기 구조이다. 조건은 $R_2 = 1{,}000R_1$이다.

NoteBase

사용할 공식

비반전 증폭기의 폐루프 이득: $A_{cl} = 1 + \frac{R_1}{R_2}$ (R1=궤환저항, R2=접지저항).
개루프 이득-대역폭 곱: GBW $= A_0 \times f_1$이며, 부궤환을 걸어도 GBW는 그대로 보존되므로 폐루프 대역폭은 $f_{cl} = \frac{\text{GBW}}{A_{cl}}$이다.
dB 변환: $A[\text{dB}] = 20\log_{10} A_{cl}$.

계산 과정

폐루프 이득 계산: $A_{cl} = 1 + \frac{R_1}{R_2} = 1 + \frac{R_1}{1{,}000R_1} = 1 + \frac{1}{1{,}000} \approx 1$. 따라서 $A = 20\log_{10}(1) = 0\text{dB}$.
개루프 이득을 배수로 바꾸면 $A_0 = 10^{60/20} = 1{,}000$이므로 GBW $= 1{,}000 \times 1\text{MHz} = 1{,}000\text{MHz}$.
이 GBW는 궤환을 걸어도 그대로이므로 폐루프 차단주파수는 $B = \frac{\text{GBW}}{A_{cl}} = \frac{1{,}000\text{MHz}}{1} = 1{,}000\text{MHz}$이다.
따라서 $A = 0, B = 1{,}000$이다.

선지 판단

① A=0, B=1,000: 계산 결과와 정확히 일치한다 → O.
② A=0, B=100: A값은 맞지만 B는 GBW 보존을 잘못 적용해 한 자릿수 작게 계산한 값이다 → X.
③ A=20, B=100: 폐루프 이득을 $A_{cl} = 1 + R_2/R_1$로 뒤바꿔 계산하면 나오는 오답으로, R1과 R2의 역할을 반대로 본 경우이다 → X.
④ A=20, B=1: A는 이득 공식을 뒤바꾼 오류, B는 개루프 차단주파수 1MHz를 그대로 옮겨 적은 오류이다 → X.

오답 포인트

가장 흔한 실수는 R1과 R2의 위치를 헷갈려 폐루프 이득을 $1 + R_2/R_1 = 1{,}001$로 계산하는 것이다. 그림에서 R1은 -단자와 출력 사이(궤환저항), R2는 -단자와 접지 사이(접지저항)이므로 비반전 증폭기 공식은 반드시 1+R_궤환/R_접지의 형태로 적용해야 한다. 또한 이득-대역폭 곱(GBW)은 개루프든 폐루프든 같은 값을 유지한다는 사실을 놓치면 B를 잘못 구하게 된다.

다시 나오면 이렇게 판단

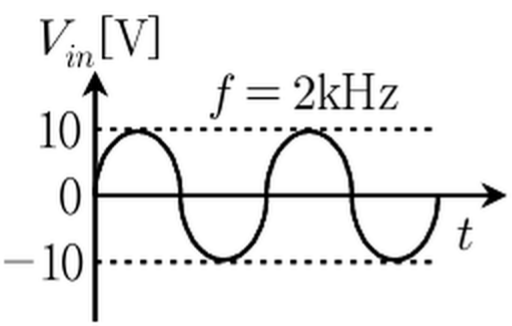
이런 유형은 먼저 회로에서 궤환저항과 접지저항을 정확히 구분해 폐루프 이득을 구하고, 그 값을 dB로 바꾼다. 그다음 개루프 보드선도에서 저주파 이득(배수)과 차단주파수를 곱해 GBW를 구한 뒤, 이 값을 폐루프 이득(배수)으로 나누어 폐루프 대역폭을 구하면 된다.

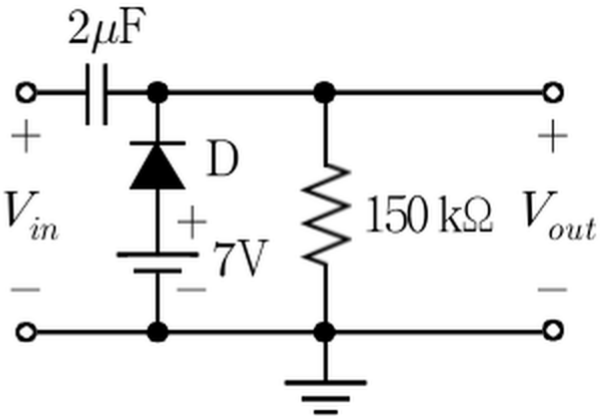
암기 포인트

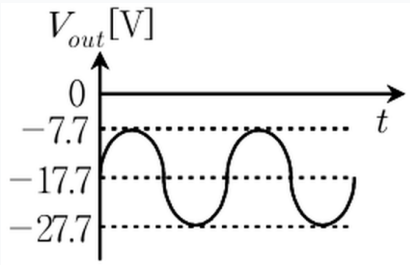
비반전 증폭기 폐루프 이득: A_cl=1+R_궤환R_접지.
이득-대역폭 곱 일정: A_0 f_1 = A_cl f_cl = GBW = 일정.

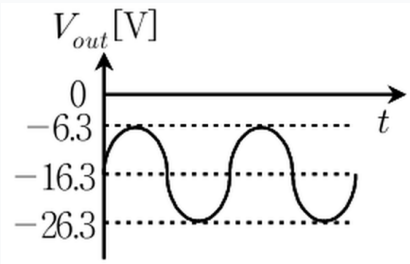
NoteBase

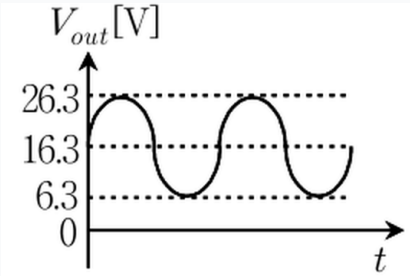
문 7. 다음 회로에서 정현파인 입력파형 V_{in}이 가해진 경우, 정상상태에서 출력파형 V_{out}은? (단, 다이오드 양단의 순방향전압은 0.7[V]이다)

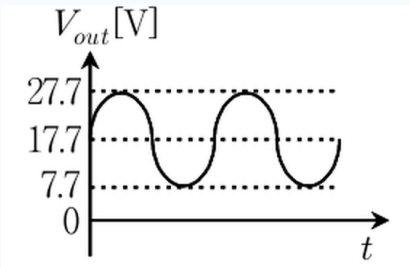




① 

② 

③ 

④ 

NoteBase

정답 3번

출제 포인트

정현파 입력이 커패시터를 통해 결합되고, 다이오드와 기준전압(배터리)이 조합된 클램퍼(레벨 시프트) 회로에서 정상상태 출력파형의 최댓값과 최솟값을 구하는 문제이다. 다이오드의 극성(애노드/캐소드) 방향에 따라 파형이 위로 밀리는지 아래로 밀리는지가 결정된다는 점이 핵심이다.

조건 정리

입력 V_{in}은 진폭 10V인 정현파이다(즉 최댓값 +10V, 최솟값 -10V, 진폭 20V의 피크투피크). 커플링 커패시터는 2μF이고, 다이오드 순방향전압은 0.7V이다. 회로 구성상 다이오드의 캐소드가 출력 노드(Vout) 쪽에, 애노드가 7V 배터리의 (+)단자 쪽에 연결되어 있고 배터리의 (-)단자는 접지되어 있다. 부하저항 150kΩ은 출력 노드와 접지 사이에 연결되어 커패시터가 방전할 경로를 제공한다.

사용할 공식

다이오드가 도통하는 순간의 KVL: $V_{anode} - V_{cathode} = V_{D,\,on}$. 여기서 애노드 전압은 배터리에 의해 7V로 고정되고 캐소드 전압이 곧 출력전압 V_{out}이므로, $7 - V_{out} = 0.7$이 성립하는 순간 다이오드가 켜진다.
커패시터는 진폭을 바꾸지 않고 DC 레벨만 이동시키므로 $V_{out,\,max} = V_{out,\,min} + (V_{in,\,max} - V_{in,\,min})$이 성립한다.

계산 과정

다이오드 방향부터 확인한다. 캐소드가 출력 노드 쪽에 있고 애노드가 7V 배터리 쪽에 있으므로, 출력전압이 낮아질수록 애노드-캐소드 간 순방향전압이 커져 다이오드가 켜지기 쉬워진다. 즉 이 다이오드는 파형이 아래로 내려가는 것을 막아 최솟값을 고정하는 역할을 한다.
다이오드가 도통을 시작하는 경계는 $7 - V_{out} = 0.7$이므로 $V_{out} = 6.3$V이다. 출력전압이 6.3V보다 더 내려가려는 순간 다이오드가 켜져 커패시터로 충전전류가 흘러들며 그 이하로 내려가지 못하게 붙잡는다. 따라서 6.3V가 출력파형의 최솟값(트로프)이 된다.
커패시터는 정상상태에서 일정한 DC전압을 유지하므로, 이 회로는 입력 파형의 모양과 진폭(20V, 피크투피크)은 그대로 보존한 채 레벨만 위로 이동시키는 클램퍼로 동작한다. 따라서 출력파형의 최댓값은 최솟값에 입력의 진폭변화폭을 더한 값이 된다: $6.3 + 20 = 26.3$V.
결과적으로 출력파형은 최저 6.3V에서 최고 26.3V 사이를 오가는 정현파이며, 그 중심(평균)값은 16.3V이다.

NoteBase

선지 판단

① 기준선이 -7.7, -17.7, -27.7로 파형 전체가 음의 영역이다. 계산상 출력파형은 양의 영역(6.3V~26.3V)에서 진동해야 하므로 부호와 크기 모두 맞지 않는다. X

② 기준선이 -6.3, -16.3, -26.3으로 마찬가지로 파형 전체가 음의 영역이다. 크기(6.3, 16.3, 26.3)는 올바른 값과 같지만 부호가 반대이므로 틀렸다. X

③ 기준선이 26.3, 16.3, 6.3으로 파형이 최저 6.3V에서 최고 26.3V 사이의 양의 영역에서 진동한다. 계산 결과와 정확히 일치한다. O

④ 기준선이 27.7, 17.7, 7.7로 양의 영역이라는 방향은 맞지만, 클램프 레벨을 $7 + 0.7 = 7.7$로 잘못 계산한 경우에 나오는 값이다. 이 회로에서는 다이오드 도통 조건이 $7 - V_{out} = 0.7$이므로 6.3V가 맞고 7.7V는 다이오드 방향을 반대로 가정했을 때의 값이라 틀렸다. X

오답 포인트

이 문제에서 학생들이 자주 틀리는 지점은 두 가지이다. 첫째, 다이오드의 애노드·캐소드 방향을 반대로 파악해 파형이 위로 밀려야 하는데 아래로 밀린다고 판단해 음의 영역 선지(①, ②)를 고르는 실수이다. 둘째, 클램프 순간의 KVL 부호를 헷갈려 $7 + 0.7 = 7.7$로 계산해 ④를 고르는 실수이다. 배터리 전압과 다이오드 순방향전압을 더할지 뺄지는 다이오드가 어느 쪽 극에 연결되어 있는지에 따라 결정되므로, 반드시 회로도에서 애노드·캐소드 위치를 먼저 확인해야 한다.

다시 나오면 이렇게 판단

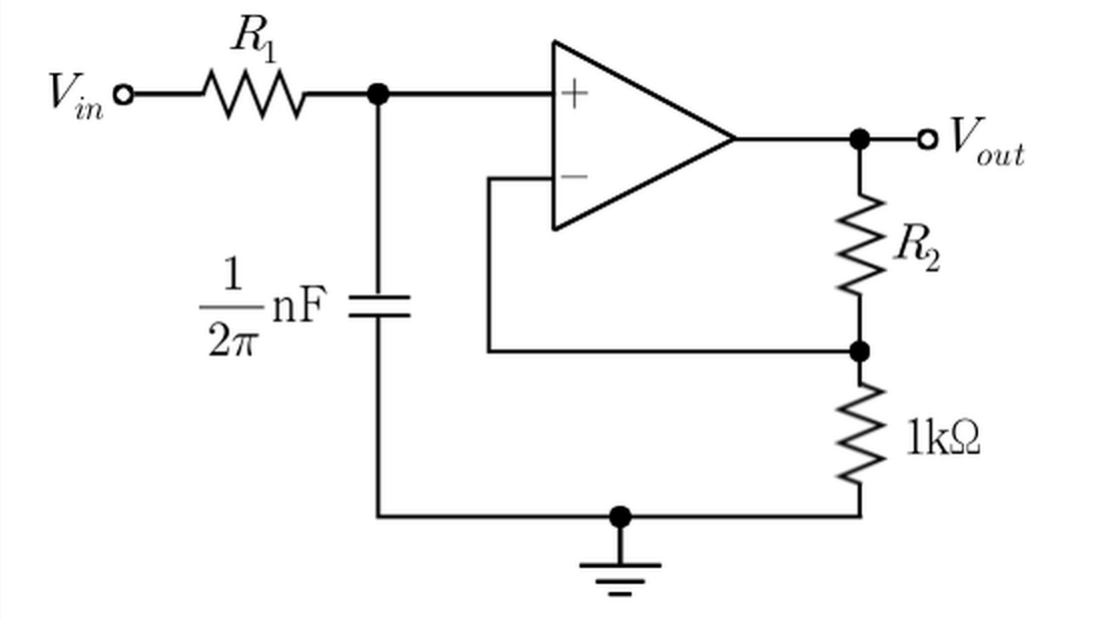
클램퍼 회로 문제를 만나면 먼저 다이오드의 애노드·캐소드 방향과 기준전압(배터리)의 극성을 확인한다. 그다음 다이오드가 도통하는 순간의 노드 전압을 KVL로 구하고, 그 전압이 출력파형의 최댓값(피크 클램프)인지 최솟값(트로프 클램프)인지는 다이오드가 어느 방향으로 전류를 막는지로 판단한다. 나머지 파형은 입력의 진폭(피크투피크)을 그대로 유지한 채 그 기준점에서 이어 붙이면 된다.

암기 포인트

클램퍼(레벨 시프터) 회로의 출력은 입력과 진폭이 동일하며(피크투피크 값 유지), DC 레벨만 이동한다. 클램프 전압은 배터리 전압과 다이오드 순방향전압의 합 또는 차로 정해지는데, 다이오드 애노드가 배터리 쪽이면 클램프되는 값은 최솟값이 되어 $V_{out,\,min} = V_{battery} - V_D$이고, 캐소드가 배터리 쪽이면 클램프되는 값은 최댓값이 되어 $V_{out,\,max} = V_{battery} + V_D$이다. 커패시터와 저항 값은 시상수를 결정할 뿐 정상상태의 클램프 레벨 계산 자체에는 쓰이지 않는다.

NoteBase

문 8. 다음 저역통과필터의 전압이득 $\frac{V_{out}}{V_{in}}$이 10일 때, 차단주파수가 50[kHz]가 되기 위한 R_1[kΩ]과 R_2[kΩ]는? (단, 연산증폭기는 이상적이라고 가정한다)



① $R_1 = 20[\text{k}\Omega], R_2 = 11[\text{k}\Omega]$

② $R_1 = 20[\text{k}\Omega], R_2 = 9[\text{k}\Omega]$

③ $R_1 = 200[\text{k}\Omega], R_2 = 11[\text{k}\Omega]$

④ $R_1 = 200[\text{k}\Omega], R_2 = 9[\text{k}\Omega]$

정답 2번

출제 포인트

이 회로는 입력단에 1차 RC 저역통과필터를 두고, 그 출력을 이상적인 연산증폭기의 비반전(+) 입력에 연결한 비반전 증폭기다. 즉 전체 회로는 '수동 RC 저역통과필터 + 비반전 증폭기'가 직렬로 결합된 능동 저역통과필터로 볼 수 있다. 문제는 (1) 통과대역 전압이득 $V_{out}/V_{in} = 10$이 되도록 피드백 저항 R2를 정하고, (2) 차단주파수가 50kHz가 되도록 입력단 R1을 정하는 두 조건을 동시에 만족시키는 것이다.

조건 정리

연산증폭기는 이상적이므로 입력단자에 전류가 흐르지 않는다. 비반전(-) 입력단 노드는 R2와 1kΩ의 직렬 분압으로 접지에 연결되어 있고, 이 노드 전압이 (+) 입력단(커패시터 양단, 즉 저역통과필터의 출력) 전압과 같아지도록 부궤환이 걸린다. 통과대역(저주파, $f \ll f_c$)에서는 커패시터가 개방(open)에 가까워 (+) 입력단 전압이 사실상 V_{in}과 같아지므로, 이 구간의 전체 이득은 비반전 증폭기의 이득 $1 + R_2/1\text{k}\Omega$으로 결정된다. 차단주파수는 R1과 커패시터 $C = \frac{1}{2\pi}$nF로 이루어진 1차 RC 저역통과필터의 극점 주파수로 결정된다.

NoteBase

사용할 공식

비반전 증폭기 이득: $A_v = 1 + \frac{R_2}{1\text{k}\Omega}$. RC 저역통과필터 차단주파수: $f_c = \frac{1}{2\pi R_1 C}$.

계산 과정

① R2 계산: $A_v = 10$이 되어야 하므로 $1 + \frac{R_2}{1\text{k}\Omega} = 10$, 따라서 $\frac{R_2}{1\text{k}\Omega} = 9$, 즉 $R_2 = 9\text{k}\Omega$. ② R1 계산: $C = \frac{1}{2\pi}\text{nF} = \frac{1}{2\pi} \times 10^{-9}\text{F}$이므로, $f_c = \frac{1}{2\pi R_1 C} = \frac{1}{2\pi R_1 \times \frac{1}{2\pi} \times 10^{-9}} = \frac{1}{R_1 \times 10^{-9}}$. 여기에 $f_c = 50\text{kHz} = 5 \times 10^4\text{Hz}$를 대입하면 $R_1 = \frac{1}{5 \times 10^4 \times 10^{-9}} = \frac{1}{5 \times 10^{-5}} = 2 \times 10^4\Omega = 20\text{k}\Omega$.

선지 판단

① $R_1 = 20,\ R_2 = 11$: X — $R_1 = 20\text{k}\Omega$은 맞지만 $R_2 = 9\text{k}\Omega$이어야 하므로 11은 틀린 값이다.
② $R_1 = 20,\ R_2 = 9$: O — 계산 결과 $R_1 = 20\text{k}\Omega,\ R_2 = 9\text{k}\Omega$와 정확히 일치한다.
③ $R_1 = 200,\ R_2 = 11$: X — $R_1,\ R_2$ 모두 계산값과 다르다.
④ $R_1 = 200,\ R_2 = 9$: X — $R_2 = 9\text{k}\Omega$는 맞지만 R_1은 $200\text{k}\Omega$이 아니라 $20\text{k}\Omega$이어야 한다(자릿수 착오를 유도하는 오답).

오답 포인트

R2를 구할 때 이득 공식을 비반전형($1 + R_2/1\text{k}$) 대신 반전형($R_2/1\text{k}$)으로 착각하면 $R_2 = 10\text{k}\Omega$로 잘못 계산해 선지 어디에도 없는 값이 나온다. R1을 구할 때는 커패시턴스 값 $\frac{1}{2\pi}\text{nF}$에서 2π를 미리 소거하지 않고 $f_c = \frac{1}{2\pi R_1 C}$에 그대로 대입해 계산하면 2π 인수가 남아 R_1이 10배 어긋난 $200\text{k}\Omega$처럼 나오기 쉽다(선지 ③·④가 이 실수를 유도).

다시 나오면 이렇게 판단

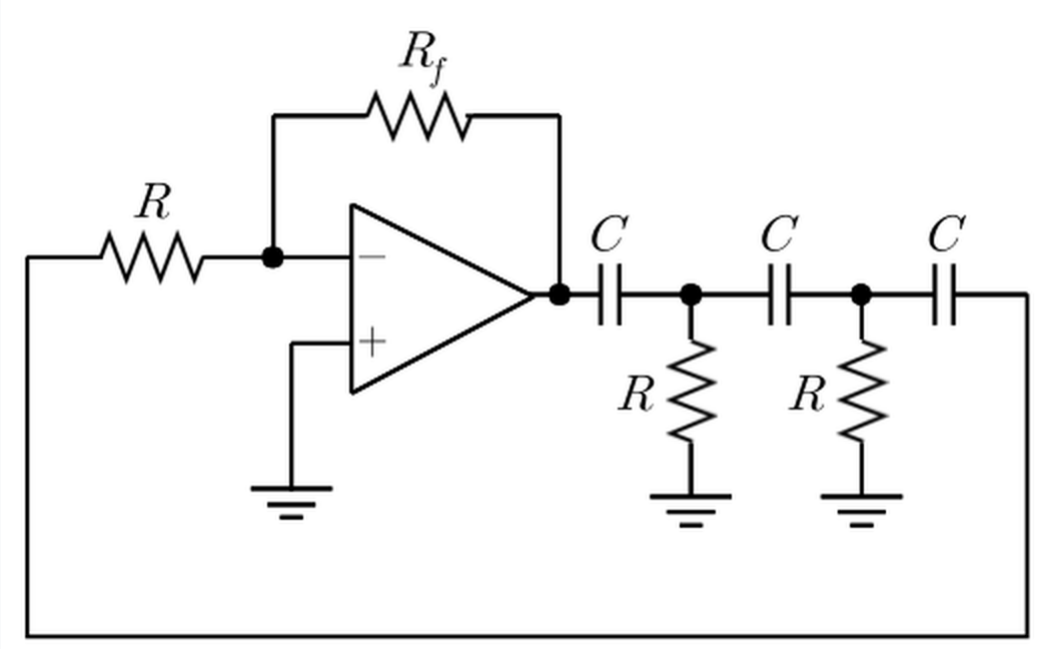
능동 저역통과필터 문제는 우선 회로를 '주파수 특성을 만드는 RC 부분'과 '통과대역 이득을 만드는 증폭기 부분'으로 나누어 각각 독립적으로 계산한다. 통과대역 이득은 저주파에서 커패시터를 개방으로 놓고 순수 저항 비율로만 구하고, 차단주파수는 필터를 구성하는 R·C만으로 $f_c = 1/(2\pi RC)$를 적용한다. 커패시턴스 값이 $\frac{1}{2\pi}$ 형태로 주어지면 공식의 2π와 약분되도록 설계된 것이므로, 대입 후 반드시 소거되는지 확인한다.

암기 포인트

비반전 증폭기 이득: $A_v = 1 + \frac{R_f}{R_g}$(반전 증폭기의 $-R_f/R_g$와 구별). 1차 RC 저역통과필터 차단주파수: $f_c = \frac{1}{2\pi RC}$. 커패시턴스가 $\frac{1}{2\pi} \times 10^{-n}$ 형태로 주어지면 2π가 약분되어 계산이 단순해진다는 점을 기억해 둔다.

NoteBase

문 9. 다음 위상천이 발진기에서 발진각주파수가 $1,000[rad/s]$인 경우, 발진기로 동작하기 위한 저항 $R[k\Omega]$과 $R_f[k\Omega]$의 값은? (단, $C = 0.1[\mu F]$, $\sqrt{6} = 2.5$, 연산증폭기는 이상적이라고 가정한다)



① R: 4, R_f: 116

② R: 3, R_f: 87

③ R: 2, R_f: 58

④ R: 1, R_f: 29

정답 1번

출제 포인트

연산증폭기 반전 증폭기와 3단 CR 위상천이 회로망을 결합한 위상천이 발진기의 발진 조건을 다루는 문제이다. 발진이 일어나려면 두 조건이 동시에 만족되어야 한다. 첫째는 위상 조건으로, 되먹임 신호가 입력과 같은 위상이 되도록 CR 망이 180□의 위상천이를 만들어야 하고(반전 증폭단이 이미 180□를 만들므로 합쳐서 360□), 둘째는 크기 조건으로 증폭기의 이득이 CR 망의 감쇠를 정확히 상쇄할 만큼 커야 한다는 것이다.

조건 정리

회로는 직렬 커패시터 C와 접지로 흐르는 병렬 저항 R이 3단으로 이어진 고역통과형 위상천이 회로망이며, 연산증폭기는 입력저항 R, 궤환저항 R_f를 갖는 반전 증폭기 구성이다. 주어진 값은 $C = 0.1[\mu F]$, 발진각주파수 $\omega = 1,000[\text{rad/s}]$, $\sqrt{6} = 2.5$이다.

NoteBase

사용할 공식

이러한 3단 CR(직렬 C, 병렬 R) 위상천이망을 이용한 반전형 발진기에서 발진각주파수와 이득 조건은 다음과 같다.$\omega = \frac{1}{RC\sqrt{6}}$ $\frac{R_f}{R} = 29$첫 식은 CR 망이 정확히 180□의 위상천이를 만드는 주파수를 정하고, 둘째 식은 그 주파수에서 CR 망의 신호 감쇠(약 1/29)를 증폭기 이득이 정확히 보상하여 크기 조건(루프이득 1)을 만족시키는 조건이다.

계산 과정

먼저 주파수 조건으로 R을 구한다.$R = \frac{1}{\omega C\sqrt{6}} = \frac{1}{1{,}000 \times 0.1 \times 10^{-6} \times 2.5}$분모를 계산하면 $1{,}000 \times 0.1 \times 10^{-6} = 10^{-4}$이고, 여기에 2.5를 곱하면 2.5×10^{-4}이다. 따라서 $R = \frac{1}{2.5 \times 10^{-4}} = 4{,}000[\Omega] = 4[\text{k}\Omega]$다음으로 이득 조건 $R_f = 29R$을 적용하면$R_f = 29 \times 4 = 116[\text{k}\Omega]$ 따라서 $R = 4[\text{k}\Omega]$, $R_f = 116[\text{k}\Omega]$이다.

선지 판단

① R=4, R_f=116: 계산 결과와 정확히 일치한다(O).

② R=3, R_f=87: R_f/R=29로 이득 조건은 맞지만 R값이 주파수 조건에서 구한 4kΩ이 아니므로 틀린 조합이다(X).

③ R=2, R_f=58: 이득 조건(R_f=29R)은 성립하지만 R이 4kΩ이 아니므로 틀린 조합이다(X).

④ R=1, R_f=29: 이득 조건은 성립하지만 R이 4kΩ이 아니므로 틀린 조합이다(X).

오답 포인트

네 선지 모두 R_f=29R이라는 이득 조건은 동일하게 만족시키도록 구성되어 있으므로, 이 문제의 실제 변별점은 이득 조건이 아니라 발진각주파수 조건에서 R값을 정확히 구하는 데 있다. $\omega = \frac{1}{RC\sqrt{6}}$ 식에서 $\sqrt{6}$을 빠뜨리거나 2π를 곱하는 실수를 하면 R값이 달라져 오답을 고르게 된다.

다시 나오면 이렇게 판단

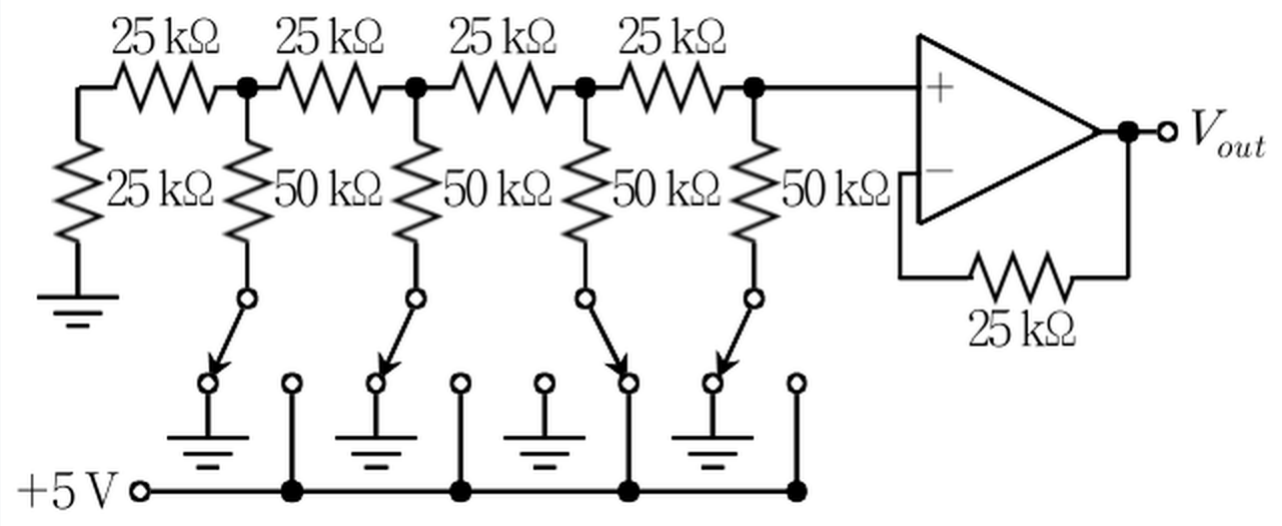
3단 CR(직렬 C, 병렬 R) 위상천이 발진기가 나오면 우선 $\omega = \frac{1}{RC\sqrt{6}}$로 R(또는 C, f)을 구하고, 그다음 이득 조건 $R_f = 29R$로 궤환저항을 구하는 두 단계로 접근한다. 선지들이 이득 조건은 모두 만족시키도록 짜여 있는 경우가 많으므로 주파수 조건 계산에서 실수하지 않는 것이 핵심이다.

암기 포인트

3단 CR(직렬 C, 병렬 R) 위상천이 발진기: 발진각주파수 $\omega = \frac{1}{RC\sqrt{6}}$, 최소 이득 조건 $R_f/R = 29$.

NoteBase

문 10. 다음 그림과 같이 R/2R 사다리형 DAC(digital-analog converter) 회로를 구성한 후 +5[V]의 기준전압을 인가할 때, 출력전압 V_{out}[V]은? (단, 연산증폭기는 이상적이라고 가정한다)



① 0.625

② 1.25

③ 2.5

④ 5

정답 2번

출제 포인트

R-2R 사다리형 DAC에서 스위치 상태에 따라 출력전압을 계산하는 문제이다. 각 스위치가 담당하는 이진 가중치(비트 자리값)를 정확히 파악하는 것과, 궤환저항이 하나뿐인 연산증폭기 구성이 전압폴로어로 동작한다는 점을 함께 이해해야 한다.

조건 정리

기준전압 $V_{ref} = 5V$이다. 직렬저항은 25kΩ 4개, 분기저항은 50kΩ 4개이며 맨 왼쪽 마디는 25kΩ으로 실제 접지에 고정 종단되어 있다(이 저항은 스위치가 없는 사다리 종단저항일 뿐 비트가 아니다). 4개의 스위치는 출력(연산증폭기 (+) 입력) 쪽에서 가까운 순서대로 각각 접지 또는 +5V 버스에 연결되는데, 그림에서는 출력에서 가장 가까운 스위치와 가장 먼 두 개의 스위치는 접지에, 두 번째로 가까운 스위치만 +5V에 연결되어 있다.
연산증폭기 (-) 입력은 출력 사이에 25kΩ 저항 하나로만 연결되어 있고 다른 전류 경로가 없다.

NoteBase

사용할 공식

R-2R 사다리는 각 분기 마디에서 저항비(직렬 25kΩ : 분기 50kΩ)에 의해 전압이 한 마디를 지날 때마다 정확히 절반으로 감쇠되어 전달되는 성질을 가진다. 따라서 출력에 가장 가까운 스위치가 최상위 비트가 되어 가중치 $V_{ref}/2$를 가지며, 그다음 스위치는 $V_{ref}/4$, 그다음은 $V_{ref}/8$, 가장 먼 스위치는 $V_{ref}/16$의 가중치를 가진다. 즉 $V_+ = V_{ref}\left(\frac{b_3}{2} + \frac{b_2}{4} + \frac{b_1}{8} + \frac{b_0}{16}\right)$이다($b_3$이 출력에 가장 가까운 스위치). 또한 연산증폭기의 (-) 입력에는 궤환저항 25kΩ 외에 다른 경로가 없어 전류가 0이므로 그 저항에는 전압강하가 없고, 결국 $V_{out} = V_- = V_+$인 전압폴로어로 동작한다.

계산 과정

그림의 스위치 상태를 이진수로 나타내면, 출력에 가장 가까운 비트부터 $b_3b_2b_1b_0 = 0100$이다(두 번째로 가까운 스위치만 +5V, 나머지는 접지). 이 값을 가중치 공식에 대입하면
$V_+ = 5\left(\frac{0}{2} + \frac{1}{4} + \frac{0}{8} + \frac{0}{16}\right) = 5 \times \frac{1}{4} = 1.25\text{V}$이다. 연산증폭기는 전압폴로어로 동작하므로
$V_{out} = V_+ = 1.25\text{V}$가 된다.

선지 판단

① 0.625 → $V_{ref}/8$에 해당하는 값으로, 가장 먼 쪽에서 두 번째 스위치(세 번째로 먼 스위치)만 +5V일 때 나오는 값이다. 이 문제의 실제 스위치 상태와 다르므로 틀린 값이다.
② 1.25 → $V_{ref}/4$에 해당하며, 실제로 +5V에 연결된 스위치(출력에서 두 번째로 가까운 스위치)의 가중치와 정확히 일치한다. 옳다.
③ 2.5 → $V_{ref}/2$에 해당하는 값으로, 출력에 가장 가까운 스위치(최상위 비트)가 +5V에 연결되었을 때 나오는 값이다. 그림에서는 이 스위치가 접지되어 있으므로 틀린 값이다.
④ 5 → 기준전압 자체 값으로, 모든 스위치가 +5V에 연결되어도 사다리 구조상 정확히 5V가 되지는 않으며(최댓값은 4.6875V), 이 문제의 스위치 조합과도 무관하므로 틀린 값이다.

오답 포인트

가장 흔한 실수는 어느 쪽 스위치가 최상위 비트인지 반대로 판단하는 것이다. 출력(연산증폭기 입력)에 가까운 스위치일수록 가중치가 크며($V_{ref}/2$), 멀어질수록 절반씩 작아진다. 이를 반대로 적용하면 1.25 대신 2.5나 0.625를 답으로 고르게 된다. 또한 맨 왼쪽의 25kΩ 종단저항을 하나의 비트 스위치로 착각해 5개의 비트가 있다고 계산하는 실수도 주의해야 한다. 이 저항은 스위치가 없는 고정 접지 종단저항일 뿐이다.

다시 나오면 이렇게 판단

먼저 각 스위치가 접지 기호 쪽으로 연결되어 있는지, +5V 버스 쪽으로 연결되어 있는지를 화살표 방향으로 하나씩 확인한다. 그다음 출력에 가장 가까운 스위치부터 순서대로 $V_{ref}/2$, $V_{ref}/4$, $V_{ref}/8$, $V_{ref}/16$의 가중치를 매기고, +5V에 연결된 스위치의 가중치만 모두 더하면 출력전압이 된다.

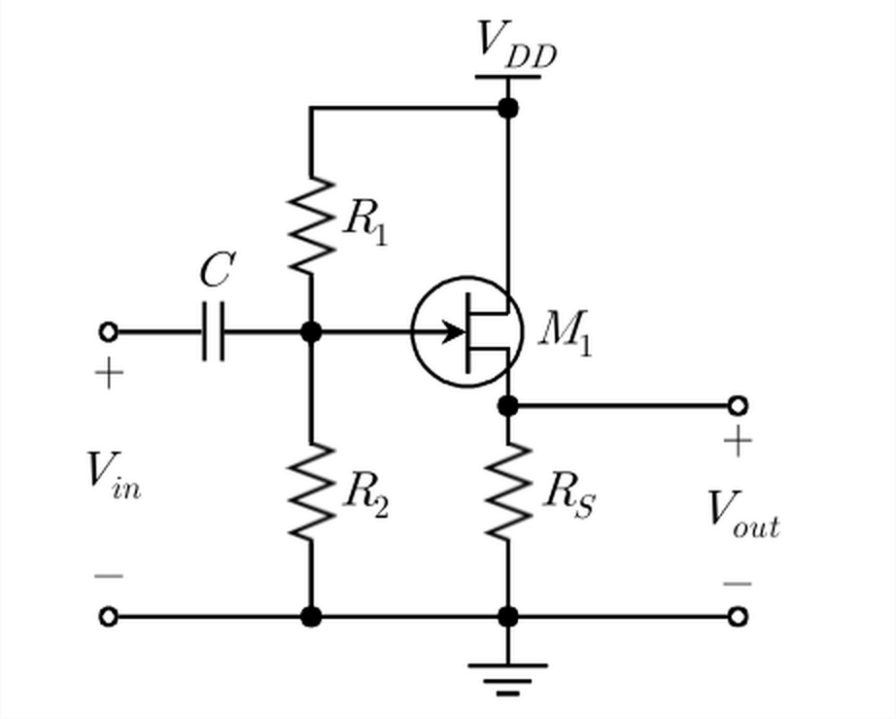
NoteBase

암기 포인트

R-2R 사다리형 DAC는 출력에 가까운 스위치일수록 가중치가 크고 한 자리씩 멀어질 때마다 가중치가 절반으로 줄어든다는 점, 그리고 연산증폭기의 (-) 입력이 궤환저항 하나로만 연결되어 다른 전류경로가 없으면 그 저항에는 전류가 흐르지 않아 입력전압이 그대로 출력되는 전압폴로어로 동작한다는 점을 기억해 둔다.

NoteBase

문 11. 다음 증폭회로에서 전압이득 $\left|\frac{V_{out}}{V_{in}}\right|$의 값은? (단, M_1의 전달컨덕턴스 $g_m = 10[\text{m℧}]$이고 $R_S = 900[\Omega]$이다)



① 0.8

② 0.9

③ 1.0

④ 1.1

정답 2번

출제 포인트

회로의 구조부터 파악해야 하는 문제이다. 드레인이 저항 없이 V_{DD}에 직접 연결되어 있고, 소스에 저항 R_S가 달려 있으며 출력 V_{out}을 소스 노드에서 뽑아낸다. 이는 공통 소스(드레인 저항으로 출력) 구조가 아니라 소스 팔로워(공통 드레인) 구조이며, 이 경우 전압이득은 g_m과 R_S만으로 결정된다.

조건 정리

$g_m = 10[\text{m℧}] = 0.01[\text{S}]$, $R_S = 900[\Omega]$이다. 게이트에 연결된 R_1(게이트-V_{DD})과 R_2(게이트-접지)는 M_1의 게이트 직류 바이어스 전압을 정해 주는 저항 분배기일 뿐이며, MOSFET 게이트로는 전류가 흐르지 않으므로 전압이득 계산에는 영향을 주지 않는다. 커패시터 C는 신호 주파수에서 단락으로 동작해 V_{in}이 그대로 게이트 전압으로 전달되고, 드레인은 V_{DD}에 직결되어 있어 교류적으로 접지(AC 접지)로 취급한다.

NoteBase

사용할 공식

소스 팔로워(공통 드레인) 증폭기의 전압이득은 다음과 같다.
$A_v = \left|\frac{V_{out}}{V_{in}}\right| = \frac{g_m R_S}{1 + g_m R_S}$

계산 과정

$g_m R_S = 0.01 \times 900 = 9$
$A_v = \frac{9}{1+9} = \frac{9}{10} = 0.9$

선지 판단

① 0.8 → X, 공식에 따른 계산값(0.9)과 다르다.
② 0.9 → O, $A_v = \frac{g_m R_S}{1 + g_m R_S} = \frac{9}{10} = 0.9$로 계산 결과와 일치한다.
③ 1.0 → X, 1.0은 $g_m R_S \to \infty$일 때에만 근접하는 이상적인 극한값이며, $g_m R_S = 9$인 유한한 경우에는 도달할 수 없다.
④ 1.1 → X, 소스 팔로워의 이득 $\frac{g_m R_S}{1 + g_m R_S}$는 분자가 분모보다 항상 작으므로 1을 넘을 수 없다.

오답 포인트

드레인에 저항이 없다는 이유로 이 회로를 증폭기가 아니라고 오판하지 않는다. 또한 공통 소스 회로로 착각해 이득을 $g_m R_S = 9$로 그대로 계산하면 선지에도 없는 값이 나오므로, 반드시 분모에 1을 더하는 소스 팔로워 공식($1 + g_m R_S$)을 적용해야 한다.

다시 나오면 이렇게 판단

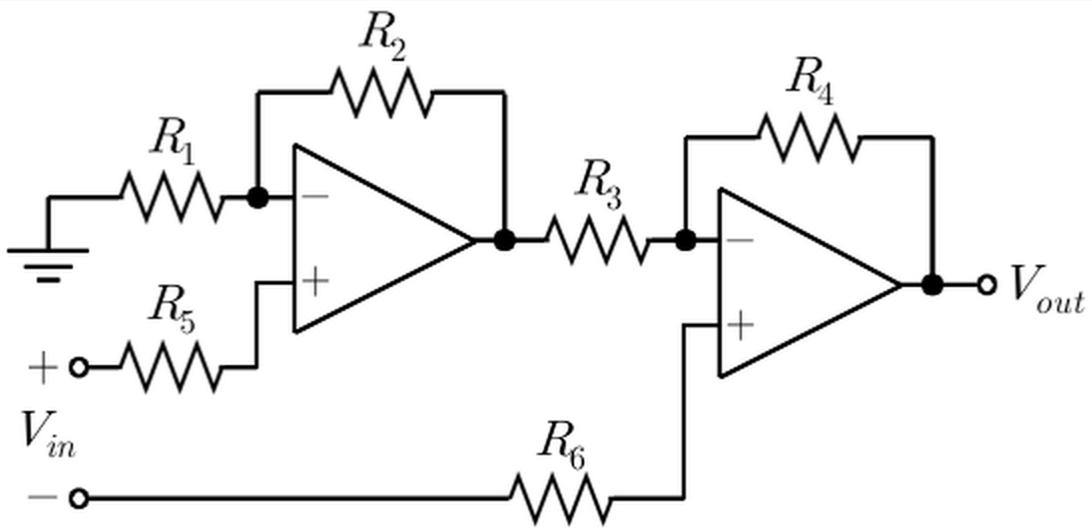
드레인이 V_{DD}나 접지에 직접 연결되고, 소스에 저항이 달려 있으며, 출력을 소스 노드에서 뽑는 형태를 보면 곧바로 소스 팔로워(공통 드레인)로 판단하고 $A_v = \frac{g_m R_S}{1 + g_m R_S}$ 공식부터 적용한다. 게이트 바이어스용 저항(이 문제의 R_1, R_2)은 전압이득 계산에서 제외한다.

암기 포인트

소스 팔로워(공통 드레인) 전압이득: $A_v = \frac{g_m R_S}{1 + g_m R_S} < 1$. 공통 소스 전압이득 $A_v = -g_m R_D$와 혼동하지 않도록 구분해서 암기해 둔다.

NoteBase

문 12. 다음 회로에서 $R_1 = 3R_2$이고 $3R_3 = R_4$일 때, 출력전압 V_{out}은? (단, 연산증폭기는 이상적이라고 가정한다)



① $2V_{in}$

② $4V_{in}$

③ $-4V_{in}$

④ $-2V_{in}$

정답 3번

출제 포인트

연산증폭기 2단이 종속으로 연결된 회로에서 가상단락(V+ = V-)과 입력단자로 전류가 흐르지 않는다는 이상적 연산증폭기의 성질을 이용해 각 단의 전달식을 세우고, 차동 입력 V_{in}에 대한 전체 이득을 구하는 문제이다.

조건 정리

R1 = 3R2, 즉 $R_2/R_1 = 1/3$이다.

3R3 = R4, 즉 $R_4/R_3 = 3$이다.

V_in은 두 단자(+, -) 사이에 걸리는 전압으로, +단자 전압을 V_{in}^{+}, -단자 전압을 V_{in}^{-}라 하면 $V_{in} = V_{in}^{+} - V_{in}^{-}$이다.

R5와 R6는 각각 1단·2단 연산증폭기의 (+) 입력단자로 연결되어 있는데, 이상적 연산증폭기는 입력단자로 전류가 흐르지 않으므로 R5, R6에는 전압강하가 생기지 않는다. 따라서 1단의 (+) 입력단자 전압은 V_{in}^{+} 그대로, 2단의 (+) 입력단자 전압은 V_{in}^{-} 그대로 전달된다.

NoteBase

사용할 공식

이상적 연산증폭기의 두 가지 성질을 사용한다.
첫째, 가상단락: 두 입력단자의 전압은 같다 ($V_+ = V_-$).
둘째, 입력단자로는 전류가 흐르지 않는다.
각 단의 반전 입력단자 노드에서 키르히호프 전류법칙(KCL)을 세워 출력전압을 구한다.

계산 과정

1단(왼쪽 연산증폭기)을 본다. (+) 입력단자는 R5를 거쳐 V_{in}^{+}에 연결되는데 전류가 흐르지 않으므로 이 단자의 전압은 V_{in}^{+}이다. 가상단락에 의해 (-) 입력단자 전압도 V_{in}^{+}이다.
(-) 입력단자 노드에는 R1(접지로)과 R2(1단 출력 V_{o1}으로)가 연결되어 있고, 이 노드로 흘러들어오는 전류의 합은 0이므로
$\frac{V_{in}^{+} - 0}{R_1} + \frac{V_{in}^{+} - V_{o1}}{R_2} = 0$
이를 정리하면
$V_{o1} = V_{in}^{+}\left(1 + \frac{R_2}{R_1}\right)$
$R_2/R_1 = 1/3$을 대입하면 $V_{o1} = \frac{4}{3}V_{in}^{+}$이다.

다음으로 2단(오른쪽 연산증폭기)을 본다. (+) 입력단자는 R6를 거쳐 V_{in}^{-}에 연결되는데 마찬가지로 전류가 흐르지 않으므로 이 단자의 전압은 V_{in}^{-}이고, 가상단락에 의해 (-) 입력단자 전압도 V_{in}^{-}이다.
이 (-) 입력단자 노드에는 R3(1단 출력 V_{o1}에서)와 R4(최종 출력 V_{out}으로)가 연결되어 있으므로
$\frac{V_{in}^{-} - V_{o1}}{R_3} + \frac{V_{in}^{-} - V_{out}}{R_4} = 0$
이를 V_{out}에 대해 정리하면
$V_{out} = V_{in}^{-}\left(1 + \frac{R_4}{R_3}\right) - V_{o1} \cdot \frac{R_4}{R_3}$
$R_4/R_3 = 3$과 $V_{o1} = \frac{4}{3}V_{in}^{+}$를 대입하면
$V_{out} = 4V_{in}^{-} - 3 \cdot \frac{4}{3}V_{in}^{+} = 4V_{in}^{-} - 4V_{in}^{+} = -4(V_{in}^{+} - V_{in}^{-})$
따라서 $V_{out} = -4V_{in}$이다.

선지 판단

① $2V_{in}$: X, 이득의 크기와 부호가 모두 틀리다. 실제 이득은 4배이고 부호는 음(-)이다.
② $4V_{in}$: X, 이득 크기(4배)는 맞지만 부호가 틀렸다. 계산 과정에서 $V_{out} = -4(V_{in}^{+} - V_{in}^{-})$로 음의 부호가 나오므로 $+4V_{in}$이 아니라 $-4V_{in}$이다.
③ $-4V_{in}$: O, 1단에서 4/3배로 증폭된 신호가 2단에서 다시 -3배 되어 곱해지고 2단 자체의 비반전 성분까지 합하면 최종적으로 $-4V_{in}$이 된다.
④ $-2V_{in}$: X, 부호는 맞지만 이득의 크기가 틀리다. R1=3R2, 3R3=R4 조건을 대입하면 이득의 크기는 2가 아니라 4이다.

NoteBase

오답 포인트

이 문제에서 가장 흔한 실수는 R5, R6를 신호 경로의 일부로 착각해 전압강하가 있다고 계산하는 것이다. 이상적 연산증폭기는 입력단자로 전류가 흐르지 않으므로 R5, R6에는 전압강하가 생기지 않고, (+) 입력단자 전압은 각각 V_{in}^{+}, V_{in}^{-} 그대로 전달된다.
또한 1단이 반전증폭기라고 착각해 $V_{o1} = -\frac{R_2}{R_1}V_{in}^{+}$로 계산하면 부호와 크기가 모두 틀리게 나온다. 1단은 (-) 입력단자가 R1을 통해 접지로, R2로 궤환되는 구조이므로 이득이 $1 + R_2/R_1$인 비반전 증폭기 형태임을 구분해야 한다.
2단 계산에서도 V_{o1}에 곱해지는 계수가 R_4/R_3이고 V_{in}^{-}에 곱해지는 계수가 $1 + R_4/R_3$임을 혼동하지 않아야 최종 부호와 크기를 올바르게 얻는다.

다시 나오면 이렇게 판단

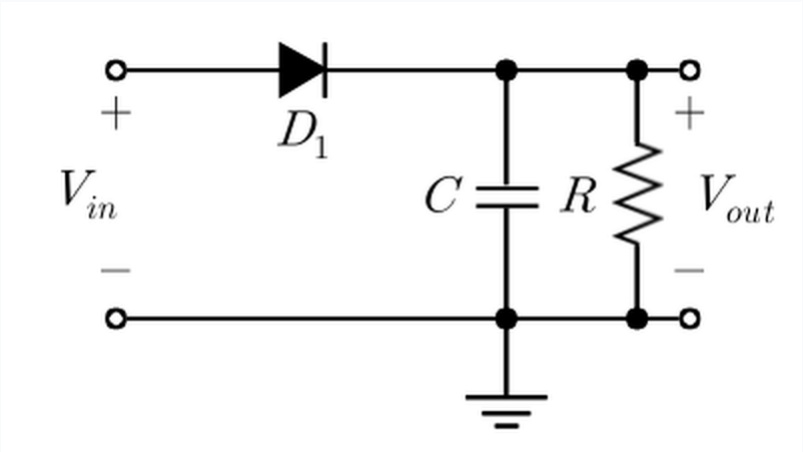
연산증폭기가 여러 단으로 연결된 회로는 각 단을 독립적으로 분리해, (+) 입력단자에 걸리는 전압부터 먼저 확인한다. (+) 입력단자에 저항을 거쳐 신호가 들어오더라도 전류가 흐르지 않으면 전압강하가 없다는 점을 가장 먼저 적용한다. 그다음 각 단의 (-) 입력단자 노드에서 KCL을 세워 그 단의 출력을 구하고, 이를 다음 단의 입력으로 대입해 나가면 여러 단이 연결되어 있어도 순차적으로 최종 출력까지 구할 수 있다.

암기 포인트

(+) 입력단자에 저항이 붙어 있어도 전류가 흐르지 않으므로 전압강하 없이 그대로 전달된다.
(-) 입력단자가 저항을 통해 접지되고 다른 저항으로 궤환되는 구조의 이득은 $1 + R_f/R_{in}$ 형태의 비반전 증폭기 이득이다.
한 단의 입력이 이전 단의 출력과 자신의 (+) 입력전압 두 가지로 이루어지면 $V_{out} = \left(1 + \frac{R_f}{R_{in}}\right)V_{+} - \frac{R_f}{R_{in}}V_{prev}$ 형태로 정리된다는 것을 기억해 둔다.

NoteBase

문 13. 다음 회로의 설명으로 옳지 않은 것은?



① AM 신호 복조에 사용할 수 있다.

② 저주파 신호는 통과하기 어렵다.

③ RC 시정수가 클수록 리플전압이 줄어든다.

④ 피크검파기로 사용할 수 있다.

정답 2번

출제 포인트

회로도를 보면 입력단에 다이오드 D_1이 직렬로 연결되고, 그 뒤 노드에서 커패시터 C와 저항 R이 서로 병렬로 접지에 연결되며 같은 노드에서 V_{out}이 인출된다. 이는 반파 정류 다이오드에 병렬 RC 저역통과 구조를 결합한 전형적인 피크검파기(포락선 검출기, envelope detector) 회로이다. 이 회로는 입력 신호의 순간 최대값(피크)을 커패시터에 저장했다가 RC 시정수에 따라 서서히 방전시키면서 입력 신호의 포락선(envelope)을 따라가는 출력을 만든다. 이러한 동작 원리를 바탕으로 각 선지의 타당성을 판단하는 문제이다.

NoteBase

선지별 해설

① AM 신호 복조에 사용할 수 있다. → O. AM(진폭변조) 신호는 반송파의 진폭이 변조신호(포락선)를 따라 변하는 형태이므로, 다이오드로 반파 정류한 뒤 RC 회로로 고주파 반송파 성분을 걸러내고 포락선만 추출하면 원래의 변조신호(저주파 정보신호)를 얻을 수 있다. 이것이 바로 AM 복조(포락선 검파)의 기본 원리이며, 이 회로가 정확히 그 구조이다.
② 저주파 신호는 통과하기 어렵다. → X. 이 회로는 다이오드로 정류된 신호를 병렬 RC의 저역통과 특성으로 다듬는 구조이다. RC 저역통과 필터는 저주파 성분은 잘 통과시키고 고주파(반송파) 성분을 억제하는 특성을 가진다. 따라서 저주파 신호(포락선, 변조신호)는 오히려 잘 통과하며, 통과하기 어려운 쪽은 고주파(반송파) 성분이다. "저주파 신호는 통과하기 어렵다"는 이 회로의 실제 동작과 반대되는 설명이므로 옳지 않다.
③ RC 시정수가 클수록 리플전압이 줄어든다. → O. 피크검파기에서 커패시터는 다이오드가 도통할 때 피크 전압까지 충전되고, 다이오드가 차단되는 구간에는 저항 R을 통해 서서히 방전된다. RC 시정수($\tau = RC$)가 클수록 방전이 느려져 다음 피크가 올 때까지 전압 강하폭(리플전압)이 작아진다. 따라서 RC 시정수가 클수록 리플전압이 줄어든다는 설명은 옳다.
④ 피크검파기로 사용할 수 있다. → O. 직렬 다이오드와 병렬 RC의 조합은 피크검파기(포락선 검출기)의 표준적인 구조 그 자체이므로 옳은 설명이다.

오답 포인트

이 회로를 단순히 "고역통과 필터"나 "저주파 차단 회로"로 착각하면 ②번을 옳은 설명으로 잘못 고르기 쉽다. 하지만 병렬 RC 구조는 고주파(반송파) 성분을 접지로 우회시켜 걸러내고, 상대적으로 느리게 변하는 저주파(포락선) 성분은 그대로 출력에 남기는 저역통과 필터 역할을 한다는 점을 혼동하지 않아야 한다. 다이오드가 정류 작용을 하고 RC가 평활(스무딩) 작용을 한다는 두 기능을 분리해서 이해해야 ②번이 왜 틀렸는지 정확히 짚어낼 수 있다.

다시 나오면 이렇게 판단

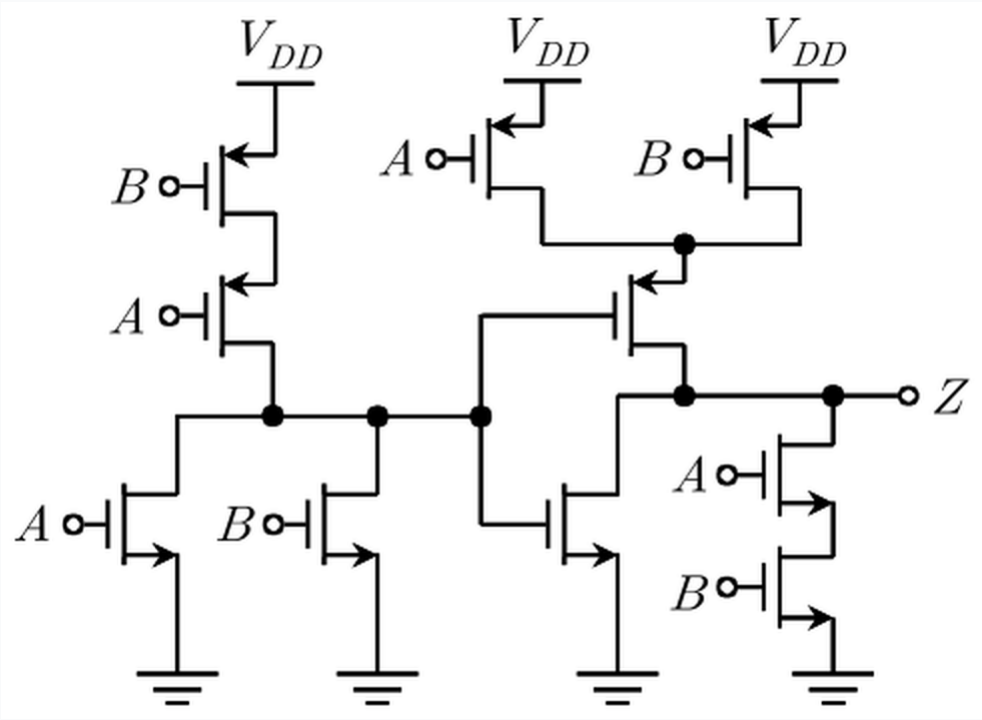
회로도에서 다이오드 뒤에 커패시터와 저항이 병렬로 접지에 연결된 구조가 보이면, 이는 곧바로 피크검파기(포락선 검출기)로 인식한다. 이 구조에서는 (1) 다이오드가 신호를 정류하고, (2) RC 병렬조합이 저역통과 필터로서 고주파 반송파를 제거하며 저주파 포락선만 남긴다는 두 단계로 나누어 각 선지를 검증한다. "저주파를 막는다"는 설명이 나오면 이 회로의 실제 기능과 반대이므로 옳지 않은 설명일 가능성이 높다.

암기 포인트

다이오드 직렬 + 병렬 RC = 피크검파기(포락선 검출기) = AM 복조 회로. 이 구조는 고주파(반송파)를 걸러내고 저주파(포락선) 신호는 통과시킨다. RC 시정수가 클수록 방전이 느려 리플전압이 줄어든다.

NoteBase

문 14. 다음 CMOS 논리회로에서 출력 Z의 논리식은?



① $\overline{A} \cdot \overline{B} + A \cdot B$

② $\overline{A} \cdot B + A \cdot \overline{B}$

③ $A + B$

④ $\overline{A}$

정답 2번

출제 포인트

CMOS 논리회로는 풀업(PMOS)망과 풀다운(NMOS)망이 서로 상보(듀얼) 구조를 이루며, 각 망의 직렬 연결은 AND, 병렬 연결은 OR로 해석된다는 원리를 이용해 출력 논리식을 구성하는 문제이다. 이 회로는 1단 게이트의 출력을 다시 2단 게이트의 입력으로 사용하는 2단 구조로, 두 단을 순서대로 해석해야 최종식 Z를 얻을 수 있다.

조건 정리

1단(왼쪽): PMOS는 VDD에서 A, B가 직렬로 연결되어 중간노드(이하 N1)로 이어지고, NMOS는 A, B가 각각 별도로 병렬 연결되어 N1과 접지 사이에 놓인다. 이는 표준 2입력 NOR 게이트 구조이므로 N1 = (A+B)'이다.
2단(오른쪽): 풀업망은 PMOS(A)와 PMOS(B)가 VDD에서 병렬로 연결된 뒤, 그 공통 노드가 게이트를 N1으로 하는 PMOS와 직렬로 이어져 Z에 연결된다. 풀다운망은 게이트가 N1인 NMOS 하나와, A·B를 게이트로 하는 NMOS 두 개가 직렬로 이어진 조합이 서로 병렬로 Z와 접지 사이에 연결된다.

NoteBase

사용할 공식

PMOS는 게이트 입력이 0일 때 도통, NMOS는 게이트 입력이 1일 때 도통한다. 풀업망 전체가 도통하면 $Z = 1$, 풀다운망 전체가 도통하면 $Z = 0$이 된다. 직렬 연결은 두 스위치가 모두 도통해야 하므로 논리 AND, 병렬 연결은 둘 중 하나만 도통해도 되므로 논리 OR로 대응시킨다.

계산 과정

1단(NOR)에서 $N1 = \overline{A + B} = \overline{A} \cdot \overline{B}$이다.
2단 풀업망: PMOS(A)와 PMOS(B)의 병렬 조합은 A=0 또는 B=0일 때 도통하므로 $\overline{A} + \overline{B}$에 대응한다. 여기에 게이트가 N1인 PMOS가 직렬로 더해지는데, 이 PMOS는 N1=0일 때 도통하므로 $\overline{N1} = A + B$에 대응한다. 두 조건이 직렬(AND)이므로 풀업 조건은 $(\overline{A} + \overline{B}) \cdot (A + B)$이다.
이를 전개하면 $(\overline{A} + \overline{B})(A + B) = A\overline{B} + \overline{A}B$이다(공통항 AA', BB'은 0이 되어 소거됨). 즉 Z=1이 되는 조건은 $A\overline{B} + \overline{A}B$로, 이는 A와 B가 서로 다를 때만 참이 되는 배타적 논리합(XOR)이다.
풀다운망으로 교차 검증하면: 게이트가 N1인 NMOS는 N1=1일 때 도통하므로 $\overline{A} \cdot \overline{B}$에 대응하고, NMOS(A)-NMOS(B) 직렬쌍은 A=1이고 B=1일 때만 도통하므로 $A \cdot B$에 대응한다. 이 둘이 병렬(OR)이므로 풀다운 조건은 $\overline{A} \cdot \overline{B} + A \cdot B$이며, 이는 정확히 풀업 조건의 여집합이다. 따라서 $Z = \overline{A} \cdot B + A \cdot \overline{B}$로 두 망이 서로 모순 없이 상보 관계를 이룬다.

선지 판단

① $\overline{A} \cdot \overline{B} + A \cdot B$ → 틀린 표현. 이 식은 A와 B가 같을 때 참이 되는 XNOR로, 실제로는 풀다운망(즉 Z=0이 되는 조건)에 해당하는 식이므로 출력 Z와는 반대 결과이다 → 올바른 표현은 XOR인 $\overline{A} \cdot B + A \cdot \overline{B}$이다.
② $\overline{A} \cdot B + A \cdot \overline{B}$ → 옳다. 풀업망 분석 결과와 정확히 일치하는 배타적 논리합(XOR) 식이다.
③ $A + B$ → 틀린 표현. 이는 단순 OR 게이트의 식으로, 회로에 존재하는 1단 NOR 게이트의 출력을 2단에서 재활용해 A, B가 같은 경우(0,0 또는 1,1)까지 구분하는 이 회로의 구조와 맞지 않는다 → 올바른 표현은 XOR인 $\overline{A} \cdot B + A \cdot \overline{B}$이다.
④ $\overline{A}$ → 틀린 표현. B에 대한 의존성이 전혀 없는 식으로, 회로에 B 입력 트랜지스터가 여러 개 존재하는 것과 모순된다 → 올바른 표현은 XOR인 $\overline{A} \cdot B + A \cdot \overline{B}$이다.

오답 포인트

①번은 XOR과 XNOR을 혼동한 경우로, 1단 NOR 출력 N1을 2단의 '추가 조건'으로만 보지 않고 전체 회로의 최종 극성을 거꾸로 판단하면 나오는 오답이다. 풀다운망 식을 그대로 Z의 식으로 착각하면 XNOR인 ①이 나오므로, 반드시 풀업망(Z=1 조건)을 기준으로 식을 세워야 한다. ③, ④는 회로의 2단 구조(N1을 게이트로 쓰는 트랜지스터의 존재)를 무시하고 겉보기 입력 개수만으로 단순 추측한 오답이다.

NoteBase

다시 나오면 이렇게 판단

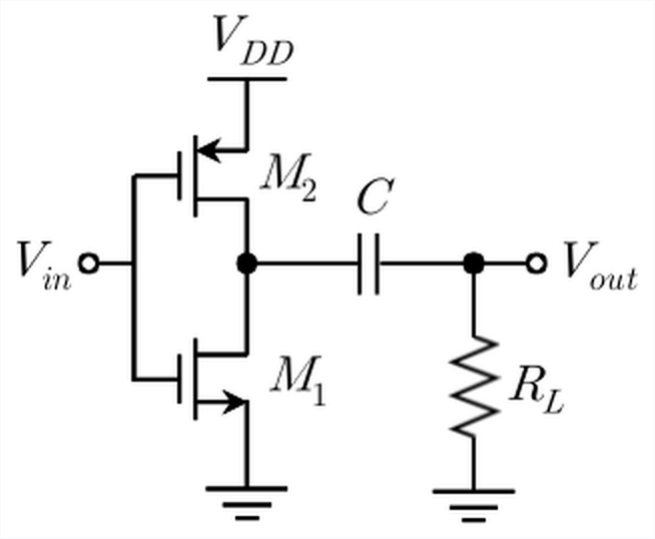
2단으로 이어진 CMOS 회로가 나오면, 먼저 1단만 떼어서 표준 NAND/NOR 게이트인지 확인해 중간노드의 식을 구한다. 그다음 2단의 풀업망(PMOS)을 기준으로 직렬은 AND, 병렬은 OR로 치환해 Z=1 조건을 구하고, 필요하면 풀다운망(NMOS)으로 Z=0 조건을 구해 두 식이 서로 여집합 관계인지 검산한다. PMOS는 입력이 0일 때, NMOS는 입력이 1일 때 도통한다는 극성을 절대 혼동하지 않는다.

암기 포인트

CMOS 게이트: 풀업(PMOS) 직렬=AND, 병렬=OR / 풀다운(NMOS) 직렬=AND, 병렬=OR이지만 두 망은 항상 서로 여함수(듀얼) 관계이다. PMOS는 0에서 켜지고 NMOS는 1에서 켜진다. XOR $= A\overline{B} + \overline{A}B = (A+B)\cdot\overline{A\cdot B}$, 즉 (OR)·(NAND) 형태로, XNOR $= \overline{AB} + AB$와 정확히 반대임을 기억해 둔다.

NoteBase

문 15. 다음 MOSFET 증폭기회로의 전압이득 $\left(\frac{V_{out}}{V_{in}}\right)$은? (단, g_{m1}과 r_{o1}은 트랜지스터 M_1, g_{m2}와 r_{o2}는 트랜지스터 M_2에 해당하는 파라미터이다. body effect는 무시하며 커패시터 C는 충분히 커서 교류신호에 대해서 임피던스는 0[Ω]으로 가정한다)



① $-(g_{m1}+g_{m2})(r_{o1} \parallel r_{o2} \parallel R_L)$

② $-(g_{m1}-g_{m2})(r_{o1} \parallel r_{o2} \parallel R_L)$

③ $-g_{m1}(r_{o1} \parallel r_{o2} \parallel R_L)$

④ $-(g_{m2}-g_{m1})(r_{o1} \parallel r_{o2} \parallel R_L)$

정답 1번

출제 포인트

이 회로는 게이트가 모두 V_{in}에 공통으로 연결된 NMOS M_1(소스 접지)과 PMOS M_2(소스 V_{DD})의 드레인을 한 노드에서 묶은 상보형(complementary) 공통소스 증폭기이다. 두 트랜지스터가 같은 입력으로 동시에 구동되므로 각 트랜지스터가 만드는 소신호 전류가 출력 노드에서 어떻게 합쳐지는지, 그리고 커패시터 C가 교류에 대해 단락(short)으로 작용해 부하저항 R_L이 출력 노드에 그대로 병렬로 걸린다는 점을 함께 처리할 수 있는지를 묻는다.

조건 정리

M_1은 게이트가 V_{in}, 소스가 접지인 NMOS이고 g_{m1}, r_{o1}을 갖는다. M_2는 게이트가 V_{in}, 소스가 V_{DD}인 PMOS이고 g_{m2}, r_{o2}를 갖는다. 두 트랜지스터의 드레인은 공통 노드에서 만나며 이 노드가 출력 단(커패시터 C 이전 노드)이 된다. body effect는 무시하고, 커패시터 C는 교류신호에 대해 임피던스 0인 단락으로 취급하므로 부하저항 R_L은 교류 소신호 해석에서 출력 노드에 직접 병렬로 연결된 것과 같다.

NoteBase

사용할 공식

소신호 등가회로에서 각 트랜지스터는 전압 v_{in}에 의해 종속전류원 $g_{m1}v_{in}$, $g_{m2}v_{in}$로 모델링되고, 각각 자신의 출력저항 r_{o1}, r_{o2}를 병렬로 갖는다. 두 전류원이 같은 출력 노드에 연결되어 있으므로 노드에서 전류 합산(KCL)을 적용하면 전체 등가 트랜스컨덕턴스는 $g_{m1}+g_{m2}$가 된다. 출력전압은 $v_{out}=-(g_{m1}+g_{m2})v_{in}(r_{o1}\parallel r_{o2}\parallel R_L)$로 주어진다.

계산 과정

출력 노드에서 두 트랜지스터의 드레인 전류를 합산한다. M_1의 드레인 전류는 $g_{m1}v_{in}$만큼 출력 노드에서 접지 방향으로 흘러 나가려 하고, M_2의 드레인 전류도 같은 입력 v_{in}에 의해 구동되어 같은 방향으로 출력 노드의 전압을 낮추는 쪽으로 작용한다(상보형 구조이므로 두 전류원이 서로 상쇄되지 않고 더해진다). 따라서 출력 노드로 흘러드는 등가 전류원의 크기는 $g_{m1}v_{in}+g_{m2}v_{in}=(g_{m1}+g_{m2})v_{in}$이다. 이 전류가 출력 노드에 병렬로 걸린 r_{o1}, r_{o2}, 그리고(단락된 C를 통해 연결된) R_L의 병렬저항을 통해 흐르므로 출력전압은 $v_{out}=-(g_{m1}+g_{m2})v_{in}(r_{o1}\parallel r_{o2}\parallel R_L)$이 된다. 양변을 v_{in}으로 나누면 전압이득은 $\frac{v_{out}}{v_{in}}=-(g_{m1}+g_{m2})(r_{o1}\parallel r_{o2}\parallel R_L)$이다.

선지 판단

① $-(g_{m1}+g_{m2})(r_{o1}\parallel r_{o2}\parallel R_L)$: O — 두 트랜지스터가 같은 입력으로 상보 구동되어 트랜스컨덕턴스가 더해지고, 출력 노드의 등가저항은 r_{o1}, r_{o2}, R_L의 병렬값이므로 계산 결과와 일치한다.

② $-(g_{m1}-g_{m2})(r_{o1}\parallel r_{o2}\parallel R_L)$: X — 두 전류원이 빼지는 것은 두 트랜지스터가 서로 반대로 작용해 상쇄되는 차동 구조일 때인데, 이 회로는 상보형 구조로 전류가 더해지므로 틀린 표현이다 → 올바른 표현은 $g_{m1}+g_{m2}$이다.

③ $-g_{m1}(r_{o1}\parallel r_{o2}\parallel R_L)$: X — M_2의 기여인 g_{m2}가 빠져 있어 틀린 표현이다 → 올바른 표현은 $g_{m1}+g_{m2}$를 곱한 식이다.

④ $-(g_{m2}-g_{m1})(r_{o1}\parallel r_{o2}\parallel R_L)$: X — ②와 마찬가지로 두 트랜스컨덕턴스를 빼는 것은 이 회로의 상보형 합산 구조와 맞지 않아 틀린 표현이다 → 올바른 표현은 $g_{m1}+g_{m2}$이다.

오답 포인트

이 문제에서 가장 흔한 실수는 게이트가 공통으로 묶여 있는 두 트랜지스터를 보고 차동쌍(differential pair)처럼 생각해 $g_{m1}-g_{m2}$ 꼴로 빼는 것이다. 하지만 이 회로는 소스가 각각 접지와 V_{DD}에 고정된 상태에서 드레인끼리 묶인 상보형(CMOS inverter형) 공통소스 단이므로, 같은 입력에 대해 두 트랜지스터의 소신호 전류가 출력 노드에서 서로 더해진다는 점을 놓치면 안 된다. 또한 커패시터 C가 교류에 대해 단락이라는 조건을 놓쳐 R_L을 병렬저항 계산에서 빠뜨리는 실수도 주의해야 한다.

NoteBase

다시 나오면 이렇게 판단

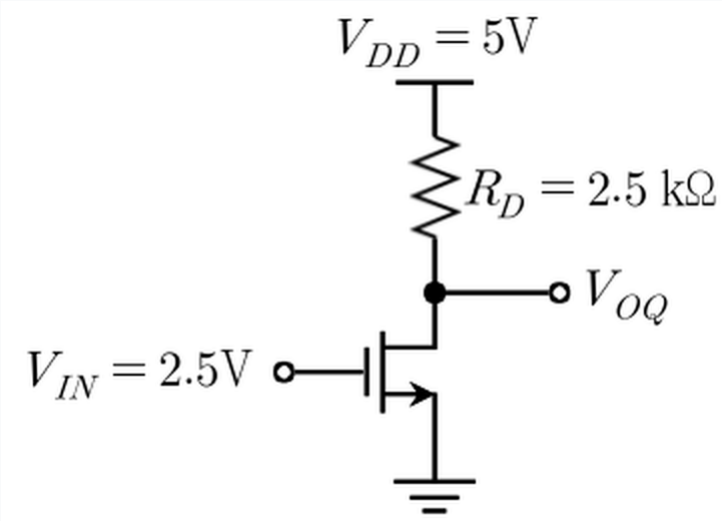
게이트가 공통 입력에 묶이고 드레인끼리 한 노드에서 합쳐지는 NMOS-PMOS 조합을 보면, 먼저 두 트랜지스터의 소스가 서로 다른 고정 전위(접지, V_{DD})에 연결되어 있는지 확인한다. 그렇다면 상보형 공통소스 구조이므로 트랜스컨덕턴스는 항상 더해진다($g_{m1} + g_{m2}$). 그다음 출력 노드에 병렬로 걸리는 모든 저항 성분(각 트랜지스터의 r_o와, 교류 단락 경로를 통해 연결된 외부 부하저항)을 병렬 합성해 이득 공식에 대입한다.

암기 포인트

상보형(CMOS) 공통소스 증폭기의 전압이득은 $-(g_{m1} + g_{m2})(r_{o1} \parallel r_{o2} \parallel R_L)$ 꼴로, 트랜스컨덕턴스는 항상 합, 저항은 항상 병렬로 결합된다는 형태를 기억해 둔다. 교류 결합 커패시터가 임피던스 0으로 주어지면 그 뒤에 달린 부하저항도 반드시 병렬 저항 계산에 포함해야 한다는 점도 함께 기억해 둔다.

NoteBase

문 16. 다음은 n-채널 MOSFET으로 구성된 바이어스회로이다. 이 회로에서 n-채널 MOSFET은 포화영역(saturation region)에서 동작하고 있고 V_{OQ}는 $2.5[V]$일 때 n-채널 MOSFET의 채널폭과 채널길이 비인 $\frac{W}{L}$의 값은? (단, 공정전달 컨덕턴스 파라미터 $k_n = \mu_n C_{ox} = 10^{-4}[A/V^2]$, 문턱전압 $V_{tn} = 0.5[V]$, channel length modulation 및 body effect는 무시한다)



① 2

② 5

③ 10

④ 20

정답 2번

출제 포인트

공통소스 바이어스 회로에서 드레인 전류를 저항 강하로부터 구하고, 이를 MOSFET 포화영역 전류식에 대입해 채널폭 대 채널길이 비 *W/L*을 역산하는 문제이다. 회로의 동작점(V_OQ)이 곧 드레인 전압이라는 점과, 이 값이 포화 조건을 만족하는지 확인하는 절차가 함께 출제된다.

조건 정리

V_DD = 5V, R_D = 2.5 kΩ, V_IN = 2.5V(게이트 전압, 소스가 접지이므로 V_GS = V_IN = 2.5V), V_OQ = 2.5V(드레인 전압), k_n = 10^-4 A/V^2, V_tn = 0.5V이다. 소스가 접지되어 있으므로 V_GS = 2.5V이고, 문턱전압을 넘는 초과전압(overdrive voltage)은 $V_{GS} - V_{tn} = 2.5 - 0.5 = 2.0$V이다.

사용할 공식

드레인측 저항의 전압강하로부터 드레인 전류를 구한다: $I_D = \frac{V_{DD} - V_{OQ}}{R_D}$. 포화영역에서 동작하는 MOSFET의 전류식은 $I_D = \frac{1}{2} k_n \left(\frac{W}{L}\right)(V_{GS} - V_{tn})^2$이다. 포화 조건은 $V_{DS} \geq V_{GS} - V_{tn}$이다.

NoteBase

계산 과정

먼저 드레인 전류를 구하면 $I_D = \frac{V_{DD} - V_{OQ}}{R_D} = \frac{5 - 2.5}{2.5\text{k}\Omega} = \frac{2.5\text{V}}{2.5\text{k}\Omega} = 1\text{mA}$이다. 소스가 접지이므로 $V_{DS} = V_{OQ} = 2.5$ V이고, 초과전압 $V_{GS} - V_{tn} = 2.0\text{V}$이므로 V_DS=2.5≥2.0이 성립해 포화영역 동작 조건을 만족한다(문제에서도 포화영역 동작을 전제로 제시하였다). 이제 포화영역 전류식에 값을 대입한다: $1 \times 10^{-3} = \frac{1}{2} \times 10^{-4} \times \left(\frac{W}{L}\right) \times (2.0)^2$. 우변을 정리하면 $1 \times 10^{-3} = 2 \times 10^{-4} \times \left(\frac{W}{L}\right)$이므로 $\frac{W}{L} = \frac{1 \times 10^{-3}}{2 \times 10^{-4}} = 5$이다.

선지 판단

① 2: 초과전압을 제곱하지 않고 그대로 나누는 등의 계산 오류에서 나올 수 있는 값으로, 실제 계산 결과와 맞지 않아 틀린 선지이다. ② 5: 드레인 전류 1mA와 초과전압 제곱 4.0을 정확히 대입해 얻은 값과 일치하므로 옳은 선지이다. ③ 10: k_n에 1/2을 곱하는 계수를 빠뜨리면 나올 수 있는 값으로, 계산 과정과 맞지 않아 틀린 선지이다. ④ 20: 초과전압을 제곱하지 않고 1.0으로 잘못 대입하거나 다른 계수 오류가 겹칠 때 나올 수 있는 값으로, 실제 계산 결과와 맞지 않아 틀린 선지이다.

오답 포인트

가장 흔한 실수는 소스가 접지되어 있다는 점을 놓쳐 V_GS를 V_IN이 아닌 다른 값으로 잘못 잡는 것이다. 또한 포화영역 전류식의 계수 1/2을 빠뜨리거나, 초과전압을 제곱하는 것을 잊고 1차항으로 계산하는 실수도 자주 나온다. V_OQ가 드레인 전압이라는 점, 즉 I_D를 저항 강하로 먼저 구해야 한다는 순서를 혼동하지 않는 것이 중요하다.

다시 나오면 이렇게 판단

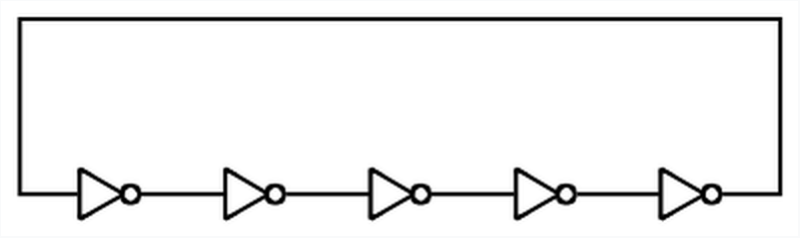
공통소스 바이어스 회로 문제는 항상 두 단계로 접근한다. 첫째, 출력 노드(드레인) 전압과 전원 전압의 차를 저항으로 나누어 드레인 전류를 구한다. 둘째, 게이트-소스 전압에서 문턱전압을 뺀 초과전압을 구하고, 포화영역 전류식 $I_D = \frac{1}{2}k_n(W/L)(V_{GS} - V_{tn})^2$에 대입해 미지수를 구한다. 포화 조건 $V_{DS} \geq V_{GS} - V_{tn}$을 확인하는 절차도 함께 챙긴다.

암기 포인트

소스 접지 시 $V_{GS} = V_{IN}$, 드레인 전류는 I_D=(V_DD-V_출력)/R_D로 먼저 구한다는 순서, 포화영역 전류식의 계수 1/2과 초과전압의 제곱을 빠뜨리지 않는다는 점을 함께 기억해 둔다.

NoteBase

문 17. 다음 회로는 CMOS 인버터 5단을 이용하여 만든 링 발진기(ring oscillator)이다. 이에 대한 설명으로 옳지 않은 것은?



① 인버터의 단 수를 3단으로 줄이면 발진주파수가 올라간다.

② 인버터의 단 수를 6단으로 늘리면 발진하지 않는다.

③ 지연시간이 더 작은 인버터를 이용하면 발진주파수가 올라간다.

④ 인버터의 공급전압을 올려도 발진주파수에는 변함이 없다.

정답 4번

출제 포인트

CMOS 인버터를 홀수 단으로 고리 형태로 연결한 링 발진기의 발진 조건과 발진주파수를 결정하는 요인을 묻는 문제이다. 발진주파수 f는 단 수 N과 인버터 한 개의 지연시간 t_d에 의해 $f = \frac{1}{2Nt_d}$로 결정되며, 이 지연시간 t_d가 공급전압에 따라 달라진다는 점을 알고 있는지가 핵심이다.

핵심 개념

링 발진기는 인버터를 홀수 개 직렬로 연결해 출력을 다시 입력으로 되먹임한 구조이다. 인버터가 홀수 개이면 전체 루프의 위상이 반전되어 안정된 상태가 없어 발진이 일어나고, 짝수 개이면 위상이 반전되지 않아 안정 상태(래치 상태)로 고정되어 발진하지 않는다. 발진 주기는 신호가 고리를 한 바퀴 도는 데 걸리는 시간의 2배이므로 $T = 2Nt_d$, 발진주파수는 $f = \frac{1}{2Nt_d}$이다. 여기서 t_d는 CMOS 인버터 한 단의 전파 지연시간으로, 공급전압 V_{DD}를 높이면 트랜지스터의 구동 전류가 커져 출력이 더 빠르게 충방전되므로 t_d가 감소한다. 즉 공급전압을 올리면 지연시간이 줄어들어 발진주파수는 오히려 올라간다.

NoteBase

선지별 해설

① 단 수를 3단(홀수)으로 줄이면 N이 작아지므로 $f = \frac{1}{2Nt_d}$에서 분모가 작아져 발진주파수가 올라간다. 옳은 설명이다.
② 단 수를 6단(짝수)으로 늘리면 고리를 한 바퀴 돌았을 때 위상이 반전되지 않아 안정 상태로 고정되므로 발진이 일어나지 않는다. 옳은 설명이다.
③ 지연시간 t_d가 더 작은 인버터를 사용하면 같은 단 수에서도 $f = \frac{1}{2Nt_d}$의 분모가 작아져 발진주파수가 올라간다. 옳은 설명이다.
④ 공급전압을 올리면 인버터의 구동 전류가 증가해 지연시간 t_d가 감소하므로 발진주파수는 올라간다. 그런데 이 선지는 "발진주파수에는 변함이 없다"고 서술하여 틀린 설명이다. 틀린 표현 → 올바른 표현: "변함이 없다" → "지연시간이 짧아져 발진주파수가 올라간다".

오답 포인트

①과 ③을 헷갈려 발진주파수를 결정하는 요인을 단 수만으로 생각하면 안 된다. 발진주파수는 단 수 N과 인버터 지연시간 t_d라는 두 요인의 곱에 반비례하므로, 단 수를 줄이든 지연시간을 줄이든 둘 다 발진주파수를 높이는 방향으로 작용한다는 점을 함께 기억해야 한다. ②는 짝수 단에서 발진이 멈춘다는 조건을 몰라 옳지 않다고 오판하기 쉬운데, 홀수 단 조건은 링 발진기의 발진 성립 조건 자체이므로 옳은 설명임을 놓치지 않아야 한다. ④는 공급전압과 지연시간의 관계(전압이 오르면 지연시간이 짧아진다)를 모르면 언뜻 타당해 보이는 함정 선지이므로 주의가 필요하다.

다시 나오면 이렇게 판단

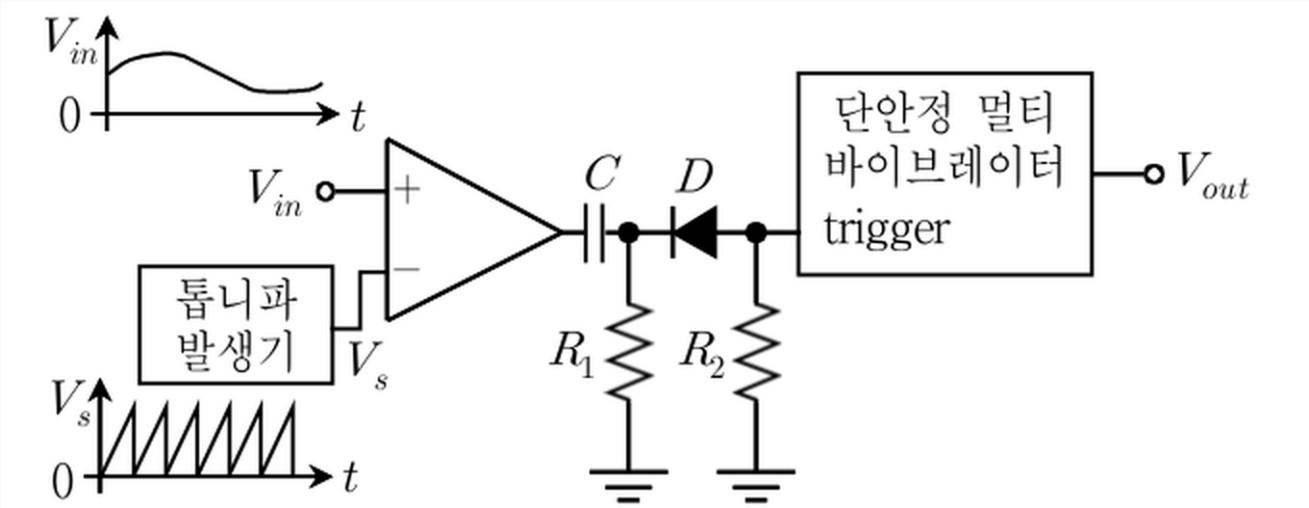
링 발진기 문제가 나오면 먼저 단 수가 홀수인지 짝수인지부터 확인해 발진 여부를 판단하고, 그다음 $f = \frac{1}{2Nt_d}$ 공식을 적용해 단 수 변화·지연시간 변화·공급전압 변화가 각각 발진주파수를 어느 방향으로 움직이는지 순서대로 대입해 본다. 특히 공급전압이 언급되면 전압 상승이 곧 지연시간 감소로 이어진다는 인과관계를 반드시 함께 적용한다.

암기 포인트

링 발진기는 홀수 단에서만 발진하고, 발진주파수 $f = \frac{1}{2Nt_d}$는 단 수 N과 인버터 지연시간 t_d에 반비례한다는 두 가지를 함께 묶어 외워 둔다. 또한 공급전압이 오르면 CMOS 인버터의 지연시간이 짧아져 발진주파수가 올라간다는 관계도 함께 기억해 둔다.

NoteBase

문 18. 다음은 입력신호 V_{in}를 변조해서 출력신호 V_{out}을 발생시키는 회로이다. 이 전체회로의 변조방식은?



① 펄스폭 변조(PWM)

② 펄스부호 변조(PCM)

③ 펄스위치 변조(PPM)

④ 펄스진폭 변조(PAM)

정답 3번

출제 포인트

이 회로는 아날로그 신호 V_{in}과 톱니파 기준신호 V_s를 비교기(comparator)로 비교해 펄스 열을 만든 뒤, 그 펄스의 어떤 특성이 최종적으로 변조되어 나오는지를 회로 구성 요소(C, D, 단안정 멀티바이브레이터)의 역할로부터 추론하는 문제이다. 결과적으로 어떤 펄스변조 방식(PWM·PCM·PPM·PAM)에 해당하는지를 묻는다.

NoteBase

선지별 해설

① X — 펄스폭 변조(PWM)라면 출력 펄스의 폭(duration)이 V_{in}의 크기에 따라 변해야 한다. 그런데 비교기 출력은 C·D를 거치면서 미분(differentiate)되어 상승/하강 에지에서만 뾰족한 스파이크로 바뀌고, 다이오드 D가 한쪽 극성의 에지만 통과시켜 단안정 멀티바이브레이터를 트리거한다. 단안정 멀티바이브레이터는 트리거를 받으면 자신의 내부 RC 시정수로 정해진 고정폭 펄스만 출력하므로 최종 V_{out}의 펄스폭은 V_{in}과 무관하게 일정하다. 따라서 PWM은 아니다.
② X — 펄스부호 변조(PCM)는 신호를 표본화·양자화한 뒤 이진 부호(디지털 코드)로 변환하는 방식으로, A/D 변환기와 부호화 회로가 필요하다. 이 회로에는 그러한 양자화·부호화 단계가 전혀 없으므로 PCM이 아니다.
③ O — 비교기는 V_{in}과 톱니파 V_s가 교차하는 순간마다 출력이 스위칭되고, 이 스위칭 시점은 V_{in}의 크기에 따라 톱니파 주기 내에서 앞뒤로 이동한다. C·D로 만든 트리거 펄스가 이 교차 시점마다 단안정 멀티바이브레이터를 발동시키므로, 출력 펄스는 폭은 고정이지만 발생하는 시간적 위치(position)가 V_{in}에 따라 이동한다. 이는 펄스위치 변조(PPM)의 전형적인 구현 방식이다.
④ X — 펄스진폭 변조(PAM)는 표본화된 펄스의 진폭(높이)이 신호 크기에 비례해서 변하는 방식이다. 그런데 단안정 멀티바이브레이터의 출력은 항상 정해진 진폭(예: 논리 하이 레벨)의 펄스만 내보내므로 진폭이 V_{in}에 따라 변하지 않는다. 따라서 PAM이 아니다.

오답 포인트

비교기와 톱니파만 보면 반사적으로 PWM을 떠올리기 쉽지만, 이 회로의 핵심은 비교기 출력 뒤에 C-D로 미분·에지검출을 하고 그 뒤에 고정폭 펄스를 내는 단안정 멀티바이브레이터가 붙어 있다는 점이다. 미분회로가 폭 정보를 지우고 시점(에지) 정보만 남기며, 단안정 멀티바이브레이터가 폭을 고정값으로 재설정하기 때문에 최종 출력은 위치만 변하는 PPM이 된다. 회로의 앞부분(비교기+톱니파)만 보고 뒷부분(C, D, 단안정 멀티바이브레이터)의 역할을 놓치면 오답을 고르게 된다.

다시 나오면 이렇게 판단

펄스변조 회로 문제는 신호 경로의 마지막 단(출력 직전 블록)이 무엇을 고정하고 무엇을 가변시키는지를 기준으로 판단한다. 비교기 출력만 있으면 PWM 후보, 거기에 미분(C)+정류(D)+단안정 멀티바이브레이터가 이어지면 에지 시점만 살아남아 PPM이 된다. 표본과 양자화·부호화 단계가 보이면 PCM, 진폭이 신호 크기에 따라 그대로 실려 나가면 PAM으로 구분한다.

암기 포인트

PAM=진폭 가변·PWM=폭 가변·PPM=위치(시점) 가변·PCM=디지털 부호화. 비교기+톱니파만 있으면 PWM이지만, 그 뒤에 미분회로(C)+다이오드(에지 선택)+단안정 멀티바이브레이터(고정폭 재생)가 붙으면 PPM으로 바뀐다는 점을 회로 그림으로 기억해 둔다.

NoteBase

문 19. 다음 진리표로부터 논리식을 나타낸 것으로 옳은 것은? (단, x는 don't care상태이다)

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	x
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	x
1	1	1	0	0
1	1	1	1	0

① $Y = B \cdot \overline{C} + \overline{A} \cdot \overline{C}$

② $Y = B \cdot \overline{C} \cdot \overline{D} + \overline{C} \cdot \overline{D}$

③ $Y = B \cdot D + \overline{B} \cdot \overline{C} \cdot D$

④ $Y = B \cdot \overline{C} + \overline{C} \cdot D$

정답 4번

출제 포인트

4변수(A, B, C, D) 진리표에서 don't care(x) 항을 활용해 논리식을 최소화(간략화)할 수 있는지를 묻는 문항이다. x로 표시된 항은 0으로 두든 1로 두든 회로 동작에 영향이 없으므로, 최소항 개수를 줄이는 방향으로 자유롭게 선택해 묶을 수 있다는 점이 핵심이다.

조건 정리

Y = 1인 최소항: $m_1(0001)$, $m_4(0100)$, $m_9(1001)$, $m_{12}(1100)$

don't care 항: $m_5(0101)$, $m_{13}(1101)$

Y = 0인 최소항: 그 외 나머지 10개 조합 전부(0000, 0010, 0011, 0110, 0111, 1000, 1010, 1011, 1110, 1111)

NoteBase

기출OX 해설집 · 공무원/국가직/7급 · 전자회로 · 2017

사용할 공식

카르노맵(또는 최소항 묶음) 최소화 원리를 사용한다. 인접한 두 최소항은 값이 다른 변수 한 개를 소거하며 묶이고(예: $A\bar{B} + AB = A$), don't care 항은 묶음을 크게 만들어 항의 개수를 줄일 수 있을 때만 1로 채택한다.

계산 과정

① m_1(0001)과 m_5(0101, x)를 묶는다: A=0, C=0, D=1로 같고 B만 0→1로 바뀌므로 $\bar{A}\bar{C}D$가 된다.
② m_9(1001)과 m_{13}(1101, x)를 묶는다: A=1, C=0, D=1로 같고 B만 다르므로 $A\bar{C}D$가 된다.
③ ①, ②를 다시 묶으면 A가 0→1로 바뀌므로 $\bar{C}D$만 남는다. 이 항은 m_1, m_5, m_9, m_{13}을 모두 포함하고 Y=0인 항은 하나도 포함하지 않는다.
④ m_4(0100)과 m_{12}(1100)를 묶는다: B=1, C=0, D=0으로 같고 A만 다르므로 $B\bar{C}$가 된다. 이때 $B\bar{C}$는 B=1, C=0인 네 항(m_4, m_5, m_{12}, m_{13})을 모두 포함하며, 이 네 항은 전부 Y=1이거나 don't care이므로 Y=0인 항을 침범하지 않는다.
⑤ 따라서 $\bar{C}D$와 $B\bar{C}$만으로 Y=1과 x 항 전부를 덮고 Y=0인 항은 하나도 포함하지 않으므로, $Y = B\bar{C} + \bar{C}D$가 이 진리표를 나타내는 최소화된 논리식이다.

선지 판단

① Y = B·C̄ + Ā·C̄ → X. $\bar{A}\bar{C}$는 A=0, C=0인 항 전체(m_0, m_1, m_4, m_5)를 포함하는데, 이 중 m_0(0000)은 Y=0인 항이다. 따라서 이 식은 Y=0이어야 할 m_0에서도 1을 출력해 진리표와 어긋난다.
② Y = B·C̄·D̄ + C̄·D̄ → X. $\bar{C}\bar{D}$는 C=0, D=0인 항 전체(m_0, m_4, m_8, m_{12})를 포함하는데, 이 중 m_0(0000)과 m_8(1000)은 Y=0인 항이다. 따라서 이 식도 Y=0이어야 할 항에서 1을 출력해 어긋난다.
③ Y = B·D + B̄·C̄·D → X. $B \cdot D$는 B=1, D=1인 항 전체(m_5, m_7, m_{13}, m_{15})를 포함하는데, 이 중 m_7(0111)과 m_{15}(1111)은 Y=0인 항이다. 따라서 이 식도 Y=0이어야 할 항에서 1을 출력해 어긋난다.
④ Y = B·C̄ + C̄·D → O. 계산 과정에서 확인했듯이 $B\bar{C}$와 $\bar{C}D$는 Y=1, x 항만 정확히 포함하고 Y=0인 항은 어느 것도 포함하지 않으므로 진리표와 완전히 일치한다.

오답 포인트

①, ②, ③은 모두 얼핏 묶음이 그럴듯해 보이지만, 실제로 대입해 보면 Y=0으로 표시된 항(don't care가 아닌 확정된 0) 중 하나 이상을 1로 잘못 출력한다. 이런 유형은 눈으로 항을 묶기보다 각 선지의 곱항이 어떤 변수 조합을 포함하는지 나열한 뒤, 그 조합이 진리표의 0 행과 겹치는지를 직접 대조해야 확실하게 걸러낼 수 있다.

다시 나오면 이렇게 판단

돈트케어가 있는 진리표 간략화 문제는 먼저 Y=1인 최소항과 x인 최소항을 모두 적어 두고, x는 Y=0인 항과 절대 같은 묶음에 들어가지 않는 선에서 최대한 큰 묶음을 만드는 방향으로 활용한다. 선지가 여러 개 주어지면 직접 카르노맵을 그리기보다, 각 선지의 곱항이 어떤 변수 조합(예: B=1&C=0)을 나타내는지 파악한 뒤 그 조합에 Y=0인 행이 섞여 있는지만 빠르게 대조하는 방식이 빠르다.

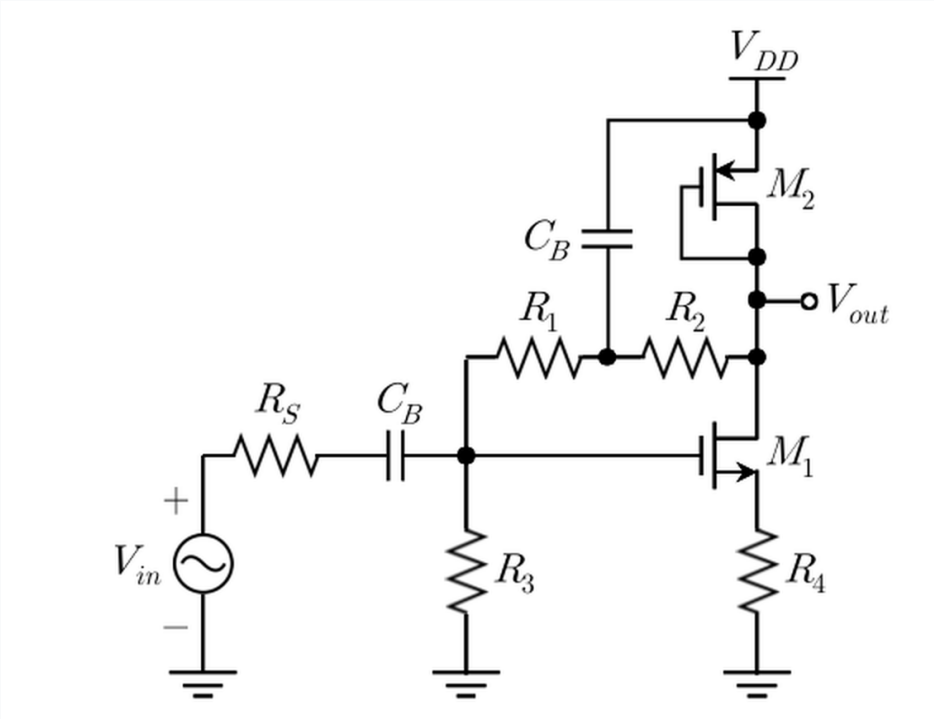
NoteBase

암기 포인트

don't care는 항상 '있으면 유리한 쪽으로만' 1로 채택한다. 즉 더 큰 묶음(더 적은 리터럴)을 만들 수 있을 때만 1로 보고, 그렇지 않으면 0으로 두어도 무방하다. 이 문제에서는 m_5, m_{13}을 모두 1로 채택했을 때 $B\bar{C}$와 $\bar{C}D$라는 2개 리터럴짜리 항 두 개로 전체를 덮을 수 있었다는 점이 최소화의 핵심이었다.

NoteBase

문 20. 다음 MOSFET 증폭기회로의 전압이득 $\left(\frac{V_{out}}{V_{in}}\right)$은? (단, g_{m1}은 트랜지스터 M_1, g_{m2}는 트랜지스터 M_2에 해당하는 파라미터이다. body effect와 channel length modulation은 무시하며 커패시터 C_B는 충분히 커서 교류신호에 대해서 임피던스는 0[Ω]으로 가정한다)



① $\left(-\frac{(R_1+R_2)\parallel R_3}{R_S+(R_1+R_2)\parallel R_3}\right)\left(\frac{R_2\parallel\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}+R_4}\right)$

② $\left(-\frac{(R_1+R_2)\parallel R_3}{R_S+(R_1+R_2)\parallel R_3}\right)\left(\frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}+R_4}\right)$

③ $\left(-\frac{R_1\parallel R_3}{R_S+R_1\parallel R_3}\right)\left(\frac{R_2\parallel\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}+R_4}\right)$

④ $\left(-\frac{R_1\parallel R_3}{R_S+R_1\parallel R_3}\right)\left(\frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}+R_4}\right)$

정답 3번

출제 포인트

커패시터 C_B가 교류에 대해 임피던스 0인 단락으로 작동한다는 조건을 이용해, R_1과 R_2의 접합 노드가 VDD를 통해 교류적으로 접지된다는 사실을 회로도에서 읽어내는 문제이다. 이 사실을 놓치면 R_1과 R_2를 직렬 저항 하나로 잘못 묶게 되고, 출력 노드에서 R_2가 M_2의 등가저항과 병렬로 걸린다는 점도 놓치기 쉽다. 전체 이득을 입력측 전압분배와 게이트-출력 사이의 증폭 이득 두 부분으로 나누어 계산하는 것이 핵심이다.

NoteBase

조건 정리

V_{in}은 R_S와 결합 커패시터 C_B를 거쳐 M_1의 게이트 노드에 연결되고, 이 게이트 노드에는 바이어스 저항 R_3가 접지로 연결되어 있으며 동시에 R_1의 한쪽 끝이 연결된다. R_1의 다른 쪽 끝은 상단의 커패시터 C_B를 통해 V_{DD}로 연결되는데, C_B는 교류 임피던스가 0이므로 이 노드는 교류 신호 관점에서 접지(AC ground)이다. 같은 노드에서 R_2가 시작해 출력 노드 V_{out}으로 이어진다. V_{out} 노드는 M_1의 드레인이면서 동시에 M_2의 소스에 해당하고, M_2는 게이트와 소스가 같은 노드로 묶인 다이오드 연결 형태이므로 M_2는 교류 등가저항 $1/g_{m2}$인 소자로 볼 수 있다. M_1의 소스는 바이패스되지 않은 저항 R_4를 통해 접지된다.

사용할 공식

입력 전압분배: $\frac{V_{g1}}{V_{in}} = -\frac{R_1 \parallel R_3}{R_S + R_1 \parallel R_3}$의 크기 성분(부호는 증폭단에서 반영). 소스 저항이 있는 공통소스 증폭단의 이득: $\frac{V_{out}}{V_{g1}} = -\frac{R_D}{\frac{1}{g_{m1}} + R_4}$, 여기서 출력단의 등가 부하 $R_D = R_2 \parallel \frac{1}{g_{m2}}$이다.

계산 과정

① 입력측: C_B가 단락이므로 R_1의 우측 끝은 교류 접지이고, 이는 곧 R_1이 게이트 노드에서 접지로 가는 저항임을 뜻한다. 따라서 게이트 노드에서 접지 쪽으로 본 저항은 R_1과 R_3의 병렬, 즉 $R_1 \parallel R_3$이며 R_2는 이 계산에 들어가지 않는다. R_S와 $R_1 \parallel R_3$로 전압분배를 구성하면 $\frac{V_{g1}}{V_{in}} = \frac{R_1 \parallel R_3}{R_S + R_1 \parallel R_3}$이다.
② 출력측: M_1은 소스 저항 R_4가 있는 공통소스단으로, 소스에서 본 임피던스 $1/g_{m1}$에 R_4가 직렬로 더해져 유효 소스 임피던스는 $\frac{1}{g_{m1}} + R_4$가 된다. 드레인(=출력) 노드에서는 R_2가 교류 접지 노드로 이어져 있고, 동시에 다이오드 연결된 M_2가 등가저항 $1/g_{m2}$로 같은 노드에 병렬로 걸린다. 따라서 유효 부하는 $R_2 \parallel \frac{1}{g_{m2}}$이다.
③ 게이트-출력 이득은 공통소스 반전 증폭 형태이므로 $\frac{V_{out}}{V_{g1}} = -\frac{R_2 \parallel \frac{1}{g_{m2}}}{\frac{1}{g_{m1}} + R_4}$이다.
④ 전체 이득은 두 단을 곱한 것이므로 $\frac{V_{out}}{V_{in}} = \left(-\frac{R_1 \parallel R_3}{R_S + R_1 \parallel R_3}\right)\left(\frac{R_2 \parallel \frac{1}{g_{m2}}}{\frac{1}{g_{m1}} + R_4}\right)$이다.

선지 판단

① X → 분모·분자의 $(R_1 + R_2) \parallel R_3$는 R_1-R_2 접합 노드가 교류 접지라는 점을 반영하지 못한 표현이다. R_1의 반대쪽이 접지이므로 R_1과 R_2를 더해 R_3와 병렬로 묶으면 안 되고, 게이트 쪽에서는 $R_1 \parallel R_3$만 남아야 한다.
② X → ①과 같은 입력측 오류에 더해, 출력 부하에서 R_2를 누락하고 $1/g_{m2}$만 남긴 것도 틀렸다. R_2는 출력 노드에서 접지(중간노드)로 이어지는 실제 저항이므로 $1/g_{m2}$와 병렬로 반영되어야 한다.
③ O → 입력측은 $R_1 \parallel R_3$로, 출력측 부하는 $R_2 \parallel \frac{1}{g_{m2}}$로 정확히 반영했고, 소스 저항이 있는 M_1 단의 분모 $\frac{1}{g_{m1}} + R_4$도 옳다.
④ X → 입력측 $R_1 \parallel R_3$는 맞지만, 출력 부하에서 R_2를 누락하고 $1/g_{m2}$만 남긴 것이 틀렸다.

오답 포인트

가장 흔한 실수는 회로도에서 커패시터가 교류 신호에 단락으로 작동한다는 조건을 놓치고, R_1과 R_2를 단순히 직렬 저항으로 보아 $(R_1 + R_2) \parallel R_3$로 계산하는 것이다. 또 다른 실수는 다이오드 연결된 M_2가 등가저항 $1/g_{m2}$로 동작한다는 점은 알아도, 그 노드에 R_2도 함께 걸려 있다는 사실을 놓치고 $1/g_{m2}$ 하나만 부하로 쓰는 것이다.

NoteBase

다시 나오면 이렇게 판단

회로에서 커패시터가 '충분히 커서 교류 임피던스 0'이라는 조건이 주어지면, 그 커패시터가 연결하는 두 노드는 교류 신호 관점에서 같은 전위(접지 포함)라고 먼저 표시해 둔다. 그다음 그 접지화된 노드를 기준으로 각 저항이 어느 노드와 어느 노드 사이에 걸리는지 다시 그려보면, 저항을 잘못 직렬·병렬로 묶는 실수를 줄일 수 있다. 다이오드 연결 트랜지스터는 항상 그 노드에 걸린 다른 저항·소자와 병렬로 묶어 부하 저항을 구성해야 한다.

암기 포인트

교류 접지로 작동하는 커패시터가 연결된 노드는 그 노드에 연결된 다른 모든 저항의 기준점이 바뀐다는 것을 기억해 둔다. 소스 저항이 바이패스되지 않은 공통소스단의 이득은 크기로 $\frac{R_D}{\frac{1}{g_m}+R_S}$ 형태이며, 다이오드 연결 트랜지스터는 등가저항 $1/g_m$로 취급하고 같은 노드의 다른 저항과 반드시 병렬로 묶는다.

NoteBase