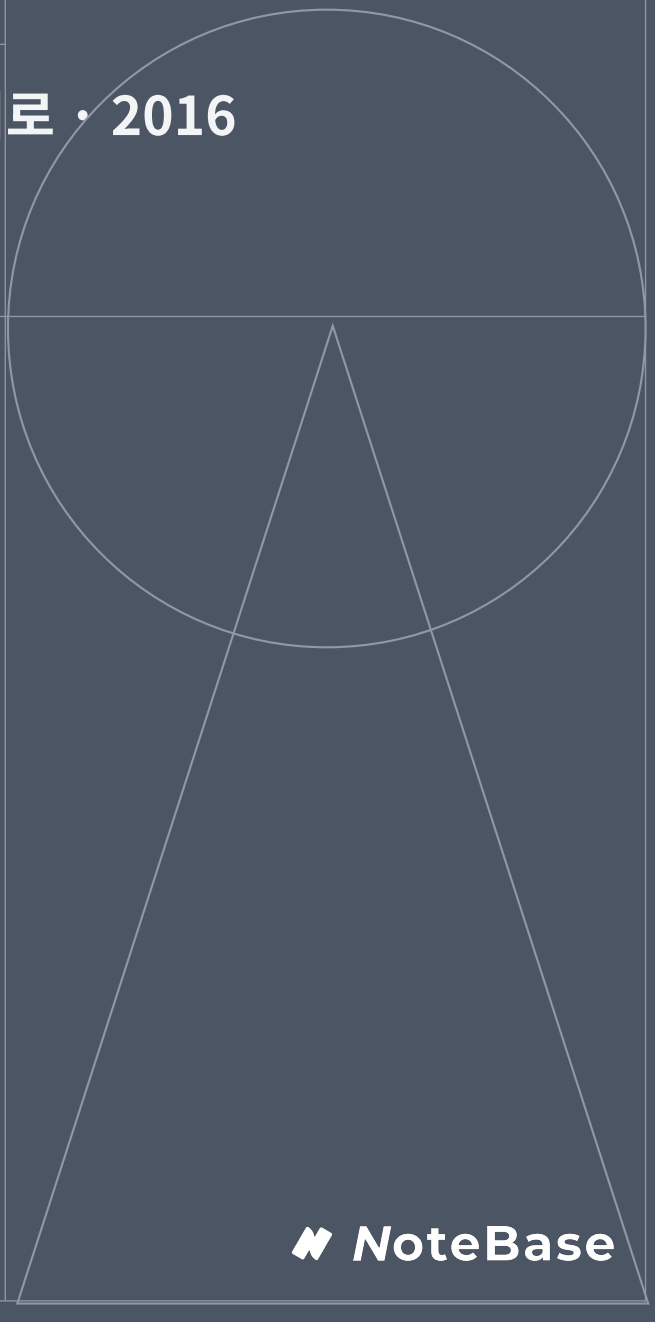
기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2016



NoteBase

기출OX 해설집

공무원/국가직/7급 · 전자회로 · 2016

공무원/국가직/7급 · 전자회로 · 2016

문 1. 일반적인 트랜지스터의 설명으로 옳은 것은?

① MOSFET는 일반적으로 cutoff, triode, saturation 영역이 존재한다.

② MOSFET 단자는 5개 이상의 옴 접촉(ohmic contact) 연결 단자를 가진다.

③ BJT는 전자(electron) 또는 홀(hole)의 단일 캐리어에 의해서 동작한다.

④ MOSFET는 입력과 출력이 동일하게 연결된다.

정답 1번

출제 포인트

이 문제는 MOSFET과 BJT의 동작 영역, 단자 구조, 캐리어 특성을 구분하는 문제이다.

핵심 개념

MOSFET은 게이트 전압으로 채널 전도도를 제어하는 전계효과 트랜지스터이며, 다수 캐리어로 동작하는 소자이다.
BJT는 베이스 전류로 컬렉터 전류를 제어하는 접합 트랜지스터이며, 전자와 정공이 함께 관여하는 양극성 소자이다.
MOSFET의 대표 동작 영역은 cutoff, triode, saturation이며, 단자는 보통 gate, source, drain, body로 본다.

NoteBase

선지별 해설

① O
MOSFET은 일반적으로 cutoff, triode, saturation 영역으로 구분한다. 게이트 전압과 드레인-소스 전압 조건에 따라 이 세 영역으로 나누는 설명이 맞다.

② X
틀린 부분은 '5개 이상의 옴 접촉(ohmic contact) 연결단자'이다.
일반적인 MOSFET은 gate, source, drain, body의 4단자 구조로 본다. 또한 gate는 산화막으로 절연된 제어단자이므로 옴 접촉 단자라고 보기 어렵다.
올바르게는 'MOSFET은 보통 4단자 소자이며, 패키지에 따라 body가 source와 내부 연결되어 3단자로 쓰이기도 한다'이다.

③ X
틀린 부분은 '전자 또는 홀의 단일 캐리어에 의해서 동작한다'이다.
BJT는 bipolar junction transistor이므로 전자와 정공이 모두 전류 형성에 관여한다. 단일 캐리어 소자는 BJT가 아니라 FET 계열에 가깝다.
올바르게는 'BJT는 전자와 정공의 두 캐리어가 관여하는 양극성 소자이다'이다.

④ X
틀린 부분은 '입력과 출력이 동일하게 연결된다'이다.
MOSFET은 게이트가 입력단이고 드레인-소스 경로가 출력 전류 경로이다. 게이트는 산화막으로 절연되어 있으므로 입력과 출력이 동일하게 연결되는 구조가 아니다.
올바르게는 'MOSFET은 입력 게이트와 출력 전류 경로가 절연되어 있어 입력 임피던스가 큰 소자이다'이다.

오답 포인트

②는 MOSFET의 단자 수와 옴 접촉 개념을 섞어 놓은 함정이고, ③은 MOSFET의 단일 캐리어 특성을 BJT에 뒤집어 붙인 함정이다. ④는 MOSFET의 핵심인 절연 게이트 구조를 놓치면 틀리기 쉽다.

다시 나오면 이렇게 판단

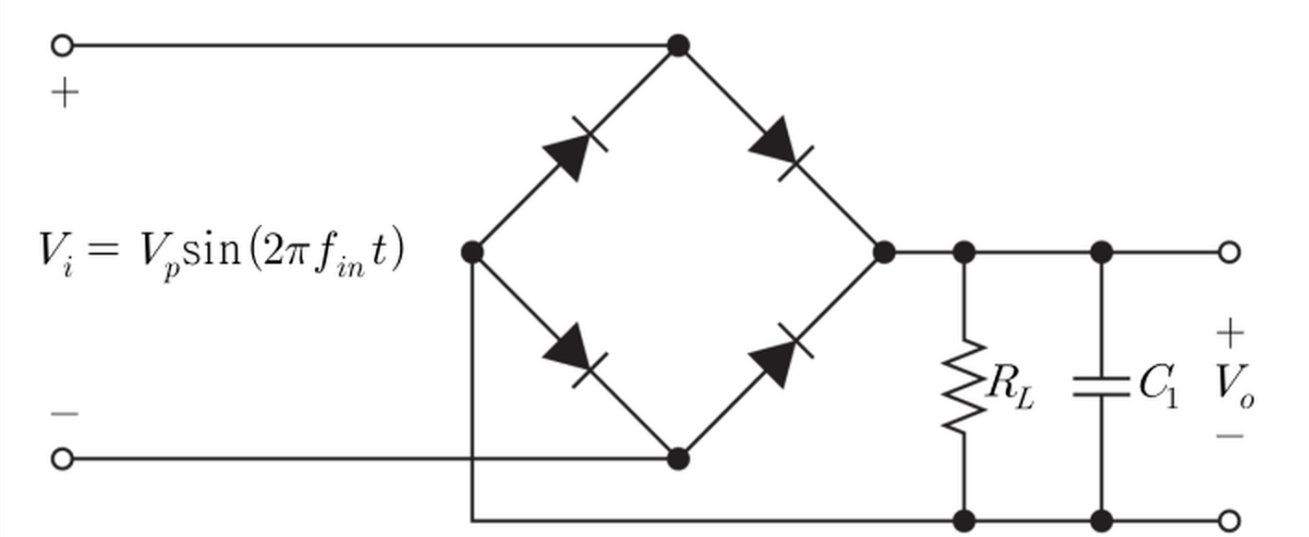
트랜지스터 문제는 먼저 소자 종류를 구분한 뒤 동작 캐리어, 입력 제어 방식, 단자 구조를 순서대로 확인하면 된다. MOSFET이면 전계효과, 절연 게이트, 다수 캐리어, cutoff-triode-saturation을 연결해서 판단하면 된다.

암기 포인트

MOSFET은 전계효과·절연 게이트·다수 캐리어이고, BJT는 양극성·전자와 정공·전류 제어 소자이다.

NoteBase

문 2. 다음 브릿지 정류회로에서 출력 리플(ripple)전압, V_r를 표현한 식으로 옳은 것은? (단, 모든 다이오드의 순방향 전압강하는 V_D이다)



① $V_r = \frac{V_p - V_D}{R_L C_1 f_{in}}$
② $V_r = \frac{V_p - 2V_D}{R_L C_1 f_{in}}$
③ $V_r = \frac{1}{2}\frac{V_p - V_D}{R_L C_1 f_{in}}$
④ $V_r = \frac{1}{2}\frac{V_p - 2V_D}{R_L C_1 f_{in}}$

정답 4번

출제 포인트

이 문제는 커패시터 필터가 있는 브리지 전파정류회로에서 출력 리플전압을 구할 때 도통 다이오드 수와 리플 주파수를 정확히 반영하는지를 묻는 문제이다.

조건 정리

주어진 값: 입력은 $V_i = V_p \sin(2\pi f_{in} t)$이다.
구해야 할 값: 출력 리플전압 V_r이다.
주의할 조건: 브리지 정류회로이므로 한 번 도통할 때 다이오드 2개를 지난다. 또한 전파정류이므로 커패시터가 재충전되는 주파수는 $2f_{in}$이다.

NoteBase

사용할 공식

리플전압은 $V_r \approx \frac{I_L}{f_r C_1}$로 본다. 부하전류는 $I_L \approx \frac{V_{DC}}{R_L}$, 브리지 정류 출력의 피크는 $V_{DC} \approx V_p - 2V_D$, 리플 주파수는 $f_r = 2f_{in}$이다.

이 공식을 쓰는 이유: 평활 커패시터는 매 재충전 사이 구간에서 부하에 전류를 공급하며 방전하고, 그 전압 강하가 리플전압이 된다. 이 회로는 전파정류이므로 재충전 간격이 반주기마다 한 번씩 발생한다.

계산 과정

1. 브리지 정류회로의 도통 경로에는 항상 다이오드 2개가 직렬로 포함되므로 커패시터가 충전되는 최대 전압은 $V_p - 2V_D$이다.
2. 부하전류는 $I_L \approx \frac{V_p - 2V_D}{R_L}$이다.
3. 전파정류의 리플 주파수는 $f_r = 2f_{in}$이므로
$V_r \approx \frac{I_L}{f_r C_1} = \frac{(V_p - 2V_D)/R_L}{2f_{in}C_1} = \frac{1}{2} \cdot \frac{V_p - 2V_D}{R_L C_1 f_{in}}$
이다.

선지별 해설

① X: 식이 $\frac{V_p - V_D}{R_L C_1 f_{in}}$이므로 다이오드 전압강하를 1개만 반영했고 리플 주파수도 f_{in}로 두었다. 브리지 전파정류에서는 $V_p - 2V_D$, $2f_{in}$를 써야 하므로 올바르게는 $V_r = \frac{1}{2} \cdot \frac{V_p - 2V_D}{R_L C_1 f_{in}}$이다.
② X: 다이오드 전압강하 2개는 반영했지만 전파정류의 리플 주파수 증가를 반영하지 못했다. 분모가 $R_L C_1 f_{in}$이면 반파정류처럼 계산한 것이고, 올바르게는 분모에 추가로 2가 들어가 $V_r = \frac{1}{2} \cdot \frac{V_p - 2V_D}{R_L C_1 f_{in}}$이다.
③ X: 전파정류의 $\frac{1}{2}$ 계수는 맞지만 브리지 도통 시 다이오드가 2개라는 점을 놓쳤다. $V_p - V_D$가 아니라 $V_p - 2V_D$가 되어야 하므로 올바른 식이 아니다.
④ O: 브리지 정류이므로 충전 최고전압이 $V_p - 2V_D$이고, 전파정류이므로 리플 주파수가 $2f_{in}$가 된다. 따라서 $V_r = \frac{1}{2} \cdot \frac{V_p - 2V_D}{R_L C_1 f_{in}}$가 맞다.

오답 포인트

이 문항의 함정은 두 가지를 따로 묻는 데 있다. 브리지 회로라는 이유로 다이오드 강하를 2개 반영해야 하고, 전파정류라는 이유로 리플 주파수를 $2f_{in}$로 바꿔야 한다. 둘 중 하나만 맞추면 ②나 ③ 같은 오답을 고르게 된다.

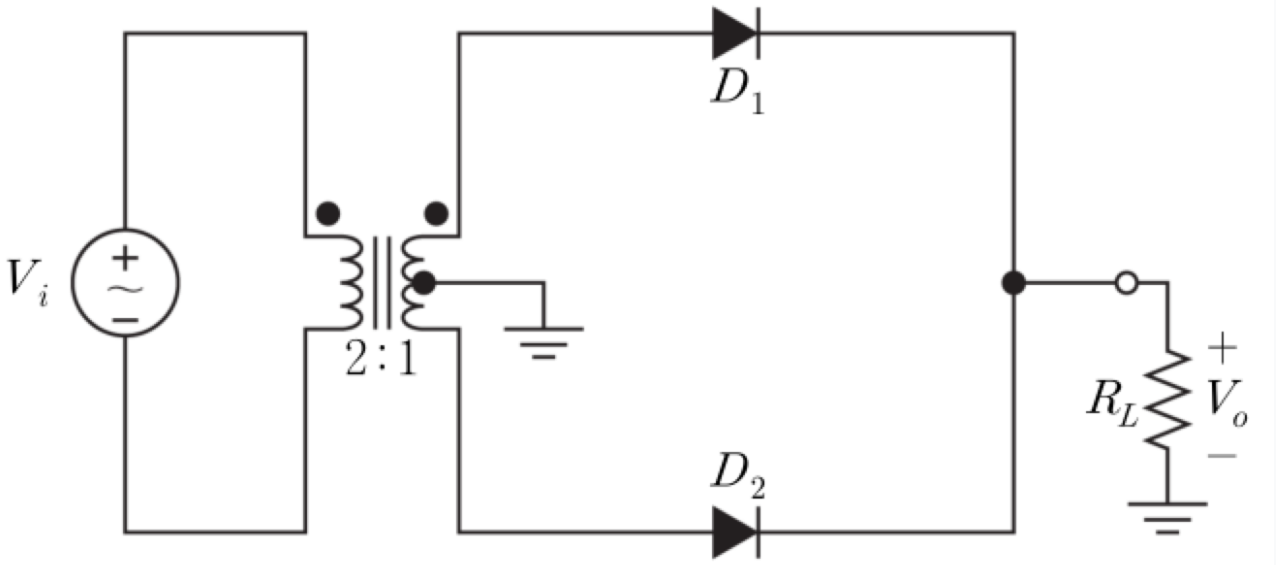
다시 나오면 이렇게 판단

정류회로 리플 문제는 먼저 도통 경로의 다이오드 개수를 세어 출력 피크를 정하고, 다음으로 반파인지 전파인지 보고 리플 주파수를 정한 뒤 $V_r \approx \frac{I_L}{f_r C}$에 대입해 판단한다.

암기 포인트

브리지 전파정류 + 커패시터 평활은 $V_{peak,\,out} = V_p - 2V_D$, $f_r = 2f_{in}$이 핵심이다.

문 3. 다음 중간탭(center-tap) 전파 정류회로에 대한 설명으로 옳은 것만을 모두 고른 것은? (단, 입력전압(V_i)의 주파수는 60[Hz]이고 피크 값은 100[V]이다. 또한 다이오드가 순방향 바이어스될 때 장벽전위는 0.7[V]이다)



ㄱ. 정상적인 동작 상태에서 출력전압(V_o)의 주파수는 60[Hz]이다.
ㄴ. 부하에 걸리는 출력전압의 피크 값은 49.3[V]이다.
ㄷ. 입력신호가 음(−)의 반주기 동안 D_1에 역방향 피크 전압(PIV)은 49.3[V]가 걸린다.
ㄹ. 다이오드 한 개가 개방(open) 고장이면 출력전압은 60[Hz]의 정류된 전압파형(맥동파)이 나타난다.

① ㄱ, ㄴ
② ㄱ, ㄷ
③ ㄴ, ㄹ
④ ㄷ, ㄹ

정답 4번

출제 포인트

이 문제는 중간탭 전파 정류회로에서 변압기 권수비를 해석하여 반권선 피크전압, 출력 맥동 주파수, 다이오드 PIV를 구하는 문제이다.

NoteBase

조건 정리

- 입력전압 피크값: 100[V]
- 변압기 권수비: 2:1이므로 2차 전체 피크전압은 50[V]이다.
- 중간탭 구조이므로 각 반권선의 피크전압은 25[V]이다.
- 다이오드 순방향 전압강하: 0.7[V]
- 정상 동작 시 중간탭 전파 정류는 한 주기마다 두 번 정류된다.

사용할 공식

$V_{s,\,total(peak)} = 100 \times \frac{1}{2} = 50[V]$
$V_{s,\,half(peak)} = \frac{50}{2} = 25[V]$
$V_{o(peak)} = V_{s,\,half(peak)} - 0.7 = 25 - 0.7 = 24.3[V]$
$f_o = 2f_i = 2 \times 60 = 120[Hz]$
$PIV = 2V_{s,\,half(peak)} - 0.7 = 2 \times 25 - 0.7 = 49.3[V]$
이 공식을 쓰는 이유는 중간탭 전파 정류회로에서 한 번에 한 다이오드만 도통하고, 부하는 반권선 하나의 전압만 사용하며, 비도통 다이오드에는 반대편 반권선 전압과 출력전압이 합쳐진 역전압이 걸리기 때문이다.

계산 과정

1. 권수비 2:1을 1차:2차 전체로 해석하면 2차 전체 피크전압은 50[V]이다.
2. 중간탭이 있으므로 각 반권선은 25[V] 피크를 가진다.
3. 한 반주기에는 한 다이오드만 도통하므로 부하 출력 피크는 $25 - 0.7 = 24.3[V]$이다.
4. 전파 정류이므로 출력 맥동 주파수는 입력의 2배인 120[Hz]이다.
5. 한 다이오드가 도통할 때 다른 다이오드에는 $25[V]$와 출력측 $24.3[V]$가 합쳐져 $49.3[V]$의 PIV가 걸린다.

NoteBase

선지별 해설

ㄱ. X
정상적인 중간탭 전파 정류의 출력 맥동 주파수는 입력의 2배이므로 120[Hz]이다. 60[Hz]라는 표현이 틀렸고, 올바르게는 120[Hz]이다.

ㄴ. X
부하에 걸리는 출력전압의 피크값은 각 반권선 25[V]에서 다이오드 강하 0.7[V]를 뺀 24.3[V]이다. 49.3[V]라는 값은 반권선 전압과 PIV 개념을 혼동한 값이며, 올바르게는 24.3[V]이다.

ㄷ. O
입력신호가 음의 반주기일 때는 D_2가 도통하고 D_1은 역바이어스된다. 이때 D_1의 역방향 피크전압은 $25 + 24.3 = 49.3[V]$이므로 옳다.

ㄹ. O
다이오드 한 개가 개방 고장이면 남은 한 다이오드만 동작하여 전파 정류가 아니라 반파 정류가 된다. 반파 정류의 맥동 주파수는 입력과 같은 60[Hz]이므로 옳다.

따라서 옳은 것은 ㄷ, ㄹ이므로 정답은 4번이다.

오답 포인트

권수비 2:1을 보고 2차 전체 전압 50[V]를 그대로 부하 피크전압으로 넣으면 ㄴ을 맞는 것으로 오판하기 쉽다. 이 회로는 중간탭 때문에 실제로 부하에 걸리는 것은 전체 2차가 아니라 반권선 하나의 전압이며, PIV 49.3[V]와 출력 피크 24.3[V]를 구분해야 한다.

다시 나오면 이렇게 판단

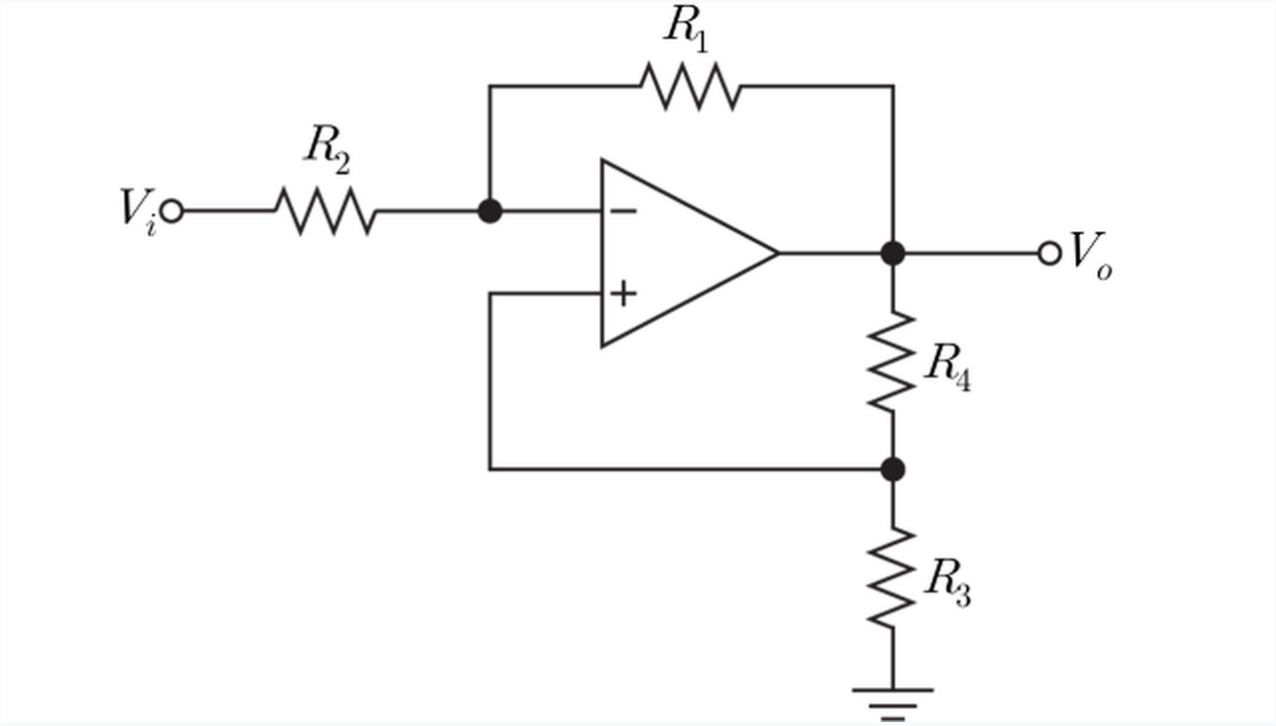
중간탭 전파 정류는 먼저 2차 전체전압과 반권선 전압을 나누어 본다. 그다음 출력전압은 반권선 하나에서 다이오드 강하를 뺀 값으로 계산하고, 출력 주파수는 전파 정류면 2배, 다이오드 하나가 고장 나면 반파 정류가 되어 원주파수로 판단한다.

암기 포인트

중간탭 전파 정류는 출력 피크가 반권선 기준이고, 정상 시 주파수는 2배, 다이오드 PIV는 대략 반권선 피크의 2배이다.

NoteBase

문 4. 다음 회로에서 전압 증폭비 $\left(\frac{V_o}{V_i}\right)$ 값은? (단, 연산 증폭기는 이상적이라고 가정한다)



① $\frac{R_3(R_1+R_2)}{R_2R_4-R_1R_3}$
② $\frac{R_2(R_3+R_4)}{R_2R_3-R_1R_4}$
③ $\frac{R_1(R_3+R_4)}{R_2R_4-R_1R_3}$
④ $\frac{R_1(R_3+R_4)}{R_1R_3-R_2R_4}$

정답 4번

출제 포인트

이 문제는 이상적 연산증폭기에서 $V_+ = V_-$와 입력전류 0 조건을 이용해 폐루프 전압 증폭비 V_o/V_i를 유도하는 문제이다.

조건 정리

- 비반전 입력은 R_4-R_3 분압점이므로 $V_+ = \frac{R_3}{R_3+R_4}V_o$이다.
- 이상적 연산증폭기이므로 $V_- = V_+$이고 입력단 전류는 0이다.
- 반전 입력 노드에서 $\frac{V_- - V_i}{R_2} + \frac{V_- - V_o}{R_1} = 0$이 성립한다.

NoteBase

기출OX 해설집 · 공무원/국가직/7급 · 전자회로 · 2016

사용할 공식

$V_+ = \frac{R_3}{R_3+R_4}V_o, \qquad V_- = V_+, \qquad \frac{V_- - V_i}{R_2} + \frac{V_- - V_o}{R_1} = 0$

이 식들을 쓰는 이유는 비반전단 전압은 출력의 분압으로 정해지고, 반전단은 입력전류가 0인 노드이므로 KCL로 바로 정리할 수 있기 때문이다.

계산 과정

1. $V_- = V_+ = \frac{R_3}{R_3+R_4}V_o$로 둔다.
2. 이를 반전단 KCL에 대입하면

$\frac{\frac{R_3}{R_3+R_4}V_o - V_i}{R_2} + \frac{\frac{R_3}{R_3+R_4}V_o - V_o}{R_1} = 0$

이다.

3. 정리하면

$\left(\frac{R_3(R_1+R_2)}{R_3+R_4} - R_2\right)V_o = R_1V_i$

이므로

$\frac{V_o}{V_i} = \frac{R_1(R_3+R_4)}{R_3(R_1+R_2)-R_2(R_3+R_4)} = \frac{R_1(R_3+R_4)}{R_1R_3-R_2R_4}$

이다.

선지별 해설

① X

- 분자에 $R_3(R_1+R_2)$가 오는 식은 V_o의 계수와 V_i의 계수를 뒤섞어 정리한 경우이다.
- 틀린 표현은 분자 $R_3(R_1+R_2)$와 분모 부호이다. 올바르게는 $\frac{R_1(R_3+R_4)}{R_1R_3-R_2R_4}$이다.

② X

- 입력 저항이 R_2라고 해서 최종 이득의 분자가 R_2가 되지는 않는다. KCL 정리 뒤 V_i 앞에 남는 계수는 R_1이다.
- 틀린 표현은 분자 $R_2(R_3+R_4)$와 분모 조합이다. 올바르게는 분자에 $R_1(R_3+R_4)$, 분모에 $R_1R_3-R_2R_4$가 온다.

③ X

- 분자는 맞지만 분모를 $R_2R_4-R_1R_3$로 쓰면 정답식의 부호를 뒤집은 값이 된다.
- 틀린 표현은 분모 부호이다. 올바르게는 $R_1R_3-R_2R_4$이다.

④ O

- $V_+ = V_-$와 반전단 KCL을 결합하면 $\frac{V_o}{V_i} = \frac{R_1(R_3+R_4)}{R_1R_3-R_2R_4}$가 되어 선지와 일치한다.

오답 포인트

비반전단 분압에서 아래 저항이 R_3라는 점과, 반전단 KCL 정리 후 분모 부호가 $R_1R_3-R_2R_4$가 된다는 점을 놓치기 쉽다. 특히 ③은 분자까지 맞춘 뒤 마지막 부호만 뒤집은 전형적 오답이다.

NoteBase

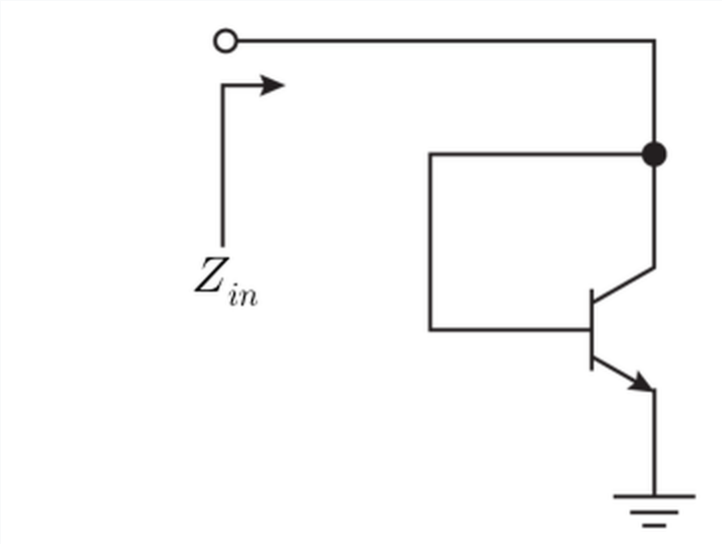
다시 나오면 이렇게 판단

연산증폭기 저항망 이득 문제는 먼저 비반전단과 반전단의 노드전압식을 세우고, 다음에 이상조건 $V_+ = V_-$를 대입한 뒤, 마지막에 해당 노드의 KCL에서 V_o/V_i만 정리하면 된다.

암기 포인트

비반전단이 출력 분압점이면 V_+=V_o× (아래저항)/(전체저항)이고, 반전단은 KCL로 이득을 정리하는 구조이다.

문 5. 다음 트랜지스터는 활성(active)영역에서 동작하도록 바이어스 되어있다. 입력임피던스 Z_{in}으로 옳은 것은? (단, 바이어스 회로들은 생략되어 있다. Early effect는 고려하지 않고, 트랜지스터의 활성영역에서의 파라미터, 전달컨덕턴스g_m, 소신호 입력저항r_π, 소신호 이미터저항r_e, 공통이미터 전류이득β를 이용하여 나타내도록 한다)



① $g_m + \frac{1}{r_\pi}$

② $\frac{r_\pi}{1+g_m}$

③ r_π

④ $\frac{r_\pi}{1+\beta}$

정답 4번

출제 포인트

컬렉터와 베이스가 단락된 트랜지스터에서 입력 노드가 보게 되는 소신호 입력임피던스를 r_π, g_m, β 관계로 바꾸는 문제이다.

조건 정리

주어진 회로: 컬렉터와 베이스가 같은 입력 노드에 묶여 있고 이미터는 접지되어 있다.
구해야 할 값: 입력 노드에서 본 Z_{in}이다.
주의할 조건: Early effect를 무시하므로 r_o는 고려하지 않고, 입력전류는 베이스 전류와 컬렉터의 소신호 전류를 함께 포함한다.

NoteBase

사용할 공식

$i_{in} = \frac{v_{in}}{r_\pi} + g_m v_{in}$
$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_m + \frac{1}{r_\pi}}$
이 공식을 쓰는 이유는 컬렉터와 베이스가 단락되어 입력 노드 전압이 그대로 v_π가 되고, 그 노드에서 r_π를 통한 전류와 제어전류원 $g_m v_\pi$가 동시에 접지로 흐르기 때문이다.

계산 과정

1. 이미터가 접지이므로 $v_\pi = v_{be} = v_{in}$이다.
2. 입력 노드 전류는 $i_{in} = v_{in}/r_\pi + g_m v_{in}$이다.
3. 따라서
$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_m + \frac{1}{r_\pi}} = \frac{r_\pi}{1 + g_m r_\pi}$
4. 활성영역 BJT에서 $g_m r_\pi = \beta$이므로
$Z_{in} = \frac{r_\pi}{1+\beta}$
가 된다.

선지별 해설

① X
$g_m + 1/r_\pi$는 입력임피던스가 아니라 입력어드미턴스 Y_{in}이다. 틀린 표현은 "입력임피던스"이고, 올바르게는 "입력어드미턴스는 $g_m + 1/r_\pi$, 입력임피던스는 그 역수"이다.

② X
$r_\pi/(1 + g_m)$는 분모가 잘못되었다. g_m는 컨덕턴스이므로 1과 바로 더할 수 없고, 반드시 r_π와 곱해 무차원량으로 만든 $1 + g_m r_\pi$가 되어야 한다. 올바르게는 $r_\pi/(1 + g_m r_\pi) = r_\pi/(1 + \beta)$이다.

③ X
r_π만 쓰면 베이스 전류만 본 값이 된다. 이 회로는 컬렉터도 같은 입력 노드에 묶여 있어서 $g_m v_\pi$에 의한 컬렉터 전류까지 입력전류에 포함된다. 올바르게는 r_π보다 더 작은 $r_\pi/(1 + \beta)$가 입력임피던스이다.

④ O
입력 노드에서 본 전류는 $v_{in}/r_\pi + g_m v_{in}$이므로 $Z_{in} = 1/(g_m + 1/r_\pi) = r_\pi/(1 + g_m r_\pi) = r_\pi/(1 + \beta)$이다.

오답 포인트

①처럼 어드미턴스와 임피던스를 뒤집지 못하면 바로 낚이기 쉽다. 또 ②처럼 g_m를 무차원량처럼 취급해 $1 + g_m$로 쓰거나, ③처럼 컬렉터가 같은 입력 노드에 연결된 사실을 빼먹으면 오답이 된다.

NoteBase

다시 나오면 이렇게 판단

베이스와 컬렉터가 단락된 BJT가 보이면 먼저 그 노드의 입력전류를 r_π 경로 전류와 $g_m v_\pi$ 전류의 합으로 쓴다. 그다음 $Z_{in} = v/i$를 만들고, 마지막에 $g_m r_\pi = \beta$를 대입해 선택지 형태와 맞춘다.

암기 포인트

컬렉터-베이스 단락 BJT의 입력은 $Y_{in} = g_m + 1/r_\pi$, 따라서 $Z_{in} = r_\pi/(1+\beta)$이다.

NoteBase

문 6. 일반적인 CMOS 공정을 사용하여 구현한 회로에서 발생할 수 있는 latch-up 현상에 대한 설명으로 옳은 것은?

① 반도체 집적회로를 위한 레이아웃(layout)에서 PMOS와 NMOS 트랜지스터를 가능한 한 근접하게 배열하고, 또한 PMOS와 NMOS의 drain 면적을 넓게 할수록 latch-up 현상 발생 가능성은 줄어든다.

② Latch-up 현상은 CMOS 반도체 공정을 사용하여 회로를 구현할 때 생기는 기생 bipolar 트랜지스터들의 상호작용으로 발생한다.

③ PMOS와 NMOS 트랜지스터로 구현된 회로의 입/출력 신호가 빠른 rising과 falling 시간을 갖도록 설계하면 latch-up 현상은 발생하지 않는다.

④ Latch-up 현상이 발생하면 회로의 동작속도가 크게 증가하므로 성능면에서 긍정적인 측면도 많다.

정답 2번

출제 포인트

이 문제는 CMOS에서 latch-up이 생기는 원인과 이를 줄이는 기본 레이아웃 원칙을 묻는 문제이다.

핵심 개념

latch-up은 CMOS 내부에 형성되는 기생 *pnp*와 *npn* 바이폴라 트랜지스터가 서로 피드백을 걸어 기생 *PNPN* 구조가 턴온되는 현상이다.
이 현상이 시작되면 전원과 접지 사이에 큰 전류가 흘러 오동작, 발열, 소자 파괴로 이어질 수 있다.
예방 방향은 PMOS와 NMOS의 기생 결합을 약하게 만드는 것이므로 소자 간격 확보, well/substrate tap 추가, guard ring 배치, 기생 저항 감소가 핵심이다.

NoteBase

선지별 해설

① X
PMOS와 NMOS를 가능한 한 가깝게 두면 기생 결합이 강해져 latch-up 위험이 커진다.
틀린 부분은 "가능한 한 근접하게 배열하고"와 "drain 면적을 넓게 할수록 latch-up 현상 발생 가능성은 줄어든다"이다.
올바르게는 소자 간격을 확보하고 well/substrate contact를 충분히 두어야 하며, 기생 전류 주입과 기생 저항 경로를 줄이는 방향이 latch-up 억제에 유리하다.

② O
latch-up은 CMOS 구조 안에 자연스럽게 생기는 기생 *pnp*와 *npn* 바이폴라 트랜지스터의 상호작용으로 발생한다.
이 두 기생 소자가 양의 되먹임을 이루면 기생 SCR처럼 동작하면서 큰 전류가 계속 흐를 수 있으므로 옳은 설명이다.

③ X
틀린 부분은 "빠른 rising과 falling 시간을 갖도록 설계하면 latch-up 현상은 발생하지 않는다"이다.
신호의 상승시간과 하강시간을 빠르게 만든다고 해서 latch-up이 원천적으로 사라지지 않으며, 과도 전류나 잡음 주입이 커지면 오히려 trigger 조건이 될 수도 있다.
올바르게는 latch-up 방지는 신호 속도 자체보다 기생 구조 억제와 전류 주입 감소를 위한 공정 및 레이아웃 대책에 달려 있다.

④ X
틀린 부분은 "회로의 동작속도가 크게 증가하므로 성능면에서 긍정적인 측면도 많다"이다.
latch-up이 발생하면 비정상적인 대전류로 인해 오동작, 전원 단락에 가까운 상태, 발열, 영구 파손이 생길 수 있다.
올바르게는 latch-up은 성능 향상이 아니라 신뢰성과 안전성을 크게 해치는 치명적인 현상이다.

오답 포인트

①은 latch-up 방지 원칙의 방향을 정반대로 뒤집은 선지이다. 가까이 배치할수록 안전하다는 표현이 보이면 의심해야 한다.
③은 신호 속도가 빠르면 무조건 좋은 설계라는 인상을 이용한 함정이다. 속도와 latch-up 내성은 같은 축이 아니다.
④는 latch-up을 성능 향상 현상처럼 포장한 명백한 역설 선지이다.

NoteBase

다시 나오면 이렇게 판단

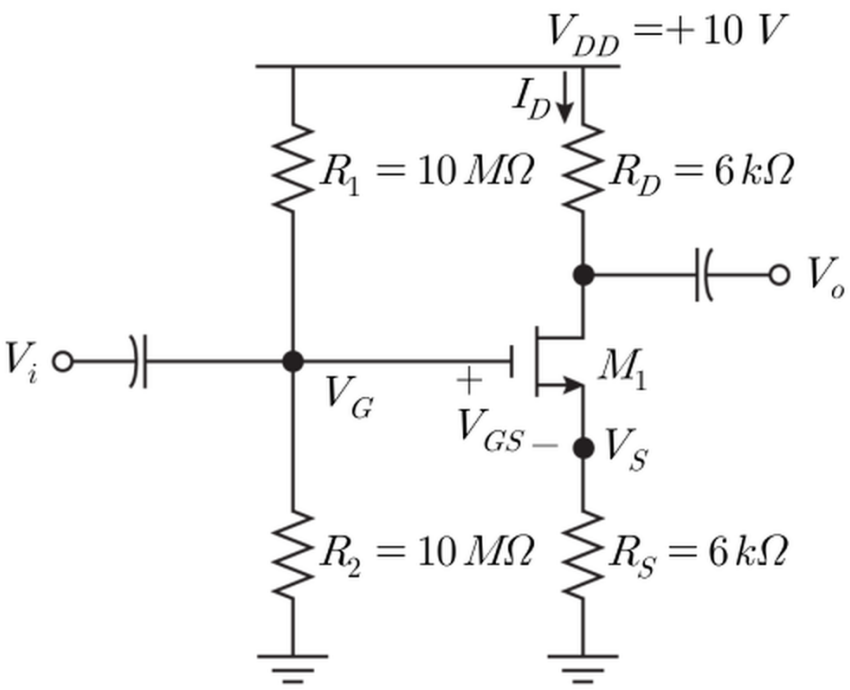
CMOS에서 latch-up을 묻는 문항은 먼저 "기생 bipolar 트랜지스터의 상호작용인가"를 본다. 그다음 선택지가 소자 간격 축소, 면적 확대, 대전류 허용처럼 기생 결합을 키우는 방향인지 확인하면 오답을 빠르게 걸러낼 수 있다.

암기 포인트

latch-up은 기생 *pnp*+*npn*의 양의 되먹임이며, 결과는 대전류와 파손이다.

NoteBase

문 7. 다음 MOSFET 바이어스 회로에서 트랜지스터 M_1은 포화(saturation) 영역에서 동작한다. 문턱전압 $V_{TH} = 1[V]$, 소자 공정 파라미터 $k_n\left(\frac{W}{L}\right) = 1[mA/V^2]$일 때, V_{GS} 전압 $[V]$은? (단, k_n은 공정 전달컨덕턴스 파라미터(process transconductance parameter)이고, $k_n = \mu_n C_{ox}$이며, channel length modulation 및 body effect는 무시한다)



① 1

② 2

③ 3

④ 4

정답 2번

출제 포인트

이 문제는 게이트 분압으로 V_G를 구하고, 포화영역 NMOS의 전류식과 $V_S = I_D R_S$를 연결해 V_{GS}를 구하는 문제이다.

조건 정리

주어진 값: $V_{DD} = 10V$, $R_1 = R_2 = 10M\Omega$, $R_D = R_S = 6k\Omega$, $V_{TH} = 1V$, $k_n(W/L) = 1mA/V^2$이다.
구해야 할 값: V_{GS}이다.
주의할 조건: M_1은 포화영역이므로 $I_D = \frac{1}{2}k_n(W/L)(V_{GS} - V_{TH})^2$를 쓴다.

NoteBase

사용할 공식

$V_G = V_{DD}\frac{R_2}{R_1+R_2} = 5V$, $V_S = I_D R_S$, $V_{GS} = V_G - V_S$이다.
포화영역 전류식은 $I_D = \frac{1}{2}k_n\left(\frac{W}{L}\right)(V_{GS}-V_{TH})^2$ 이다.
이 공식을 쓰는 이유: 문제에서 M_1이 포화영역에서 동작한다고 주어졌고, channel length modulation과 body effect를 무시하므로 이상적인 포화영역 식을 그대로 적용할 수 있다.

계산 과정

1. 게이트 전류가 거의 0이므로 분압만 보면 $V_G = 10 \times \frac{10}{10+10} = 5V$이다.
2. $V_S = I_D R_S = 6k\Omega \cdot I_D$이므로 $V_{GS} = 5 - 6k\Omega \cdot I_D$이다.
3. I_D를 mA 단위로 두면 $V_S = 6I_D$이므로 $V_{GS} = 5 - 6I_D$이다.
4. 포화영역 식에 $k_n(W/L) = 1mA/V^2$, $V_{TH} = 1V$를 대입하면 $I_D = \frac{1}{2}(V_{GS}-1)^2$이다.
5. 따라서 $\frac{5-V_{GS}}{6} = \frac{1}{2}(V_{GS}-1)^2$ 이고, 정리하면 $3V_{GS}^2 - 5V_{GS} - 2 = 0$ 이다.
6. 해는 $V_{GS} = 2V$ 또는 $-\frac{1}{3}V$인데, 문턱전압보다 커야 하므로 물리적으로 가능한 값은 $2V$이다.
7. 이때 $I_D = \frac{5-2}{6} = 0.5mA$, $V_D = 10 - 0.5 \times 6 = 7V$, $V_S = 3V$이므로 $V_{DS} = 4V \geq V_{GS} - V_{TH} = 1V$가 되어 포화영역 조건도 만족한다.

선지별 해설

① X
- $V_{GS} = 1V$이면 과구동전압 $V_{GS} - V_{TH} = 0$이라서 포화영역 전류식상 $I_D = 0$이 된다. 그러면 $V_S = 0V$가 되어 $V_{GS} = 5V$가 되어야 하므로 자기모순이다. 틀린 표현은 $V_{GS} = 1V$라는 값이고, 올바르게는 $V_{GS} = 2V$이다.

② O
- 계산 결과 $V_{GS} = 2V$가 나오며, 포화영역 조건 $V_{DS} \geq V_{GS} - V_{TH}$도 만족한다. 따라서 2번이 옳다.

③ X
- $V_{GS} = 3V$이면 $I_D = \frac{1}{2}(3-1)^2 = 2mA$가 되어 $V_S = 12V$가 된다. 전원전압이 $10V$인데 소스 전압이 $12V$가 될 수 없으므로 불가능하다. 틀린 표현은 $V_{GS} = 3V$라는 값이고, 올바르게는 $V_{GS} = 2V$이다.

④ X
- $V_{GS} = 4V$이면 $I_D = \frac{1}{2}(4-1)^2 = 4.5mA$가 되어 $V_S = 27V$가 된다. 회로의 바이어스 조건과 전원전압을 전혀 만족하지 못한다. 틀린 표현은 $V_{GS} = 4V$라는 값이고, 올바르게는 $V_{GS} = 2V$이다.

오답 포인트

가장 흔한 실수는 $k_n(W/L)$가 주어졌을 때 $\frac{1}{2}$를 빼먹는 것이다. 이 $\frac{1}{2}$를 누락하면 다른 수치가 나와 오답으로 흐른다.
또 다른 함정은 $V_G = 5V$를 구해 놓고 V_{GS}와 동일시하는 것이다. 소스 저항 R_S 때문에 V_S가 올라가므로 V_{GS}는 $5V$보다 작아진다.

NoteBase

다시 나오면 이렇게 판단

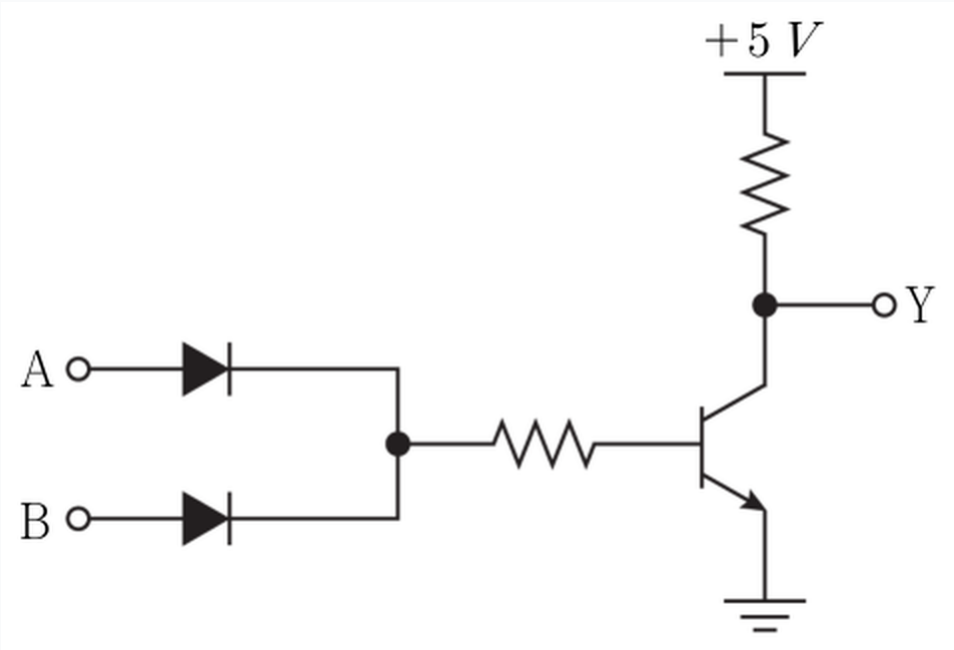
소스 저항이 있는 MOSFET 바이어스 회로는 먼저 분압으로 V_G를 구하고, 다음에 $V_S = I_D R_S$를 써서 $V_{GS} = V_G - V_S$ 관계식을 만든 뒤, 마지막에 포화영역 전류식과 연립하는 순서로 판단한다.

암기 포인트

분압으로 V_G, 소스저항으로 V_S, 둘의 차로 V_{GS}를 만든 뒤 포화영역 식과 연립한다.

NoteBase

문 8. 다음은 무슨 논리 회로인가? (단, 정논리로 해석한다)



① AND

② NAND

③ OR

④ NOR

정답 4번

출제 포인트

이 문제는 입력 쪽 다이오드망이 OR 동작을 만들고, 그 뒤의 트랜지스터 공통 이미터 회로가 이를 반전시켜 최종 출력 Y가 어떤 논리가 되는지를 판단하는 문제이다.

NoteBase

선지별 해설

① X
A와 B가 모두 1이면 두 입력 중 적어도 하나가 베이스를 구동하므로 트랜지스터가 켜지고 Y는 0이 된다. AND라면 A와 B가 모두 1일 때 출력이 1이어야 하므로 맞지 않는다. 틀린 표현은 "AND"이고, 올바르게는 "NOR"이다.

② X
A 또는 B 중 하나만 1이어도 다이오드를 통해 베이스 전압이 올라가 트랜지스터가 켜지고 Y는 0이 된다. NAND는 A와 B가 모두 1일 때만 출력이 0이 되는데, 이 회로는 하나만 1이어도 0이 되므로 맞지 않는다. 틀린 표현은 "NAND"이고, 올바르게는 "NOR"이다.

③ X
입력 다이오드 결합점만 보면 OR 성질이 있지만, 그 뒤에 트랜지스터 반전단이 한 번 더 붙어 있다. 따라서 A 또는 B 중 하나가 1일 때 최종 출력 Y는 1이 아니라 0이 된다. 틀린 표현은 "OR"이고, 올바르게는 "NOR"이다.

④ O
A와 B가 모두 0이면 트랜지스터가 꺼지고 컬렉터 저항에 의해 Y가 1이 된다. A 또는 B 중 하나라도 1이면 트랜지스터가 켜져 Y가 0이 되므로 진리표는 $Y = \overline{A + B}$이고 NOR 게이트와 일치한다.

오답 포인트

입력 쪽 다이오드 두 개만 보고 OR로 끝내는 경우가 많다. 이 회로는 OR 성질을 만든 뒤 트랜지스터가 한 번 반전하므로 최종 출력은 OR이 아니라 NOR가 된다.

다시 나오면 이렇게 판단

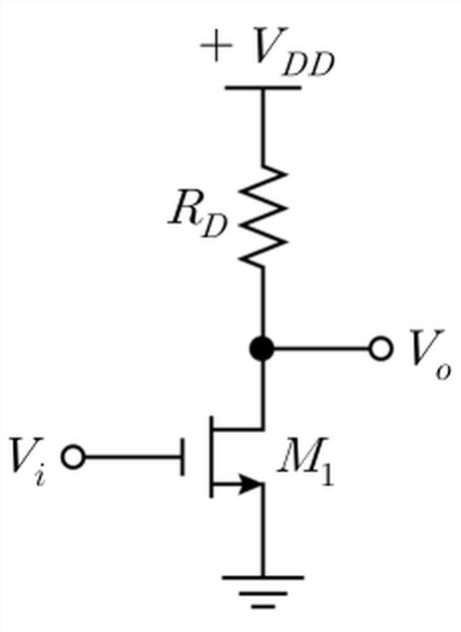
먼저 입력 결합부가 OR인지 AND인지 본 뒤, 출력단에 공통 이미터 트랜지스터와 컬렉터 풀업 저항이 있으면 반전이 한 번 들어간다고 판단하면 된다. 즉 중간 논리 뒤에 반전단이 붙으면 최종 출력은 그 보수 논리이다.

암기 포인트

다이오드 OR 뒤에 트랜지스터 반전단이 붙으면 최종 논리는 NOR이다.

NoteBase

문 9. 다음 회로가 공통소스(common-source) 증폭기로 동작하기 위해서 트랜지스터 M_1이 포화(saturation) 영역에 있다. 소신호 전압 이득이 -10이 되기 위한 저항 $R_D[k\Omega]$와 입력 전압 V_i의 소신호 성분의 진폭 A가 가질 수 있는 최댓값은? (단, 입력 전압은 $V_i = (1 + A\cos\omega t)[V]$, 트랜지스터 M_1의 문턱 전압은 $0.5[V]$, $V_{DD} = 3[V]$, M_1의 전달컨덕턴스(transconductance)는 $10[mA/V]$, 포화(saturation) 영역에 있을 때 M_1에 흐르는 전류는 $1[mA]$이다)



① R_D: 1, A의 최댓값: 1.5/11

② R_D: 1.5, A의 최댓값: 1.5/11

③ R_D: 1, A의 최댓값: 1.5/10

④ R_D: 1.5, A의 최댓값: 1.5/10

정답 1번

출제 포인트

이 문제는 공통소스 증폭기의 소신호 이득 $A_v = -g_m R_D$와 포화조건 $V_{DS} \geq V_{GS} - V_T$를 함께 적용해 R_D와 입력 진폭 한계를 구하는 문제이다.

조건 정리

주어진 값: $g_m = 10mA/V$, $V_{DD} = 3V$, $I_D = 1mA$, $V_T = 0.5V$, $V_i = 1 + A\cos\omega t$이다.
구해야 할 값: R_D와 A의 최댓값이다.
주의할 조건: 증폭기 동작 내내 M_1이 포화영역을 유지해야 한다.

NoteBase

사용할 공식

$A_v = -g_m R_D$, $V_O = V_{DD} - I_D R_D$, 포화조건은 $V_{DS} \geq V_{GS} - V_T$이다.
이 공식을 쓰는 이유: 공통소스 증폭기의 이득은 g_m와 R_D로 결정되고, 최대 진폭은 출력이 내려갈 때도 트랜지스터가 포화조건을 깨지 않는 범위에서 정해지기 때문이다.

계산 과정

1. 소신호 이득이 -10이므로 $-g_m R_D = -10$이다. 따라서 $R_D = 10/g_m = 10/(10mA/V) = 1k\Omega$이다.
2. 직류 출력전압은 $V_{OQ} = V_{DD} - I_D R_D = 3V - (1mA)(1k\Omega) = 2V$이다.
3. 출력 소신호는 $v_o = -10A\cos\omega t$이므로 전체 출력은 $V_O = 2 - 10A\cos\omega t$이다.
4. 포화조건은 $V_O \geq V_i - V_T$이므로 $2 - 10A\cos\omega t \geq (1 + A\cos\omega t) - 0.5 = 0.5 + A\cos\omega t$이다.
5. 가장 불리한 경우는 $\cos\omega t = 1$일 때이므로 $2 - 10A \geq 0.5 + A$이고, $1.5 \geq 11A$에서 $A \leq 1.5/11$이다.

선지별 해설

① O
- $R_D = 1k\Omega$, $A_{max} = 1.5/11$로 계산이 정확하다.
- 이득식과 포화조건을 동시에 만족하는 유일한 조합이다.

② X
- R_D가 틀렸다. $-g_m R_D = -10$에서 $R_D = 1.5k\Omega$가 아니라 $1k\Omega$이다.
- $1.5k\Omega$는 $|A_v| = 15$를 만드는 값이므로 문제의 이득 조건과 맞지 않는다.
- 틀린 표현은 "$R_D = 1.5$"이고, 올바르게는 "$R_D = 1$"이다.

③ X
- A가 틀렸다. 1.5/10은 출력 하강만 보고 $2 - 10A \geq 0.5$로 둔 값이다.
- 실제 포화조건은 입력이 함께 올라가므로 $V_i - V_T = 0.5 + A\cos\omega t$까지 같이 비교해야 한다.
- 틀린 표현은 "$A = 1.5/10$"이고, 올바르게는 "$A = 1.5/11$"이다.

④ X
- R_D와 A가 모두 틀렸다. R_D는 $1k\Omega$이어야 하고, 최대 진폭도 1.5/10이 아니라 1.5/11이다.
- 틀린 표현은 "$R_D = 1.5, A = 1.5/10$"이고, 올바르게는 "$R_D = 1, A = 1.5/11$"이다.

오답 포인트

③, ④처럼 포화조건을 단순히 출력 하한만 보는 식으로 두면 $A = 1.5/10$이 나온다. 이 문제의 함정은 입력이 커질수록 $V_{GS} - V_T$도 동시에 커진다는 점을 놓치게 만드는 데 있다.

다시 나오면 이렇게 판단

공통소스 계산형은 먼저 $A_v = -g_m R_D$로 R_D를 정하고, 다음에 직류 출력전압을 구한 뒤, 마지막에 $V_D \geq V_G - V_T$를 신호 포함 식으로 세워 최대 진폭을 판단한다.

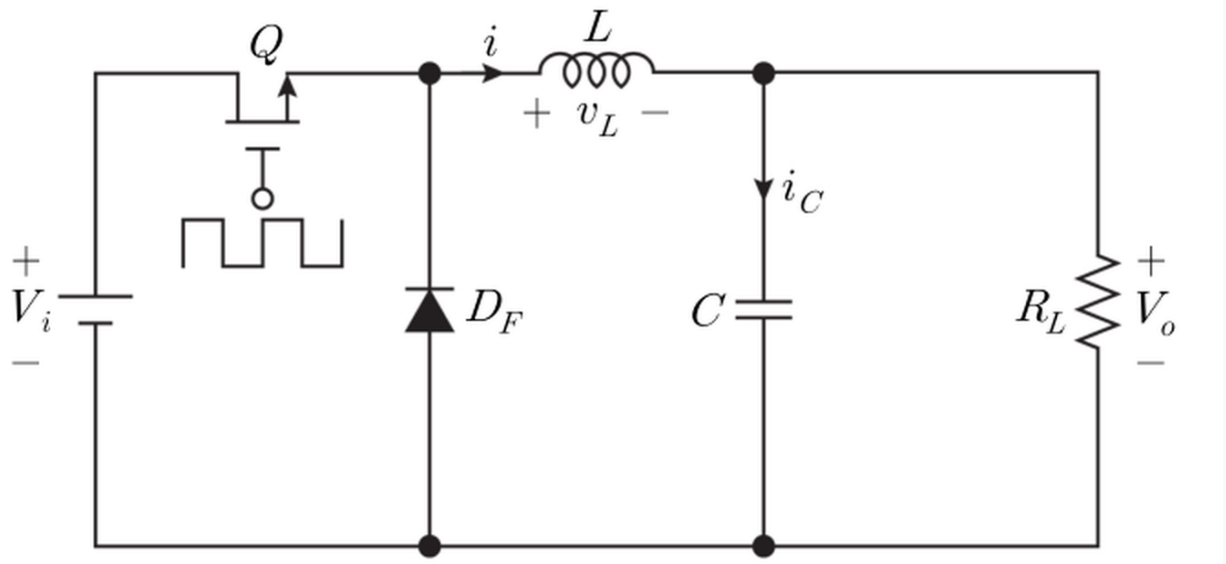
NoteBase

암기 포인트

공통소스 최대 입력 진폭은 출력 하강만 보지 않고 V_D와 $V_G - V_T$를 함께 비교해 정한다.

NoteBase

문 10. 다음 DC-DC 컨버터 회로에서 $V_i = 15[V]$, $V_o = 5[V]$, $f_s = 33[kHz]$, $L = 600[\mu H]$일 때, Q_1의 on/off 시비율(duty cycle) $D[\%]$와 인덕터 전류의 리플값 $\Delta i[A]$ 값은? (단, f_s는 트랜지스터 제어회로의 스위칭 주파수이다)



① $D[\%]$: 33, $\Delta i[A]$: 0.30

② $D[\%]$: 33, $\Delta i[A]$: 0.17

③ $D[\%]$: 30, $\Delta i[A]$: 0.30

④ $D[\%]$: 30, $\Delta i[A]$: 0.17

정답 2번

출제 포인트

이 문제는 벅 컨버터의 정상상태 관계식으로 듀티비 D와 인덕터 전류 리플값 Δi를 구하는 문제이다.

조건 정리

주어진 값: $V_i = 15V$, $V_o = 5V$, $f_s = 33kHz$, $L = 600\mu H$이다.
구해야 할 값: 듀티비 D와 인덕터 전류 리플값 Δi이다.
주의할 조건: 회로는 벅 컨버터이므로 정상상태에서 $V_o = DV_i$가 성립하고, 스위치 온 구간의 인덕터 전압은 $V_L = V_i - V_o$이다.

NoteBase

사용할 공식

$D = \frac{V_o}{V_i}$
$\Delta i = \frac{V_i - V_o}{L} \cdot t_{on} = \frac{(V_i - V_o)D}{Lf_s}$
이 공식을 쓰는 이유: 제시된 회로는 입력전압을 낮추는 벅 컨버터이므로 출력전압은 듀티비에 비례하고, 인덕터 리플전류는 스위치 온 구간에서 인덕터에 걸리는 전압과 온시간으로 결정된다.

계산 과정

1. 듀티비는 $D = \frac{V_o}{V_i} = \frac{5}{15} = \frac{1}{3} \approx 0.333$이므로 33.3%이다.
2. 스위칭 주기는 $T = \frac{1}{f_s} = \frac{1}{33 \times 10^3} \approx 30.3\mu s$이고, 온시간은 $t_{on} = DT \approx \frac{1}{3} \times 30.3\mu s = 10.1\mu s$이다.
3. 온 구간 인덕터 전압은 $V_i - V_o = 15 - 5 = 10V$이므로, $\Delta i = \frac{10}{600 \times 10^{-6}} \times 10.1 \times 10^{-6} \approx 0.168A$이다.
4. 따라서 $\Delta i \approx 0.17A$이고, 선택지 조합은 $D = 33\%$, $\Delta i = 0.17A$이다.

선지별 해설

① X: $D = 33\%$는 맞지만 $\Delta i = 0.30A$가 틀리다. 계산 결과 리플전류는 $0.168A \approx 0.17A$이다. 올바르게는 $D = 33\%$, $\Delta i = 0.17A$이다.
② O: $D = \frac{5}{15} = 33.3\%$이고, $\Delta i = \frac{(15-5)D}{Lf_s} \approx 0.17A$이므로 맞다.
③ X: $\Delta i = 0.30A$는 틀리고, 듀티비 30%도 틀리다. 벅 컨버터의 듀티비는 V_o/V_i이므로 올바르게는 33.3%이다. 올바른 조합은 $D = 33\%$, $\Delta i = 0.17A$이다.
④ X: $\Delta i = 0.17A$는 맞지만 듀티비 30%가 틀리다. 올바르게는 $D = 33.3\%$이다.

오답 포인트

벅 컨버터를 단순히 숫자 대입 문제로 보면 듀티비를 30%처럼 대충 잡거나, 인덕터 전압을 V_i 또는 V_o 하나로 잘못 넣어 리플전류를 틀리기 쉽다. 이 문제의 핵심 함정은 인덕터에 실제로 걸리는 전압이 온 구간에서 $V_i - V_o$라는 점이다.

다시 나오면 이렇게 판단

DC-DC 컨버터 계산형 문제는 먼저 회로가 벅인지 부스트인지 판별하고, 정상상태 전압관계식으로 D를 구한 뒤, 해당 구간의 인덕터 전압과 시간으로 Δi를 계산하면 된다.

암기 포인트

벅 컨버터는 $V_o = DV_i$, 인덕터 리플은 온 구간의 $V_L = V_i - V_o$로 계산된다.

NoteBase

문 11. DSB-LC 진폭변조(AM)에서 반송파 $V_c = 20\sin(2\pi 10^7 t)[V]$, 신호파 $V_s = 15\sin(2\pi 10^5 t)[V]$인 경우 변조지수 m[%], 상측파 주파수 f_U[MHz] 및 하측파 주파수 f_L[MHz]는?

① m: 70, f_U: 1.01, f_L: 0.99

② m: 70, f_U: 10.1, f_L: 9.9

③ m: 75, f_U: 1.01, f_L: 0.99

④ m: 75, f_U: 10.1, f_L: 9.9

정답 4번

출제 포인트

이 문제는 DSB-LC AM에서 변조지수와 상측파·하측파 주파수를 기본 공식으로 구하는 문제이다.

조건 정리

반송파 진폭은 $20V$, 반송파 주파수는 $10^7Hz = 10MHz$이다.
신호파 진폭은 $15V$, 신호파 주파수는 $10^5Hz = 0.1MHz$이다.
구해야 할 값은 변조지수 m, 상측파 주파수 f_U, 하측파 주파수 f_L이다.

사용할 공식

변조지수는 $m = \frac{V_s}{V_c}$이다.
측파대 주파수는 $f_U = f_c + f_s$, $f_L = f_c - f_s$이다.
이 공식을 쓰는 이유는 DSB-LC AM의 스펙트럼이 반송파 f_c를 중심으로 신호파 주파수 f_s만큼 위아래에 대칭으로 생기기 때문이다.

계산 과정

$m = \frac{15}{20} = 0.75 = 75\%$
$f_c = 10^7Hz = 10MHz, \quad f_s = 10^5Hz = 0.1MHz$
$f_U = f_c + f_s = 10 + 0.1 = 10.1MHz$
$f_L = f_c - f_s = 10 - 0.1 = 9.9MHz$
따라서 계산 결과는 $m = 75\%$, $f_U = 10.1MHz$, $f_L = 9.9MHz$이다.

NoteBase

선지별 해설

① X. 변조지수 70%가 틀리다. 올바르게는 $m = 75\%$이다. 상측파 1.01 MHz, 하측파 0.99 MHz도 틀리다. 올바르게는 $f_U = 10.1MHz$, $f_L = 9.9MHz$이다. 이 값은 10^7Hz를 1 MHz로 잘못 환산한 실수에서 나온다.
② X. 상측파 10.1 MHz와 하측파 9.9 MHz는 맞지만, 변조지수 70%가 틀리다. 틀린 표현은 "70"이고, 올바르게는 $\frac{15}{20} \times 100 = 75\%$이다.
③ X. 변조지수 75%는 맞지만, 상측파 1.01 MHz와 하측파 0.99 MHz가 틀리다. 틀린 표현은 "1.01, 0.99"이고, 올바르게는 $10.1MHz$, $9.9MHz$이다. 반송파와 신호파의 단위 환산을 한 자리씩 작게 읽은 오답이다.
④ O. 변조지수 75%, 상측파 $10.1MHz$, 하측파 $9.9MHz$가 모두 계산 결과와 일치한다.

오답 포인트

변조지수는 진폭비인데 이를 백분율로 바꾸는 단계에서 감으로 70%로 처리하기 쉽다. 또 $10^7Hz = 10MHz$, $10^5Hz = 0.1MHz$ 환산을 틀리면 1.01 MHz와 0.99 MHz 같은 오답이 바로 나온다.

다시 나오면 이렇게 판단

AM 계산형 문제는 먼저 진폭으로 $m = \frac{V_s}{V_c}$를 구하고, 다음에 주파수를 MHz로 통일한 뒤 $f_c \pm f_s$를 적용하면 된다. 진폭 계산과 단위 환산을 분리해서 검산하면 오답을 줄일 수 있다.

암기 포인트

DSB-LC AM은 $m = \frac{V_s}{V_c}$, 측파대는 $f_c \pm f_s$이다.

NoteBase

문 12. 슈미트 트리거(Schmitt Trigger)의 동작에 대한 설명으로 옳지 않은 것은?

① 입력 신호에 인가되는 잡음의 영향을 줄이기 위해 사용될 수 있다.

② 오실레이터(oscillator) 회로에 슈미트 트리거를 이용할 수 있다.

③ 슈미트 트리거의 입력과 출력 특성은 히스테리시스(hysteresis) 성질을 갖는다.

④ 여러 개의 입력 중 클럭 신호에 트리거된 하나의 입력을 선택하는 회로에 주로 사용된다.

정답 4번

출제 포인트

이 문제는 슈미트 트리거의 핵심 기능과 다른 디지털 회로의 역할을 구별하는지를 묻는 문제이다.

핵심 개념

슈미트 트리거는 양의 되먹임을 이용해 서로 다른 문턱전압을 만들고, 잡음이 섞인 입력이나 천천히 변하는 입력을 안정적인 디지털 출력으로 바꾸는 회로이다.
히스테리시스는 입력이 증가할 때와 감소할 때의 스위칭 문턱이 달라지는 성질이다.
여러 입력 중 하나를 선택하는 기능은 슈미트 트리거가 아니라 멀티플렉서와 같은 선택 회로의 역할이다.

선지별 해설

① O
입력에 작은 잡음이 실리면 문턱 부근에서 출력이 흔들릴 수 있는데, 슈미트 트리거는 상향 문턱과 하향 문턱을 다르게 두어 이런 불안정 스위칭을 줄인다.

② O
슈미트 트리거는 RC 소자와 함께 발진기나 파형 정형 회로에 활용될 수 있다. 문턱전압을 기준으로 충전과 방전을 반복시키면 사각파 발생에 이용된다.

③ O
슈미트 트리거의 가장 대표적인 입출력 특성은 히스테리시스이다. 입력이 올라갈 때의 전환점과 내려갈 때의 전환점이 달라 잡음 내성이 커진다.

④ X
틀린 부분은 "여러 개의 입력 중 클럭 신호에 트리거된 하나의 입력을 선택하는 회로"라는 표현이다.
이 기능은 슈미트 트리거의 기능이 아니라 선택 회로나 순차회로 쪽 설명에 가깝다. 슈미트 트리거는 입력 선택 회로가 아니라 문턱 비교와 파형 정형에 쓰이는 회로이다.

NoteBase

오답 포인트

④는 디지털 회로라는 공통점만 보고 슈미트 트리거를 멀티플렉서나 플립플롭과 혼동하면 넘어가기 쉽다. 슈미트 트리거는 "선택"이 아니라 "문턱전압과 히스테리시스로 파형을 안정화"하는 회로라는 점이 핵심이다.

다시 나오면 이렇게 판단

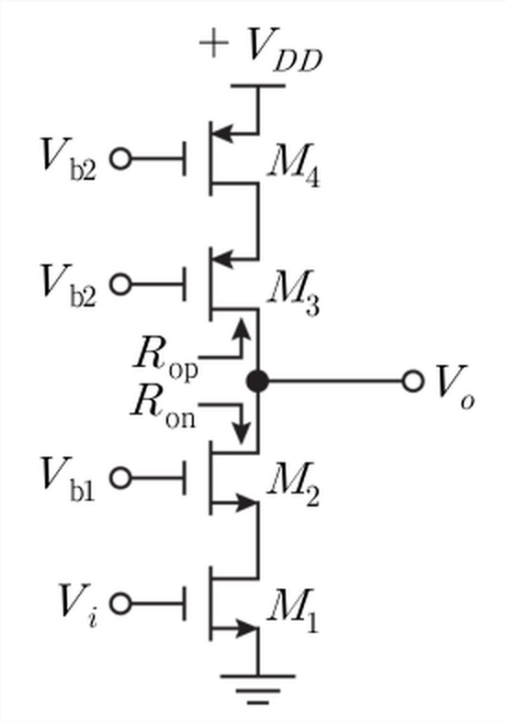
선지에 잡음 제거, 히스테리시스, 파형 정형, 발진 응용이 나오면 슈미트 트리거와 연결한다. 반대로 여러 입력 중 하나를 고르거나 데이터를 저장하는 기능이 나오면 다른 디지털 회로의 설명으로 본다.

암기 포인트

슈미트 트리거는 선택 회로가 아니라 히스테리시스 기반 파형 정형 회로이다.

NoteBase

문 13. 캐스코드(cascode) 증폭기의 전압이득으로 옳은 것은?



① $-g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$

② $-g_{m1}g_{m2}r_{o1}r_{o2}$

③ $-g_{m1}g_{m3}r_{o3}r_{o4}$

④ $-g_{m1}g_{m3}r_{o3}g_{m2}r_{o2}$

정답 1번

출제 포인트

이 문제는 캐스코드 증폭기의 전압이득을 $A_v \approx -g_{m1}(R_{on} \parallel R_{op})$로 두고, 출력 노드에서 아래쪽과 위쪽으로 본 저항을 각각 구할 수 있는지를 묻는 문제이다.

조건 정리

- 입력 트랜지스터는 M_1이다.
- 출력 노드는 M_2와 M_3 사이의 V_o이다.
- 아래쪽 NMOS 캐스코드 쪽 저항은 R_{on}, 위쪽 PMOS 캐스코드 쪽 저항은 R_{op}이다.

NoteBase

사용할 공식

$A_v \approx -g_{m1}(R_{on} \parallel R_{op})$

$R_{on} \approx g_{m2}r_{o2}r_{o1}, \quad R_{op} \approx g_{m3}r_{o3}r_{o4}$

이 공식을 쓰는 이유는 캐스코드 증폭기의 출력 노드에서 위쪽과 아래쪽 가지가 모두 출력저항으로 작용하고, 입력 신호는 M_1의 트랜스컨덕턴스 g_{m1}에 의해 전류로 바뀌기 때문이다.

계산 과정

1. 전압이득의 기본형은 $A_v \approx -g_{m1}R_{out}$이다.
2. 출력저항은 출력 노드에서 아래로 본 저항과 위로 본 저항의 병렬이므로 $R_{out} = R_{on} \parallel R_{op}$이다.
3. 따라서 $A_v \approx -g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$가 된다.

선지별 해설

① O

- $-g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$는 캐스코드 하단 가지와 상단 가지의 출력저항을 병렬로 본 뒤 g_{m1}을 곱한 식이므로 맞다.

② X

- $-g_{m1}g_{m2}r_{o1}r_{o2}$는 아래쪽 가지의 출력저항 R_{on}만 반영한 식이다.
- 위쪽 캐스코드 부하의 출력저항 $R_{op} \approx g_{m3}r_{o3}r_{o4}$가 빠졌다는 점이 틀린 표현이다.
- 올바르게는 $-g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$이다.

③ X

- $-g_{m1}g_{m3}r_{o3}r_{o4}$는 위쪽 가지의 출력저항 R_{op}만 반영한 식이다.
- 아래쪽 NMOS 캐스코드 가지의 출력저항 $R_{on} \approx g_{m2}r_{o2}r_{o1}$가 빠졌다는 점이 틀린 표현이다.
- 올바르게는 두 저항의 병렬을 취한 $-g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$이다.

④ X

- $-g_{m1}g_{m3}r_{o3}g_{m2}r_{o2}$는 위쪽과 아래쪽 가지를 병렬저항으로 보지 않고 항들을 임의로 곱한 식이다.
- 또한 r_{o1}, r_{o4}가 빠져 있어 각 캐스코드 가지의 출력저항 형태도 맞지 않는다.
- 올바르게는 각 가지를 $g_m r_o r_o$ 꼴의 저항으로 만든 뒤 병렬을 취한 ①의 식이다.

오답 포인트

캐스코드 증폭기에서는 한쪽 가지의 출력저항만 보고 이득식을 쓰기 쉽다. 이 문항은 ②와 ③처럼 한쪽만 남긴 식, ④처럼 병렬을 곱셈으로 오해한 식을 함정으로 둔 문제이다.

NoteBase

다시 나오면 이렇게 판단

캐스코드 전압이득 문제는 먼저 $A_v \approx -g_{m1}R_{out}$을 잡고, 출력 노드에서 위로 본 저항과 아래로 본 저항을 각각 $g_m r_o r_o$ 꼴로 만든 다음 마지막에 병렬 $\|$로 묶는 순서로 판단한다.

암기 포인트

캐스코드 이득은 입력단 g_m와 출력노드 병렬저항의 곱이며, 각 캐스코드 가지의 저항은 대체로 $g_m r_o r_o$ 꼴이다.

NoteBase

문 14. n-채널 MOSFET이 포화영역(saturation region)에서 동작할 때 $I-V$ 특성은 $I_D=\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})^2$으로 나타낼 수 있다. 이 때 MOSFET의 전달컨덕턴스(transconductance) g_m으로 옳은 것은? (단, k_n은 공정 전달컨덕턴스 파라미터이고, $k_n=\mu_nC_{ox}$이다)

① $\sqrt{2k_n\frac{W}{L}I_D}$
② $\sqrt{\frac{1}{2}k_n\frac{W}{L}I_D}$
③ $2k_n\frac{W}{L}(V_{GS}-V_{TH})$
④ $\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})$

정답 1번

출제 포인트

이 문제는 n-채널 MOSFET의 포화영역 전류식 I_D를 V_{GS}에 대해 미분하여 전달컨덕턴스 g_m를 구하는 문제이다.

조건 정리

주어진 식은 $I_D=\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})^2$이다.
구해야 할 값은 전달컨덕턴스 g_m이다.
전달컨덕턴스는 게이트-소스 전압 변화에 대한 드레인 전류 변화율이므로 $g_m=\frac{\partial I_D}{\partial V_{GS}}$로 정의된다.

사용할 공식

포화영역에서
$g_m=\frac{\partial I_D}{\partial V_{GS}}$
를 사용한다.
이 문제는 이미 포화영역 전류식 $I_D=\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})^2$가 주어졌으므로, 이를 V_{GS}로 미분하면 바로 g_m를 얻을 수 있다.

계산 과정

1. 전류식을 V_{GS}에 대해 미분하면
$g_m=\frac{\partial}{\partial V_{GS}}\left(\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})^2\right)=k_n\frac{W}{L}(V_{GS}-V_{TH})$
이다.
2. 따라서 g_m의 직접식은 $g_m=k_n\frac{W}{L}(V_{GS}-V_{TH})$이다.
3. 같은 식을 I_D로 바꾸면 $I_D=\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})^2$이므로
$g_m^2=\left(k_n\frac{W}{L}(V_{GS}-V_{TH})\right)^2=2k_n\frac{W}{L}I_D$
가 되고,
$g_m=\sqrt{2k_n\frac{W}{L}I_D}$
이다.

NoteBase

선지별 해설

① O
$g_m = \sqrt{2k_n\frac{W}{L}I_D}$ 는 위 계산으로 얻은 식과 정확히 일치한다.

② X
$\sqrt{\frac{1}{2}k_n\frac{W}{L}I_D}$ 는 계수가 잘못되었다.
틀린 표현은 $\sqrt{\frac{1}{2}k_n\frac{W}{L}I_D}$ 이다. 올바르게는 $\sqrt{2k_n\frac{W}{L}I_D}$ 이다.

③ X
미분 결과는 $g_m = k_n\frac{W}{L}(V_{GS}-V_{TH})$인데, 이 선지는 앞 계수를 2배로 썼다.
틀린 표현은 $2k_n\frac{W}{L}(V_{GS}-V_{TH})$이다. 올바르게는 $k_n\frac{W}{L}(V_{GS}-V_{TH})$이다.

④ X
미분 과정에서 $\frac{1}{2}$와 제곱의 미분으로 나온 2가 서로 소거되므로 앞 계수 $\frac{1}{2}$는 남지 않는다.
틀린 표현은 $\frac{1}{2}k_n\frac{W}{L}(V_{GS}-V_{TH})$이다. 올바르게는 $k_n\frac{W}{L}(V_{GS}-V_{TH})$이다.

오답 포인트

전류식 앞의 $\frac{1}{2}$를 미분 후에도 그대로 남겨 두거나, $(V_{GS}-V_{TH})^2$를 미분할 때 나온 2와의 소거를 놓치기 쉽다.
또한 g_m를 I_D로 다시 바꿀 때 $g_m^2 = 2k_n\frac{W}{L}I_D$를 잘못 정리하면 ②처럼 루트 안 계수가 뒤집힌다.

다시 나오면 이렇게 판단

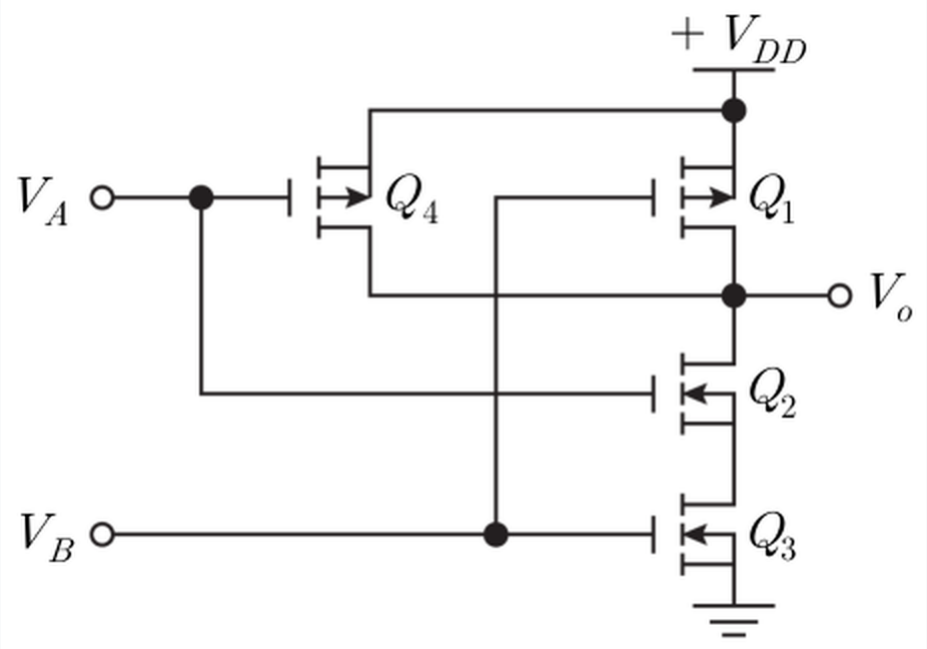
MOSFET 소신호 파라미터 문제는 먼저 정의식 $g_m = \frac{\partial I_D}{\partial V_{GS}}$를 확인하고, 주어진 I_D 식을 바로 미분해 기본형 $g_m = k_n\frac{W}{L}(V_{GS}-V_{TH})$을 만든 뒤 필요하면 I_D 형태로 다시 바꾸는 순서로 판단한다.

암기 포인트

포화영역 nMOS에서는 $I_D = \frac{1}{2}K(V_{GS}-V_{TH})^2$, $g_m = K(V_{GS}-V_{TH}) = \sqrt{2KI_D}$가 한 묶음으로 연결된다.
여기서 $K = k_n\frac{W}{L}$이다.

NoteBase

문 15. CMOS를 이용한 다음 그림과 같은 회로에서 입력단자 V_A=1010, 입력단자 V_B=0011의 각 입력값이 동시에 순차적으로 인가될 때, 출력전압의 상태값으로 옳은 것은? (단, 상태값 0=0[V], 상태값 1=V_{DD}이다)



① 1101

② 1011

③ 0100

④ 0010

정답 1번

출제 포인트

이 문제는 CMOS 회로의 풀업망과 풀다운망을 보고 회로가 2입력 NAND 게이트임을 판단한 뒤, 순서대로 인가되는 V_A, V_B에 대해 출력 V_o의 상태를 구하는 문제이다.

NoteBase

선지별 해설

① O

Q_1, Q_4는 병렬 pMOS 풀업망이고 Q_2, Q_3는 직렬 nMOS 풀다운망이므로 회로의 논리식은 $V_o = \overline{V_A V_B}$이다. 입력쌍을 순서대로 쓰면 $(1, 0) \to 1$, $(0, 0) \to 1$, $(1, 1) \to 0$, $(0, 1) \to 1$이므로 출력은 1101이 되어 옳다.

② X

1011은 둘째 입력쌍 $(0, 0)$에서 출력을 0으로, 셋째 입력쌍 $(1, 1)$에서 출력을 1로 잘못 판단한 값이다. NAND는 두 입력이 모두 1일 때만 0이 되므로 올바르게는 1101이다.

③ X

0100은 첫째 입력쌍 $(1, 0)$, 둘째 입력쌍 $(0, 0)$, 넷째 입력쌍 $(0, 1)$에서 적어도 하나의 pMOS가 켜져 출력이 1이 되어야 한다는 점을 놓친 값이다. 이 회로는 세 경우 모두 풀업 경로가 살아 있으므로 올바르게는 1101이다.

④ X

0010은 $V_A V_B$ 자체를 그대로 적은 AND 출력이다. 이 CMOS 회로는 직렬 nMOS가 만드는 AND 조건을 한 번 반전한 NAND이므로 올바르게는 1101이다.

오답 포인트

직렬 nMOS를 보고 바로 AND 출력 0010을 적거나, 병렬 pMOS와 직렬 nMOS의 상보 관계를 놓치면 오답이 된다. CMOS 게이트는 먼저 풀다운망이 언제 도통하는지 찾고, 실제 출력은 그 조건의 반전이라는 점을 함께 봐야 한다.

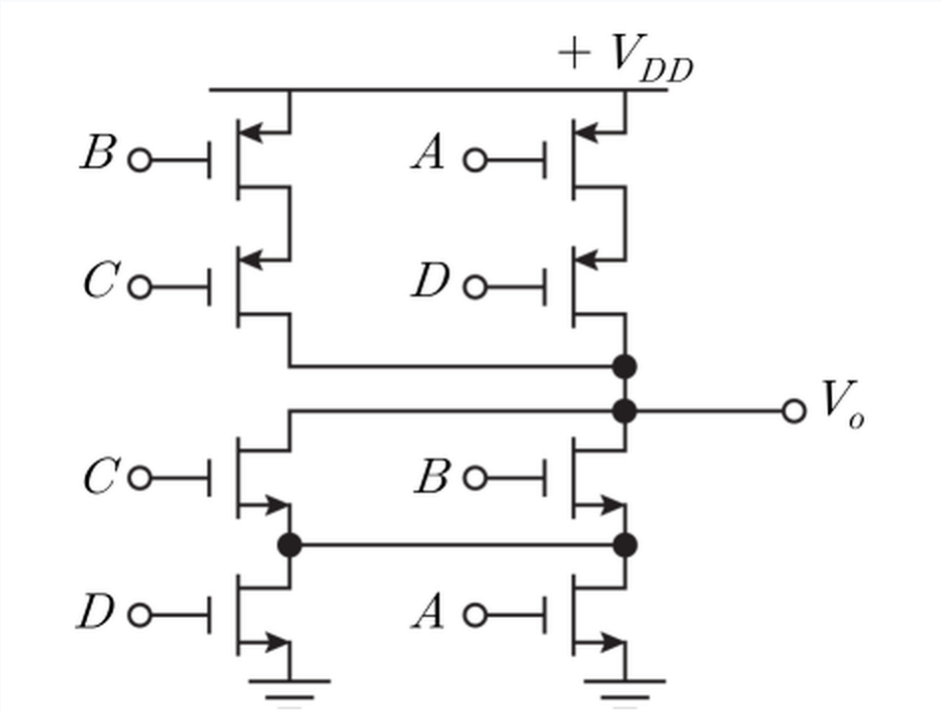
다시 나오면 이렇게 판단

CMOS 회로는 먼저 아래쪽 nMOS망이 언제 접지까지 연결되는지를 본다. 이 회로는 Q_2와 Q_3가 모두 켜질 때만 0이 되므로 풀다운 조건은 $V_A V_B$이고, 최종 출력은 그 반전인 $\overline{V_A V_B}$로 판단한다.

암기 포인트

CMOS에서 nMOS 직렬은 0이 되는 조건을 만들고, 출력은 그 조건의 보수이므로 직렬 nMOS와 병렬 pMOS 조합은 NAND이다.

문 16. 다음 회로의 논리함수로 옳은 것은?



① $\overline{(A+D)(B+C)}$

② $\overline{(A+B)(C+D)}$

③ $\overline{AD+BC}$

④ $\overline{AB+CD}$

정답 1번

출제 포인트

이 문제는 CMOS 논리회로에서 NMOS 풀다운망의 직렬·병렬 구조를 읽어 $V_o = 0$ 조건을 구하고, 그 보수로 최종 논리함수를 쓰는지를 묻는 문제이다.

NoteBase

선지별 해설

① O

NMOS 풀다운망은 위단의 B, C가 병렬, 아래단의 A, D가 병렬이고 두 단이 직렬이다. 따라서 출력이 0이 되는 조건은 $(B+C)(A+D)$이다.

CMOS 출력함수는 풀다운 조건의 보수이므로 $V_o = \overline{(A+D)(B+C)}$가 된다.

② X

$\overline{(A+B)(C+D)}$는 입력 묶음을 위아래 직렬단 기준이 아니라 좌우 위치로 잘못 묶은 식이다.

틀린 표현은 $(A+B)(C+D)$이다. 올바르게는 $(A+D)(B+C)$의 보수이다.

③ X

$\overline{AD+BC}$는 A와 D, B와 C가 각각 직렬이고 그 두 경로가 병렬인 경우의 식이다.

실제 회로는 그 반대로 각 단이 병렬이고 두 단이 직렬이다. 올바르게는 $\overline{(A+D)(B+C)}$이다.

④ X

$\overline{AB+CD}$도 AB, CD 직렬경로의 병렬 연결을 가정한 식이어서 회로 구조와 맞지 않는다.

틀린 표현은 $AB+CD$이다. 올바르게는 $\overline{(A+D)(B+C)}$이다.

오답 포인트

트랜지스터의 좌우 배치를 그대로 곱의 항으로 옮기거나, PMOS 쪽을 먼저 읽다가 직렬·병렬 관계를 뒤집는 실수가 잦다. 이 회로는 NMOS 풀다운망에서 먼저 $V_o = 0$ 조건을 잡아야 혼동이 줄어든다.

다시 나오면 이렇게 판단

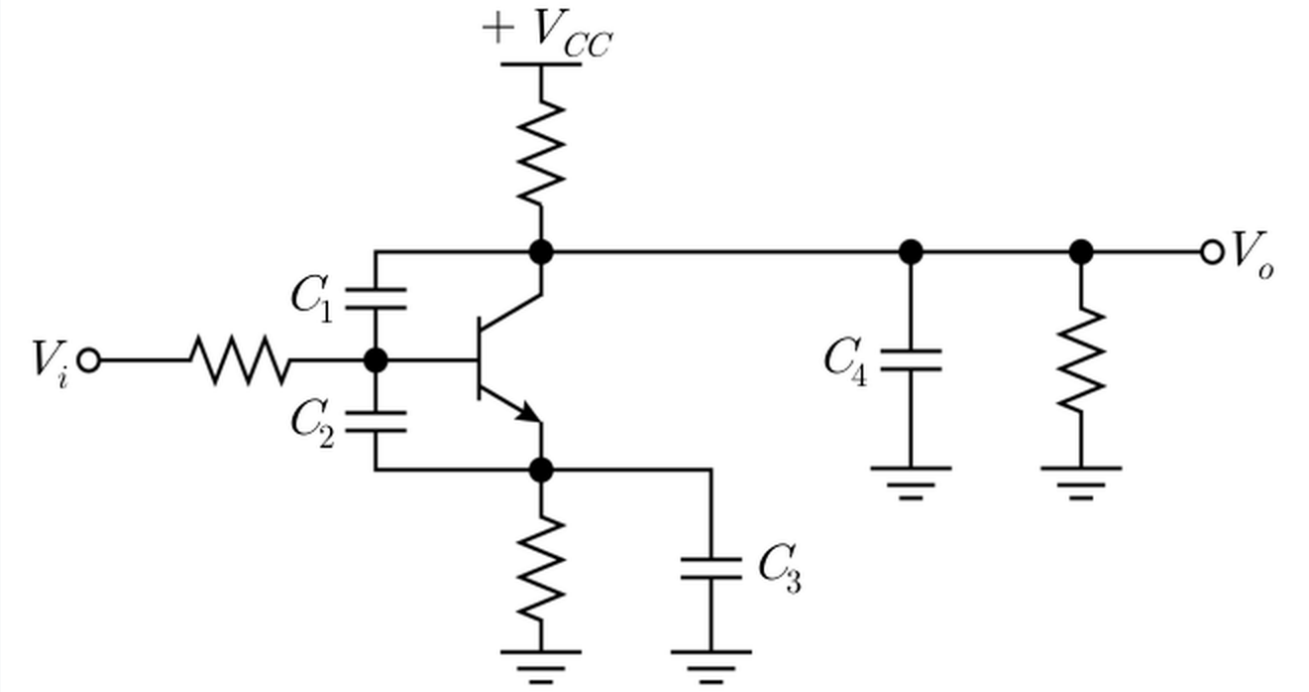
CMOS 회로는 NMOS 풀다운망만 보고 출력이 0이 되는 조건을 직렬은 곱, 병렬은 합으로 적는다. 그다음 전체에 보수를 취해 V_o를 쓴다.

암기 포인트

CMOS 논리함수는 'NMOS 풀다운식 먼저, 마지막에 전체 보수'로 정리된다.

NoteBase

문 17. 다음 회로에서 트랜지스터가 포화 영역에 바이어스 되어 있다고 가정할 때, 4개의 커패시터 중 고주파 영역에서 전압 이득 $\frac{V_o}{V_i}$을 증가시키는 것은?



① C_1

② C_2

③ C_3

④ C_4

정답 3번

출제 포인트

이 문제는 공통 이미터 증폭기 회로에서 각 커패시터가 고주파에서 어느 노드의 교류 임피던스를 낮추는지 보고 전압 이득의 크기를 늘리는지 줄이는지를 판단하는 문제이다.

NoteBase

선지별 해설

① X: C_1은 컬렉터-베이스 사이의 커패시터로 작용하여 출력 신호를 입력 쪽으로 되먹임한다. 공통 이미터 회로에서는 이 경로가 밀러 효과를 만들어 입력 용량을 키우므로 고주파 이득을 줄인다. 틀린 표현은 "이득을 증가시킨다"이고, 올바르게는 "C_1은 고주파 이득을 감소시킨다"이다.
② X: C_2는 베이스-이미터 사이에서 고주파 성분을 우회시키므로 유효한 v_{be}를 줄인다. v_{be}가 줄면 트랜지스터의 증폭 작용도 약해져 전압 이득이 감소한다. 틀린 표현은 "이득을 증가시킨다"이고, 올바르게는 "C_2는 입력 신호를 바이패스하여 고주파 이득을 감소시킨다"이다.
③ O: C_3는 이미터 저항과 병렬인 바이패스 커패시터이다. 주파수가 올라가면 C_3의 리액턴스가 작아져 이미터가 교류적으로 접지에 가까워지고, 이미터 퇴피드백이 줄어든다. 그 결과 전압 이득의 크기 $|V_o/V_i|$가 커진다.
④ X: C_4는 출력 노드에서 접지로 연결된 커패시터이므로 고주파에서 출력 신호를 접지로 흘려보낸다. 이는 컬렉터 쪽 부하를 무겁게 만들어 출력 전압을 줄이므로 이득을 감소시킨다. 틀린 표현은 "이득을 증가시킨다"이고, 올바르게는 "C_4는 출력 고주파 성분을 감쇠시켜 이득을 감소시킨다"이다.

오답 포인트

우회 경로가 생기면 모두 이득이 커진다고 착각하기 쉽다. 그러나 입력을 새게 하거나 출력을 접지로 빼거나 컬렉터-베이스 되먹임을 만드는 커패시터는 고주파 이득을 줄이고, 이미터 저항을 바이패스하여 퇴피드백을 없애는 커패시터만 이득의 크기를 키운다.

다시 나오면 이렇게 판단

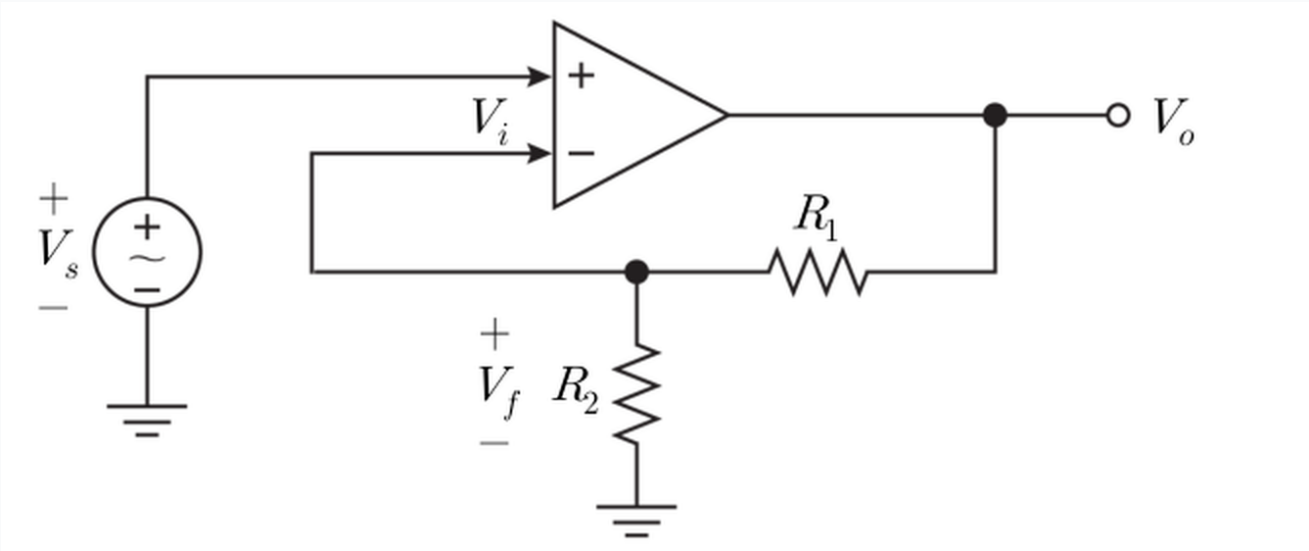
공통 이미터 고주파 회로에서는 먼저 커패시터가 입력을 우회하는지, 출력을 접지로 빼는지, 아니면 이미터 저항을 바이패스하는지를 본다. 입력 우회, 출력 션트, 밀러 되먹임은 이득 감소이고 이미터 바이패스만 이득 증가로 판단한다.

암기 포인트

밀러 C_{cb}, 입력 C_{be}, 출력 션트 커패시터는 이득을 깎고, 이미터 바이패스 C_E는 이득의 크기를 키운다.

NoteBase

문 18. 다음 회로에서 연산증폭기 이득이 100,000이고, $R_1 = 1.8[k\Omega]$, $R_2 = 200[\Omega]$일 때 증폭기 이득은?



① 5

② 10

③ 15

④ 20

정답 2번

출제 포인트

유한한 개방루프 이득을 가진 비반전 증폭기의 폐루프 이득을 피드백 계수로 계산하는 문제이다.

조건 정리

주어진 값: 개방루프 이득 $A = 100000$, $R_1 = 1.8k\Omega$, $R_2 = 200\Omega$이다.
구해야 할 값: 전체 증폭기 이득 $G = \frac{V_o}{V_s}$이다.
주의할 조건: 이 회로는 비반전 증폭기이므로 −단자에는 출력의 일부가 되먹임되고, 그 비율은 $\beta = \frac{R_2}{R_1 + R_2}$이다.

사용할 공식

사용 식은 $V_o = A(V_s - V_f)$, $V_f = \beta V_o$, $\beta = \frac{R_2}{R_1 + R_2}$이다.
따라서 폐루프 이득은
$G = \frac{V_o}{V_s} = \frac{A}{1 + A\beta}$
가 된다.
이 공식을 쓰는 이유는 회로가 비반전 증폭기 구조이고, −단자 전압이 저항 분배로 정해지는 전압 되먹임이기 때문이다.

NoteBase

계산 과정

1. 피드백 계수를 구하면
$\beta = \frac{R_2}{R_1 + R_2} = \frac{200}{1800 + 200} = 0.1$
이다.

2. 폐루프 이득은
$G = \frac{A}{1 + A\beta} = \frac{100000}{1 + 100000 \times 0.1} = \frac{100000}{10001}$
이다.

3. 따라서
$G \approx 9.999$
이므로 증폭기 이득은 거의 10이다.

선지별 해설

① X
$G = 5$를 대입하면 $G = A(1 - \beta G) = 100000(1 - 0.1 \times 5) = 50000$가 되어 가정한 값 5와 일치하지 않는다. 틀린 표현은 이득이 5라는 판단이고, 올바르게는 이득이 약 10이다.

② O
계산 결과 $G = \frac{100000}{10001} \approx 9.999$이므로 보기 중 가장 맞는 값은 10이다.

③ X
$G = 15$를 대입하면 $G = A(1 - \beta G) = 100000(1 - 0.1 \times 15) = -50000$가 되어 성립하지 않는다. 틀린 표현은 이득이 15라는 판단이고, 올바르게는 이득이 약 10이다.

④ X
$G = 20$을 대입하면 $G = A(1 - \beta G) = 100000(1 - 0.1 \times 20) = -100000$가 되어 역시 성립하지 않는다. 틀린 표현은 이득이 20이라는 판단이고, 올바르게는 이득이 약 10이다.

오답 포인트

이상적인 비반전 증폭기 공식 $1 + \frac{R_1}{R_2} = 10$만 기억하고 끝내거나, 되먹임 비율 $\beta = \frac{R_2}{R_1 + R_2}$를 놓치면 헷갈리기 쉽다. 이 문항은 유한한 개방루프 이득을 줬지만 값이 매우 커서 최종 이득이 이상값 10과 거의 같다는 점이 함정이다.

다시 나오면 이렇게 판단

연산증폭기 이득과 피드백 저항이 함께 주어지면 먼저 비반전인지 반전인지 구조를 본다. 그다음 $\beta = \frac{R_2}{R_1 + R_2}$를 구하고 $G = \frac{A}{1 + A\beta}$ 또는 $A \to \infty$이면 $1 + \frac{R_1}{R_2}$로 연결해 판단한다.

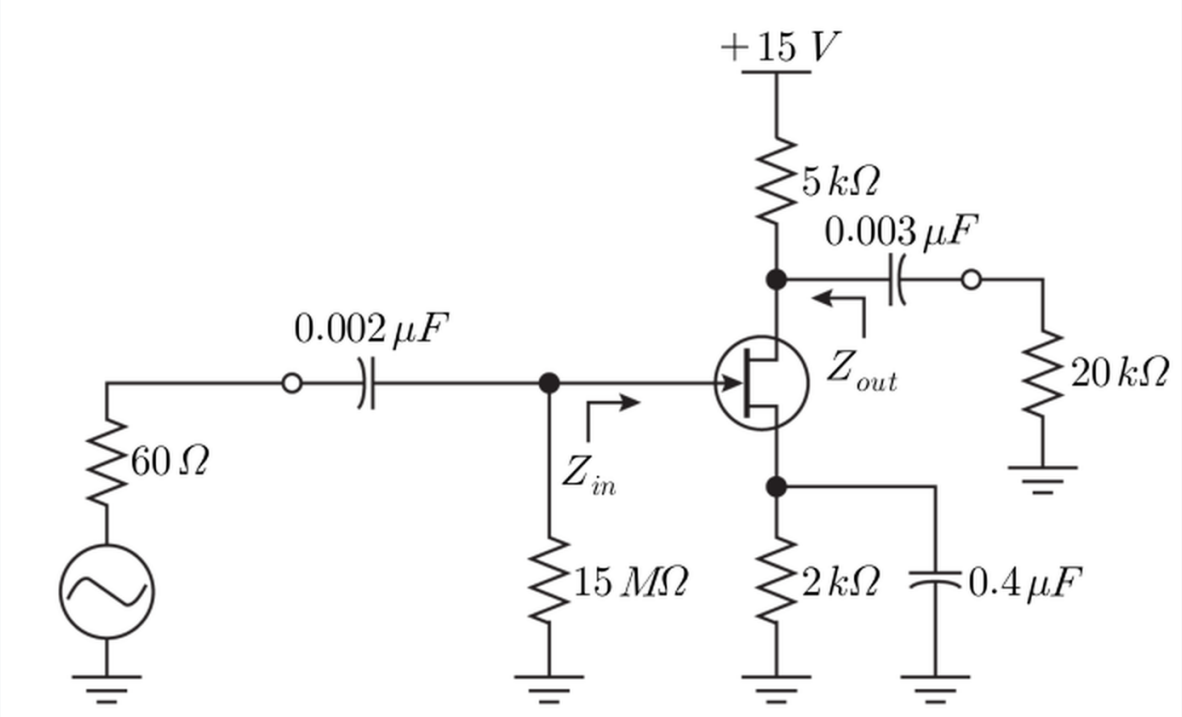
NoteBase

암기 포인트

비반전 증폭기에서 A가 매우 크면 폐루프 이득은 $1+\frac{R_1}{R_2}$에 거의 같고, 정확식은 $\frac{A}{1+A\beta}$이다.

NoteBase

문 19. 다음 공통소스(common-source) 증폭회로의 고주파 영역 해석에서 입력 및 출력 등가 커패시턴스 $C_{in}[pF]$과 $C_{out}[pF]$의 값은? (단, $g_m = 1000[\mu S]$, $C_{gd} = 4[pF]$, $C_{gs} = 5[pF]$, $C_{ds} = 0[pF]$이다)



① C_{in}: 20, C_{out}: 5

② C_{in}: 20, C_{out}: 25

③ C_{in}: 25, C_{out}: 5

④ C_{in}: 25, C_{out}: 25

정답 3번

출제 포인트

이 문제는 공통소스 증폭기의 전압이득을 먼저 구한 뒤 밀러 정리를 적용하여 입력·출력 등가 커패시턴스를 계산하는 문제이다.

조건 정리

주어진 값은 $g_m = 1000\mu S = 1mS$, $C_{gd} = 4pF$, $C_{gs} = 5pF$, $C_{ds} = 0pF$이다.
고주파 소신호 해석에서 결합 커패시터와 바이패스 커패시터는 교류적으로 단락으로 본다.
따라서 소스는 교류 접지이고, 드레인 쪽 유효 저항은 $5k\Omega \parallel 20k\Omega = 4k\Omega$이다.

NoteBase

사용할 공식

전압이득은 $A_v \approx -g_m(R_D \parallel R_L)$이다.
밀러 정리에 따라 입력 쪽 등가 커패시턴스는 $C_{in} = C_{gs} + C_{gd}(1 - A_v)$이고, 출력 쪽 등가 커패시턴스는 $C_{out} = C_{ds} + C_{gd}\left(1 - \frac{1}{A_v}\right)$이다.
이 공식을 쓰는 이유는 C_{gd}가 입력과 출력을 연결하는 귀환 커패시터이므로, 공통소스의 반전 이득에 의해 입력과 출력 양쪽에서 밀러 효과가 생기기 때문이다.

계산 과정

1. 드레인의 교류 부하를 구하면 $R_D \parallel R_L = 5k\Omega \parallel 20k\Omega = 4k\Omega$이다.
2. 전압이득은 $A_v = -g_m(R_D \parallel R_L) = -0.001 \times 4000 = -4$이다.
3. 입력 등가 커패시턴스는 $C_{in} = 5 + 4 \times (1 - (-4)) = 5 + 20 = 25pF$이다.
4. 출력 등가 커패시턴스는 $C_{out} = 0 + 4 \times \left(1 - \frac{1}{-4}\right) = 4 \times 1.25 = 5pF$이다.

선지별 해설

① X
C_{gd}의 밀러 성분 $20pF$만 입력에 더하고 $C_{gs} = 5pF$를 빠뜨리면 $C_{in} = 20pF$가 되지만, 실제 입력 등가 커패시턴스는 C_{gs}까지 포함한 $25pF$이다.
또한 $C_{out} = 5pF$는 맞지만 앞값이 틀려서 오답이다.
틀린 표현은 "$C_{in} = 20pF$"이고, 올바르게는 "$C_{in} = 25pF, C_{out} = 5pF$"이다.

② X
①과 같은 이유로 $C_{in} = 20pF$가 아니며, C_{out}도 $25pF$가 아니다.
$C_{out} = 25pF$는 입력 공식 $1 - A_v$를 출력에도 그대로 적용한 실수에서 나온 값이다.
틀린 표현은 "$C_{in} = 20pF, C_{out} = 25pF$"이고, 올바르게는 "$C_{in} = 25pF, C_{out} = 5pF$"이다.

③ O
전압이득이 $A_v = -4$이므로 입력 쪽은 $C_{gs} + C_{gd}(1 - A_v) = 5 + 4 \times 5 = 25pF$가 된다.
출력 쪽은 $C_{ds} + C_{gd}\left(1 - \frac{1}{A_v}\right) = 0 + 4 \times 1.25 = 5pF$가 된다.
따라서 $C_{in} = 25pF, C_{out} = 5pF$인 ③이 옳다.

④ X
$C_{in} = 25pF$까지는 맞지만 $C_{out} = 25pF$가 틀리다.
출력에서는 입력과 달리 $C_{gd}\left(1 - \frac{1}{A_v}\right)$를 써야 하므로 값이 $5pF$만 나온다.
틀린 표현은 "$C_{out} = 25pF$"이고, 올바르게는 "$C_{out} = 5pF$"이다.

NoteBase

오답 포인트

가장 흔한 함정은 입력과 출력 모두에 같은 밀러 계수 $(1 - A_v)$를 적용하는 실수이다. 입력은 $1 - A_v$, 출력은 $1 - 1/A_v$를 써야 한다. 또 C_{in}을 구할 때 C_{gs}를 더하지 않고 C_{gd}의 증가분만 적으면 $20pF$라는 오답이 나온다.

다시 나오면 이렇게 판단

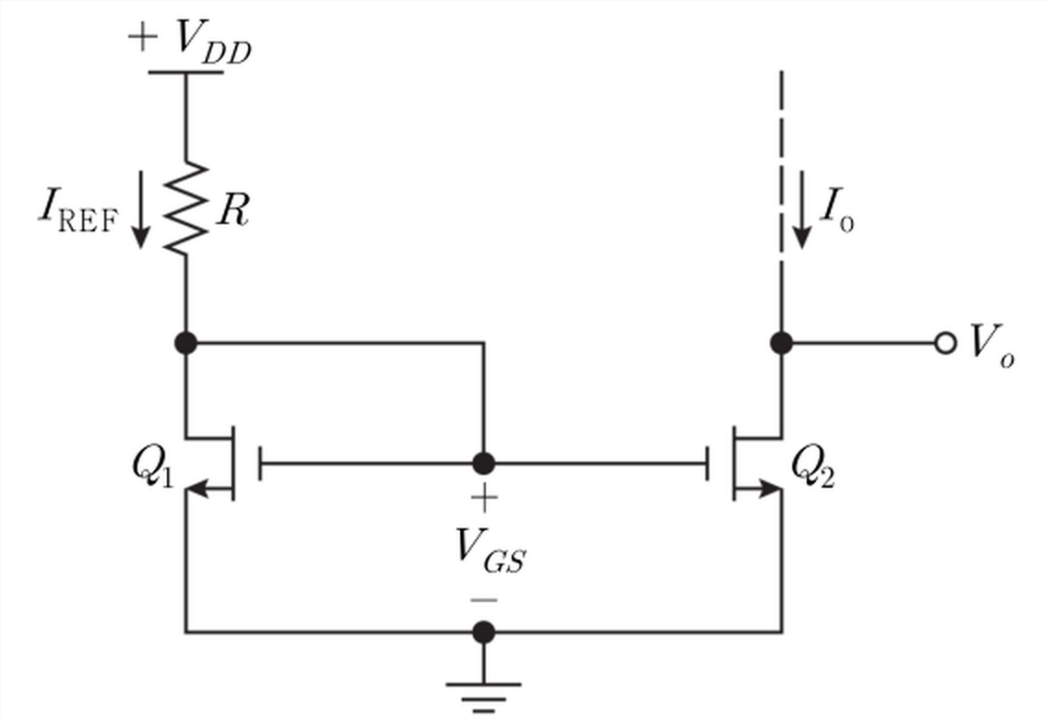
공통소스 고주파 문제는 먼저 소신호 전압이득 A_v의 부호와 크기를 구한 뒤, 입력은 $C_{gs} + C_{gd}(1 - A_v)$, 출력은 $C_{ds} + C_{gd}(1 - 1/A_v)$ 순서로 대입하면 된다.

암기 포인트

반전 증폭기의 밀러 효과는 입력이 크게 불어나고, 출력은 $1 - 1/A_v$만 남는다. 이 문항에서는 $A_v = -4$이므로 $C_{in} = 25pF$, $C_{out} = 5pF$이다.

NoteBase

문 20. $V_{DD} = 5[V]$**이고 MOSFET** Q_1**의** $k_n(\frac{W}{L})_1 = 0.8[mA/V^2]$**이며 문턱전압** $V_{TH} = 1[V]$**이고 MOSFET** Q_1**의 게이트 폭** W_1**과 MOSFET** Q_2**의 게이트 폭** W_2**의 비가** $\frac{W_2}{W_1} = 10$**일 때,** $I_o = 1[mA]$**이 되도록 하는 저항** $R[k\Omega]$**은? (단,** k_n**은 공정 전달컨덕턴스 파라미터이고,** $k_n = \mu_n C_{ox}$**이다)**



① 15

② 25

③ 35

④ 45

정답 3번

출제 포인트

이 문제는 MOS 전류미러에서 $\frac{I_o}{I_{REF}} = \frac{W_2}{W_1}$ 관계와 포화영역 전류식으로 $I_o = 1mA$가 되게 하는 저항 R을 구하는 문제이다.

조건 정리

주어진 값은 $V_{DD} = 5V$, $k_n(\frac{W}{L})_1 = 0.8mA/V^2$, $V_{TH} = 1V$, $\frac{W_2}{W_1} = 10$이다.
구해야 할 값은 $I_o = 1mA$가 되도록 하는 R이다.
주의할 조건은 Q_1이 다이오드 접속이므로 포화영역 전류식을 쓰고, 전류미러 비로 먼저 I_{REF}를 구해야 한다는 점이다.

NoteBase

사용할 공식

$I_o = \frac{W_2}{W_1} I_{REF}$
$I_{REF} = \frac{1}{2} k_n \left(\frac{W}{L}\right)_1 (V_{GS} - V_{TH})^2$
$R = \frac{V_{DD} - V_{GS}}{I_{REF}}$
이 공식을 쓰는 이유는 회로가 기준 트랜지스터 Q_1의 V_{GS}를 복사해 Q_2 전류를 만드는 기본 전류미러이기 때문이다.

계산 과정

1. 전류미러 비로 I_{REF}를 구하면 $I_{REF} = \frac{I_o}{10} = 0.1mA$이다.
2. Q_1의 포화영역 전류식에 대입하면 $0.1 = \frac{1}{2} \cdot 0.8 \cdot (V_{GS} - 1)^2$이므로 $(V_{GS} - 1)^2 = 0.25$, 따라서 $V_{GS} = 1.5V$이다.
3. 저항 양단 전압은 $V_{DD} - V_{GS} = 5 - 1.5 = 3.5V$이므로 $R = \frac{3.5V}{0.1mA} = 35k\Omega$이다.

선지별 해설

① X
$15k\Omega$이면 정답 조건에서 구한 $R = 35k\Omega$와 다르다. 실제로 이 값을 쓰면 I_o가 약 $2.18mA$가 되어 $1mA$보다 커진다. 올바르게는 $R = 35k\Omega$이다.

② X
$25k\Omega$이면 역시 정답 조건의 저항보다 작다. 이 값을 쓰면 I_o가 약 $1.37mA$가 되어 목표 전류를 맞추지 못한다. 올바르게는 $R = 35k\Omega$이다.

③ O
전류비 10으로부터 $I_{REF} = 0.1mA$를 구하고, Q_1의 포화영역 전류식으로 $V_{GS} = 1.5V$를 얻으면 $R = 35k\Omega$가 나온다. 따라서 ③이 맞다.

④ X
$45k\Omega$이면 정답 조건의 저항보다 크다. 이 값을 쓰면 I_o가 약 $0.79mA$로 줄어들어 목표 전류보다 작아진다. 올바르게는 $R = 35k\Omega$이다.

오답 포인트

가장 흔한 실수는 $I_o = 1mA$를 그대로 Q_1 전류로 두고 계산하는 경우이다. 이 회로는 $\frac{W_2}{W_1} = 10$인 전류미러이므로 먼저 $I_{REF} = 0.1mA$를 잡아야 한다. 그다음 $\frac{1}{2}$가 포함된 MOS 포화영역 전류식을 빠뜨리면 저항값이 어긋난다.

NoteBase

다시 나오면 이렇게 판단

전류미러 계산형 문항은 먼저 전류비로 기준전류를 정하고, 다음에 다이오드 접속된 기준 MOSFET의 V_{GS}를 구한 뒤, 마지막에 저항 전압강하를 나누는 순서로 판단하면 된다.

암기 포인트

MOS 전류미러는 먼저 $I_o : I_{REF} = W_2 : W_1$를 맞추고, 기준 소자에서는 $\frac{1}{2}k_n(\frac{W}{L})(V_{GS} - V_{TH})^2$를 적용한다.